

곽 계달 김 용 배 정 원 채  
한양대학교 전자공학과

The measurement and fabrication of high value  
semiconductor resistor using ITO Thin Film

Kwak KYE - DaL KIM HONG - BaE JUNG WJON - CHAE  
Han Yang Univ. Department of Electronics

**ABSTRACT :** In integrated circuit, for a saving in total chip area per circuit, stably high value resistor was fabricated. Hence this paper explained that the measurement and fabrication of high value semiconductor resistor using ITO Thin Film. It is also used special material and new method fabrication.

1. 서론 : IC 에서 적은 면적으로 고 저항을 제작하면 CHIP 당 회로 면적을 많이 줄일 수 있으므로 더 많은 반도체 소자를 집적화시킬 수 있다. 일반적으로 확산 저항 소자는 parasitic<sup>4</sup> 한 문제 -- stray capacitance, stray diode 의 영향을 받고 TCR 과 tolerance 문제가 커지므로 지금 사용되고 있는 재료와는 다른 새로운 재료인 ITO ( In<sub>3</sub>SnO<sub>2</sub> ) 를 이용하여 저항 소자를 제작하였다. 또한 이 물질은<sup>1,2</sup> 화학적으로 안정하고 역학적으로 견고하고 습도에 강하고 high ohmic resistance 의 성질을 갖고 있으므로 이 성질을 이용하여<sup>3</sup> 제작한 소자는 박막 저항체 chip 으로 사용될 수 있고 IC hybrid 및 microwave 용 소자로서의 가능성을 제시하는 데 그 목적이 있다.

2. 소자 제작 및 측정

2 - 1. 제작 순서

1. ITO 고체 덩어리 소결 ( sintering )
2. Wafer slice
3. Wafer initial cleaning
4. Wet oxidation

5. Electron - beam으로 ITO 증착
6. ITO pattern photolithography
7. SiO<sub>2</sub> sputtering
8. Contact photolithography
9. Oxide 층 제거 ( BOE용액 )
10. Al 증착 ( Metallization )
11. metal photolithography
12. Al etching
13. alloying

2 - 2. 제작 방법

N - type ( 100 ) 인 si wafer를 9등분으로 한다. cleaning 한 다음 wet oxidation 으로 1100°C 에서 95분 간 산화시켜 0.87 μ 의 SiO<sub>2</sub> 층을 성장한다. In<sub>2</sub>O<sub>3</sub> 와 9 mol % SnO<sub>2</sub> 인 조성 비로 1200도에서 8시간 동안 소결시켜 덩어리를 만든다. 진공도가 10<sup>-6</sup> Torr 인 상태에서 electron beam 으로 resistive film 을 250 Å 으로 증착한다. 두께는 test pattern 을 이용해서 fringe 방법으로 측정하였다.

( 두께 측정 방법 )

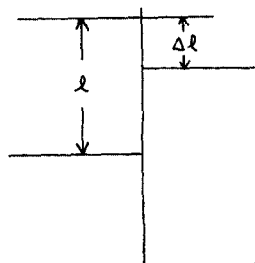
$$d = (\lambda/2) \cdot ( 1 / 2 )$$

$$= ( 5000/2 ) \cdot ( 1 / 10 )$$

$$= 2500 \cdot ( 1 / 10 )$$

$$= 250 \text{ Å}$$

R<sub>s</sub> Four point probe 로  
Test pattern 을 측정하면  
R<sub>s</sub> = 930 Ω/□



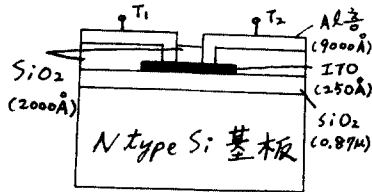
ITO etching 을 쉽게 하기 위해서 positive PR 인 AZ 1350 을 사용 하였다. 왜냐하면 positive PR 은 저온 ( 75 - 85도 C ) 에서 prebake 하고 95도 이하에서 postbake 를 하면 나중에 ITO 를 etch 하고 난 뒤 PR 을 Acetone 에 담궜서 쉽게 제거할 수 있었다. Negative PR 을 사용하는 경우에는 PR 을 제거할 때 ITO 박막도 같이 없어지기 때문이다. Etchant 는  $HCl : H_2O = 1 : 20$  의 용액에 Zn powder 를 묻혀서 D. I 용액에서 철저히 씻으므로서 비교적 쉽게 etch 된다. 그러나 1000 Å 내외의 얇은 막인 경우에는  $HCl : H_2O = 1 : 10$  인 용액에서 수 초간 etch 되었다. ITO metal cleaning 한 다음 positive layer 로서  $SiO_2$  를 sputtering 하였다.

Vacuum :  $4 \times 10^{-5}$  Torr      Ar pressure : 10 m Torr  
 Forward power : 0.2 kw      Reflect power : 5 w  
 $SiO_2$  thickness : 2,000 Å

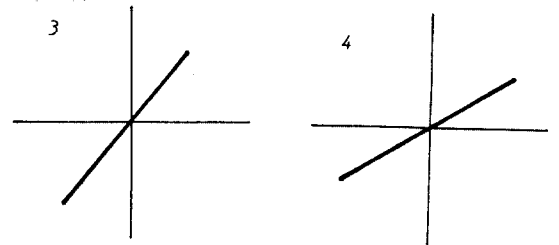
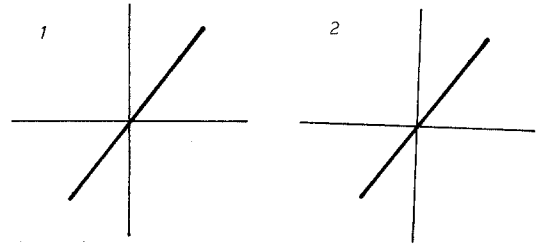
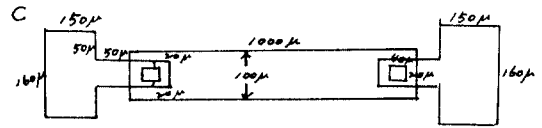
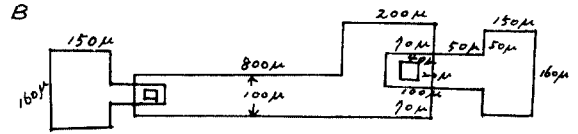
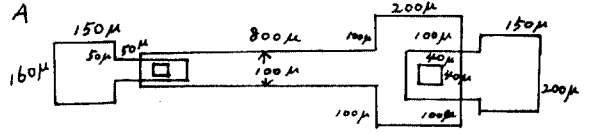
Contact photolithography 한 다음 Contact 구멍을 뚫기 위해서 BOE 용액에 수분 동안 넣어  $SiO_2$  층을 제거했다.

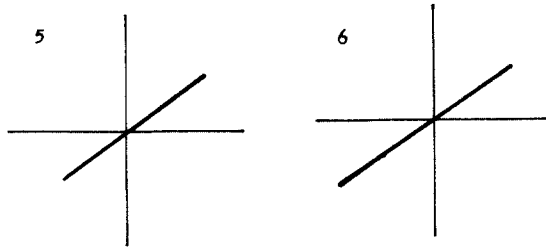
그 다음 진공도가  $2 \times 10^{-6}$  Torr 상태에서 Al 을 9000 Å 증착하고, Al etch 한 다음에 Ohmic Contact 을 증착하고 더 좋은 접착을 위해서 450도  $H_2$  분위기에서 20분 간 alloy 하였다. 끝으로 sputter 된  $SiO_2$  는 Oxidation 시킨  $SiO_2$  보다 25% 정도 빠르게 etch 된다는 것을 알았다.

### 3. 제작된 소자의 구조와 pattern



제작한 소자의 단면도





1, 2, 3, 50  $\mu$ A 5 V

4, 5, 6, 100  $\mu$ A 5 V 도

각각 3 가지 pattern A, B, C, 에 대해서 I - V curve tracer 로 측정했다. 그 결과 각 Pattern 의 저항값으로 약 75 K $\Omega$ 을 얻을 수 있었다.

5. 결과 : new material인 ITO (  $In_3SnO_2$  ) 를 이용함으로써

- 1, Higher available sheet resistance
- 2, Lower ICR
- 3,  $\pm 1$  % 까지 조정할 수 있는 크기의
- 4, Lower parasitic capacitance
- 5, Higher voltage Operation

(50 volt 까지 파괴되지 않는 장점)

은 물론이고 IC Hybrid 및 Microwave 용 소자 또는 박막 저항체 chip 을 제작할 수 있다. 그러나 cost 가 비싸다는 것이 걸림이다. 하지만 이 문제는 증착 기술이 발달함에 따라서 해결될 것이다.

6. 참고 문헌

- ( 1 ) A. Y. Kuznetsov " Semiconducting tin oxide " Soviet physics - solid state 2. 30 - 36 ( 1960 )
- ( 2 ) A. BJORTSBERG, I. HAMBERG & C. G. GRANQVIST " TRANSPARENT & HEAT REFLECTING INDIUM TIN OXIDE FILMS PREPARED BY REACTIVE ELECTRON BEAM EVAPORATION " THIN SOLID FILMS, 90 ( 1982 ) 323 - 326
- ( 3 ) L. I. Maissel & R. Ciang Handbook of thin film Technology. chap. 7 - 1 McGraw Hill Book Co, New York ( 1970 )
- ( 4 ) fundamentals of Intergrated Circuit Design 5 - 2 Diffused Resistors 107 - 113 Parasitic Effects in Intergrated Circuit