

나극환 ^o 최성진
삼원대학 전자공학과

The general characteristic of semiconductor device for communication.

K. H. RA ^o S. J. CHOI
Dept. of Electronic Eng. Kwang Woon University

<I>서론

이미 개발되어 있는 초고주파용 반도체 소자들로서 PIN diode, Gunn diode, 외에 전자의 주행시간을 이용하는 IMPATT diode, TRAPATT diode, BARRIT diode, DOVETT diode 등이 있으나, 이들 모두 수백 KW 이상의 평균출력을 가질 수 있는 진공관에 비해 출력이 매우 낮으므로 특수하게 설계된 것 (약 1.2KW 의) 외에는 수 watt 이내이며, 특히 20 GHz 이상의 높은 주파수에서는 불과 수십 mw 의 출력으로 동작되므로 초고주파용 소자들의 소형화 내지는 solid state화가 높은 출력의 경우에는 아직 이루어지지 않고 있다. 이들의 특성이 저조한 이유는 전자의 주행시간을 증폭의 근원으로 하고 있기 때문에 주행 길이가 주파수가 증가할수록 짧아져야 되고, 따라서 높은 전압을 인가 할수 없기 때문이다.

여기에서는 FET의 채널 위에 여러개의 금속 게이트를 주기적으로 두어 각 게이트간의 간격을 활성 영역의 기본단위로 함으로서 동작주파수를 높일 수 있게 하며 또한 채널에는 충분히 높은 전압을 인가하여 출력을 크게 할 수 있는 가능성을 보이고자 한다. 본 논문에서 제안된 전자류의 공간변조 현상을 이용한 소자들의 실험을 그림 1에 보였다.

그림 1. 제안된 소자의 구조

이미 개발된 소자들 중 이들과 유사한 것으로는 solid state TWT 가 있는데 이것은 입력 교류신호의 위상속도를 전자류의 위상속도에 일치시키기 위해서 10⁸ 이상의

지연비 (delay ratio) 를 갖는 지연선 (delay line) 을 필요로 하므로 제작상의 어려움이 따를뿐 아니라, 전자류의 변조가 입력 교류 전압에 의해 이루어지므로 변조 심도가 얕아서 출력이 작다.

이와같은 지연선로 그림 1과 같이 주기적 구조의 게이트들로 대체 시킴으로써 제작상의 난점을 해결하고 출력을 크게 하고자 한다. 본 연구에서는 제안된 구조에 의한 공간 변조 현상을 규명하기 위하여, 먼저 단순한 반도체 박막내에서의 Transport 현상을 규명하고 나서 금속 게이트를 두었을때의 영향과 그들사이의 상호작용을 연구한다.

<II> Perturbation 이 없는 반도체 내에서의 Transport 현상.

그림 2 의 반도체에 대해 Boltzmann 방정식으로 부터 얻어진 평형상태에서의 Transport equation 은 다음과 같다.

그림 2 평형 상태의 반도체

$$m^* \frac{d\vec{v}}{dt} = q(\vec{E} + \vec{v} \times \vec{B}) - \frac{m^* \vec{v}}\tau - KT \frac{\vec{\nabla}}{\rho} - k_g \text{grad} T \tag{2-1}$$

여기에서는 교류 소신호가 아직 인가 되지 않은 상태에서 다음과 같은 가정을 할 수 있다.

- i) 온도 T는 곧 반도체에 걸쳐 일정할것.
- ii) 한가지의 캐리어만 있을 것.
- iii) 자계에 의한 힘이 작음 하지 않을것.

iv) 이동도 쓰는 반도체 내에서 등방성 (Isotropic) 일것.

이러한 근사적 가정은 도우핀이 한가지로만 된 Si, GaAs, InSb 의 경우에 Collision frequency 가 동일하다고 본 것으로 일반적인 상황에서 실제 결과와 큰 차이가 없게 된다.

따라서 (2-1) 식은 다음과 같이 쓸 수 있다.

$$q\vec{E} = m^* \frac{\vec{V}}{\tau} + kT \frac{\vec{\text{grad}} \rho}{\rho} \quad (2-2)$$

여기에서 \vec{E} 는 인가전압, ρ 는 총 전하밀도, V 는 캐리어의 속도이다. (2-2) 식을 다시 쓰면

$$m^* \frac{\vec{V}}{q\tau} = -\vec{\text{grad}} V - U_T \vec{\text{grad}} \ln \frac{\rho}{\rho_0} \quad (2-3)$$

여기에서 $U_T (= \frac{kT}{q})$ 는 Thermal potential, V 는 인가전압, ρ_0 는 평전하 밀도이다.

이제 kinetic potential 을 ψ 라 할때 뒷식 으로부터 다음을 얻는다.

$$\psi = V + U_T \ln \frac{\rho}{\rho_0} \quad (2-4)$$

$$V = -\frac{qU_T}{m^*} \vec{\text{grad}} \psi \quad (2-5)$$

$$\rho = \rho_0 \cdot \text{Exp} \left(-\frac{V-\psi}{U_T} \right) \quad (2-6)$$

또한 일정 전류의 경우에 다음식이 성립한다.

$$\text{div } \vec{J} = 0$$

다시쓰면

$$\rho \text{ div } \vec{V} + \vec{V} \cdot \vec{\text{grad}} \rho = 0 \quad (2-7)$$

이들 결과로부터 다음과 같은 Poisson 방정식을 얻는다.

$$\nabla^2 \psi = -\vec{\text{grad}} \psi \cdot \vec{\text{grad}} \left(-\frac{V-\psi}{U_T} \right) \quad (2-8)$$

$$\nabla^2 V = -\frac{\rho}{\epsilon} \left\{ \text{Exp} \left(-\frac{V-\psi}{U_T} \right) - 1 \right\} \quad (2-9)$$

위의 식들은 perturbation 이 없는 경우 에는 $\rho = \rho_0$ 이며 다음과 같은 해를 갖는다.

$$\psi = V \quad (2-10)$$

$$\nabla^2 V = 0$$

<III> 반도체에 perturbation 을 주었을 경우

그림 3 금속게이트를 입힌 반도체

그림 3 과 같이 반도체 채널위에 도체 게이트를 입히고 그 구조에 Gauss 의 정리를 적용 시키면,

$$(\rho - \rho_0) \delta = \frac{\epsilon \lambda}{h} (V - V_G) \quad (3-1)$$

여기에서 $\epsilon \lambda$ 는 절연체의 유효표이고 V_G 는 게이트전압이다

그림 3 에서 Threshold voltage 를 $V_T = \rho_0 h \delta / \epsilon \lambda$ 로 정의할 수 있으므로 식 (3-1) 은 다음과 같이 써진다.

$$\text{Exp} \left(-\frac{V-\psi}{U_T} \right) = 1 + \frac{V-V_G}{V_T} \quad (3-2)$$

여기에서 $(V-V_G)/V_T < 0$ 이면 (2-6) 식 으로부터 캐리어 밀도가 감소하므로 이것이 Depletion condition 이 되며 $(V-V_G)/V_T = -1$ 의 조건은 (3-2) 식을 불가능하게 하므로 결국 이 조건을 pinch-off 를 나타내게 된다.

이제 (3-2) 식의 Gradient 를 취하면 다음식을 얻는다.

$$-\frac{1}{U_T} \frac{\partial V}{\partial x} \text{Exp} \left(-\frac{V-\psi}{U_T} \right) + \frac{1}{U_T} \frac{\partial \psi}{\partial x} \text{Exp} \left(-\frac{V-\psi}{U_T} \right) = \frac{1}{V_T} \frac{\partial}{\partial x} (V - V_G) \quad (3-3)$$

다른 한편 으로는 (2-5), (2-6) 식으로부터

$$\vec{J} = \rho \vec{V} \quad (3-4)$$

$$= -\frac{\rho_0 q \tau}{m^*} \text{Exp} \left(-\frac{V-\psi}{U_T} \right) \cdot \vec{\text{grad}} \psi$$

반도체의 두께가 충분히 얇고 게이트나 반도체의 구조가 평행으로는 변화가 없다면 perturbation 은 일차원적인 것이 되며

윗식은 다음과 같이 된다.

$$\frac{\partial \psi}{\partial x} = -\frac{m^* J}{p_0 q \tau} \exp\left(\frac{V-\psi}{U_T}\right) \quad (3-5)$$

(3-2) 식과 (3-5) 식을 (3-3) 식에 대입하면 다음과 같다.

$$-\frac{1}{U_T} \frac{\partial V}{\partial x} \left(1 + \frac{V-V_G}{V_T}\right) - \frac{1}{U_T} \frac{m^* J}{p_0 q \tau} \\ = \frac{1}{V_T} \frac{\partial(V-V_G)}{\partial x}$$

결국 다음의 미분방정식을 얻는다.

$$(V_G - V - V_T) \frac{\partial V}{\partial x} = \frac{J}{\sigma} V_T + U_T \frac{\partial(V-V_G)}{\partial x} \quad (3-6)$$

여기에서 이용된 Parameter는 다음과 같다.

$$\mu = \frac{q\tau}{m^*} : \text{캐리어의 이동도} \\ \sigma = p_0 \mu : \text{반도체의 전도도 (conductivity)}$$

일반적인 경우로서는 $U_T \ll V_T$ 의 조건을 (3-6) 식에 적용시키면

$$-V \frac{\partial V}{\partial x} + (V_G - V_T) \frac{\partial V}{\partial x} = \frac{J}{\sigma} V_T \quad (3-7)$$

이 식을 적분하면

$$-\frac{1}{2} V^2 + (V_G - V_T) V = \frac{V_T}{\sigma} J x \quad (3-8)$$

여기에 적용되는 경계조건은 $x=0$ 에서 $V=0$ 이고 그 해는 다음과 같이 유일하게 주어진다.

$$V = V_G - V_T - \sqrt{(V_G - V_T)^2 - \frac{2V_T J x}{\sigma}} \quad (3-9)$$

따라서

$$\frac{\partial V}{\partial x} = \frac{V_T J}{\sigma} \left\{ (V_G - V_T)^2 - \frac{2V_T J x}{\sigma} \right\}^{-\frac{1}{2}} \quad (3-10)$$

게이트의 폭이 충분히 커서 Pinch-off 가 일어났을 있다는 가정하에 (3-9), (3-10) 식으로 부터 $V(x)$ 를 도시하면 그림 4 와 같이 된다.

그림 4 반도체내의 전압분포

(II) 주기적으로 배열된 복수 게이트를 가진 경우

다음 그림 5 와 같이 반도체 상에 절연층을 통하여 복수 게이트를 배열시킨 상태에서 (3-6) 식을 적용시킨다.

그림 5. 여러개의 금속게이트를 입힌 반도체

만일 $V_G - V = U$ 라 놓으면 (3-6) 식은 다음과 같이 쓸수 있다.

$$U \frac{\partial(V_G - U)}{\partial x} - V_T \frac{\partial(V_G - U)}{\partial x} \\ = \frac{J}{\sigma} V_T - U_T \frac{\partial U}{\partial x} \quad (4-1)$$

최종적으로 다음과 같은 미분방정식을 얻게 된다

$$-U \frac{\partial U}{\partial x} + U \frac{\partial V_G}{\partial x} + (V_T + U_T) \frac{\partial U}{\partial x} - V_T \frac{\partial V_G}{\partial x} \\ = \frac{J}{\sigma} V_T \quad (4-2)$$

이 방정식을 풀기 위해서는 먼저 게이트 상의 전압분포 $V_G(x)$ 를 결정해야 하므로 그것을 다음과 같이 Fourier Series 로 전개한 후 필요한 계수들을 구하는 방법을 생각한다.

$$V_G(x) = -E_0 x + \sum_n V_n \exp(jn\beta x) \exp(-|n\beta x|) \quad (4-3)$$

$$\text{여기에서 } \beta = \frac{2\pi}{p}$$

p 는 게이트들의 주기이며 E_0 는 게이트들이 없는 상태에서 반도체내에 존재하는 인접전계이다.

당분간 반도체내의 공간전하를 무시하고 경계조건을 써보면 다음과 같다.

i) 도체상에서의 전계의 경선방향 성분이 0일것

$$E_{z2} = -\frac{\partial V_{\phi}}{\partial z} \Big|_{z=0} = E_0 - \sum_n j\eta\beta V_n e^{j\eta\beta z} = 0 \quad (4-4)$$

ii) 도체가 있는 부분에서 전속밀도가 연속일 것

$$D_{x1} - D_{x2} \Big|_{z=0} = (\epsilon_1 + \epsilon_2) \sum_n |\eta\beta| V_n e^{j\eta\beta z} = 0 \quad (4-5)$$

이제 $\chi_n = \eta\beta V_n$, $S_n = \frac{|\eta|}{\eta}$ 라 놓고 정리하면 다음을 얻는다.

$$\left. \begin{aligned} 0 \leq k \leq \frac{p}{4} \\ \frac{3p}{4} \leq k \leq p \end{aligned} \right\} \text{에 대해 } E_0 - j \sum_n X_n e^{j\eta\beta z} = 0 \quad (4-6)$$

$$\frac{p}{4} \leq k \leq \frac{3p}{4} \text{에 대해 } \sum_n S_n X_n e^{j\eta\beta z} = 0 \quad (4-7)$$

이들 두식에 관하여 spatial harmonics의 수를 유한하게 하면서 그들을 근사적으로 만족시킬수 있는 X_n 을 구하기 위하여 최소자승법 (least square method) 을 적용시키고 컴퓨터의 도움으로 계산한 결과인 게이트상의 전압분포 $V_{\phi}(z)$ 는 그림 6과 같다. 이 게이트의 계단전압 분포는 반도체내의 공간전하에 의해 다소 영향을 받을수 있는데 이것이 바로 증폭의 근원으로서의 역할을 한다.

이러한 과정을 점성적으로 분석하기 위해 (4-2)식에 $V_{\phi}(z)$ 를 대입하여 Newton Method에 의해 풀어본다.

먼저 $-U \frac{dU}{dz}$ 항을 무시하여 얻어진 선형 방정식으로 풀어 그해 U' 를 구한 다음

(4-2)식에 $-U \frac{dU'}{dz}$ 를 대입하여 다시 풀면 얻어진 식을 풀다.

이와같은 계산을 반복할때 수렴속도는 $\left| \frac{V_T}{E_0 p} \right|$ 의 값이 크면 클수록 빠르게 되어 W_0 를 게이트의 폭이라 할때 Pinch-off 조건은 근사적으로 다음과 같이 된다.

$$\frac{W_0}{p} < \left| \frac{V_T}{E_0 p} \right| \quad (4-8)$$

계산 결과가 여러가지 $\frac{V_T}{E_0 p}$ 값에 대해 그림 7에 보여졌다.

그림 6. 게이트상에 유기된 전압분포.

식 (2-6)과 (3-2)에 의하여 전하밀도 $\rho = -U/V_T$ 에 의해 변조 되었음을 알수 있다.

그림 7 (a ~ h)

반도체에 대해 게이트가 갖는 polarization의 상대적 크기.

<V> 결론

pinch-off 상태 근처에서 채널전류는 공간적으로 변조 될것이고 결과적으로 게이트의 전압분포 V_{ϕ} 에 변조를 주게된다. 그림 7의 계산된 결과를 보면 채널내에서의 공간 전하의 존재를 확신 할 수 있으며, 이와같이 얻어진 전하밀도의 공간변조는 다시 게이트전압 분포에 영향을 주게 되기 때문에 게이트상론 지나는 교류신호에 대해 이러한 구조의 FET는 Negative Impedance, 즉 Gain을 갖출 수 있는 가능성도 보여주는 것이다

<참고 문헌 >

1. YUICHI, T. SAKANE : 10th European Microwave Conference, 8-11 September 1980.
2. READ : B.S.T.J. Vol. 37, PP 401-446, 1958.
3. DIAMAND : 'Theorie de l'amplification a ondes progressives dans une couche mince semiconductrice couplee a une ligne a retard.' Revue technique THOMSON CSF, Vol. 1, No.3, September 1969.
4. KEUK-HWAN RA : "Etude et Realisation de Dispositif a Couplage Inter-grilles a Effect de champ"; These de Docteur Ingénieur ENSÉEHT 1981.
5. M.C. STEELE, B. VURAL ; Interactions of waves in solid-state Plasma, McGraw-Hill, New York 1967.
6. H. Baudrand : "Interactions Progressives entre Electrons et Ondes Electromagnetiques" 1979 ENSÉEHT.
7. Sze : "Physics of Semiconductor Devices" wiley 1969.

8. E. Durand : "Solutions Numeriques des Equations Algebriques," T2, Masson et Cie, 1961.
9. H. Baudrand : "Application de la method des moindes Carres aux problemes de decomposition des champs sur une base discrete," Journees National es Microondes, Juin 1979
10. Crandall : "Engineering Analysis (a survey of numerical procedure)"
11. J.M. Rollet : "Stability and power gain invariant in linear two part " IRE TRANS, circuit Theory, Vol. CT 9 March 1962.
12. R.E. Collin : "Field Theory of Guided Waves" McGraw-Hill 1960.

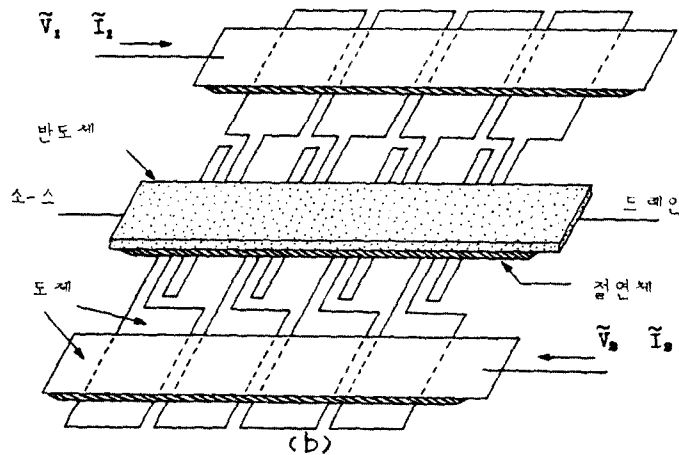
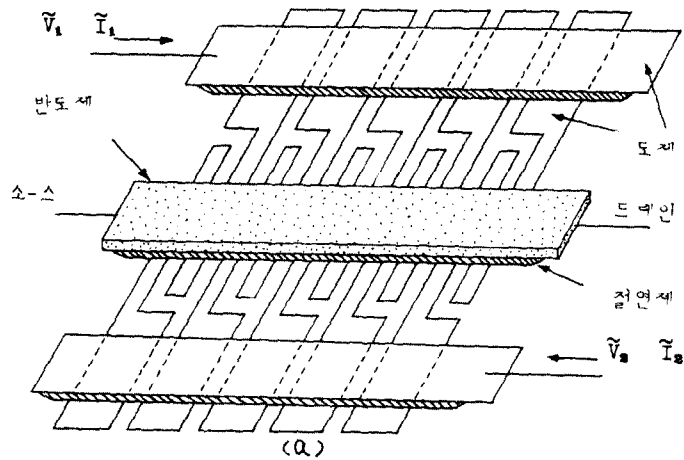


그림 1. 제한된 소자의 구조

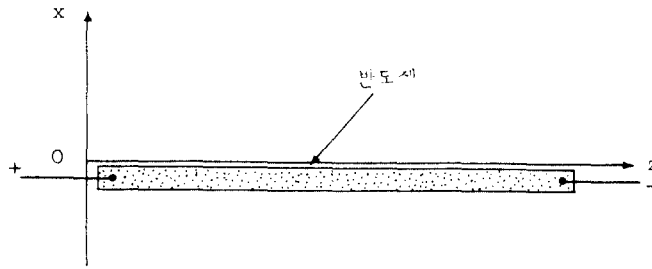


그림 2. 평형상태의 반도체

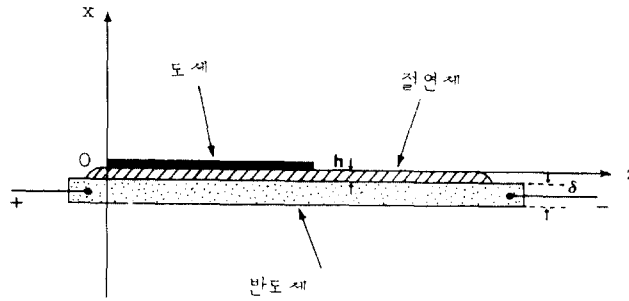


그림 3. 금속 게이트를 임핀 반도체

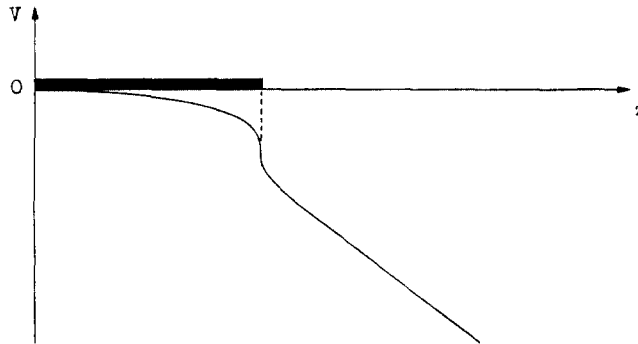


그림 4. 반도체내의 전압분포

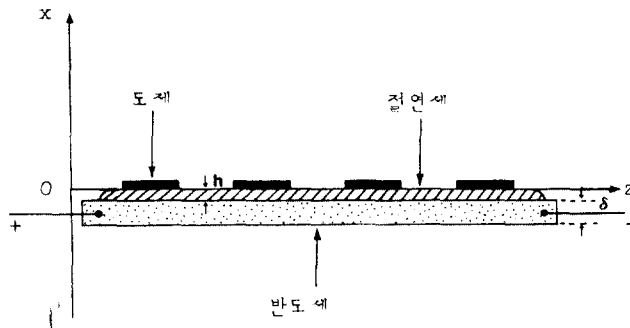


그림 5. 여러개의 금속게이트를 임핀 반도체

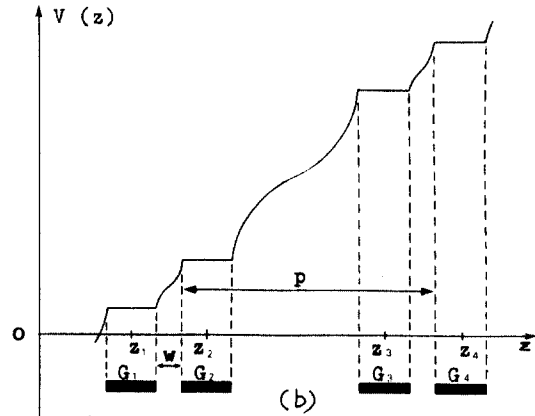
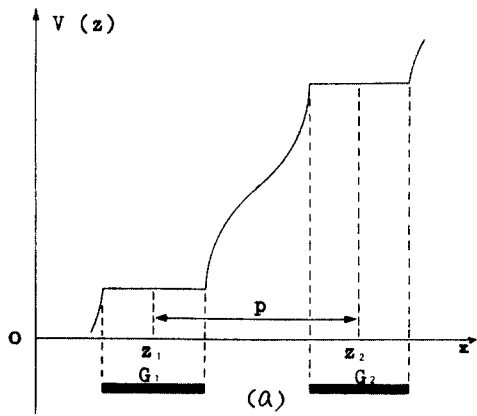
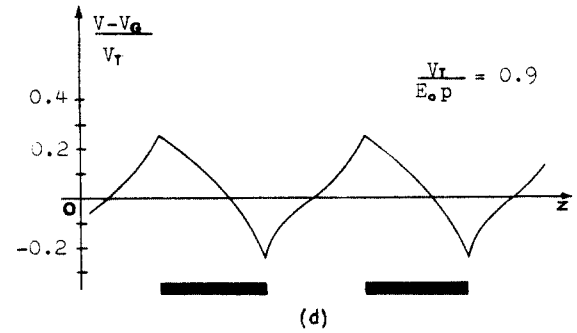
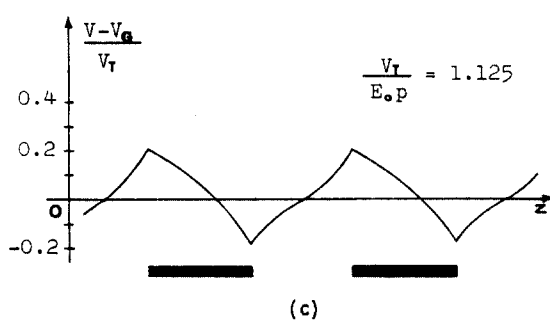
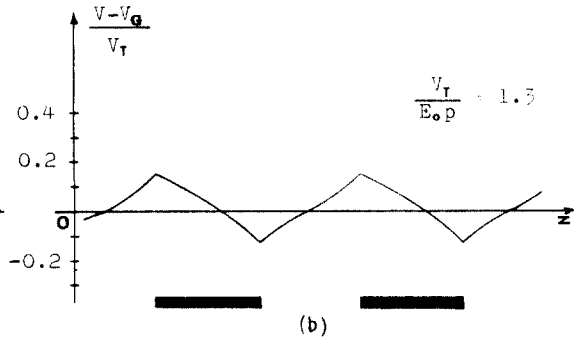
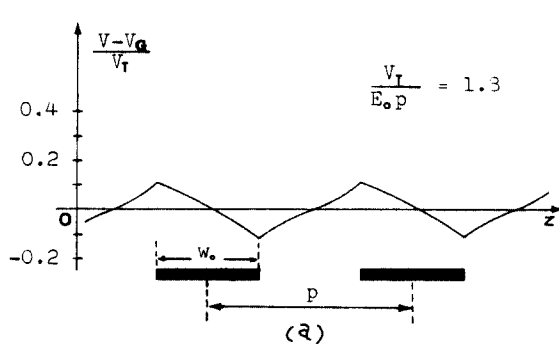


그림 6. 게이트상에 유기된 전압분포



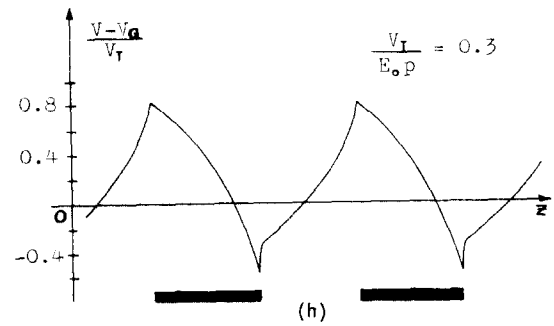
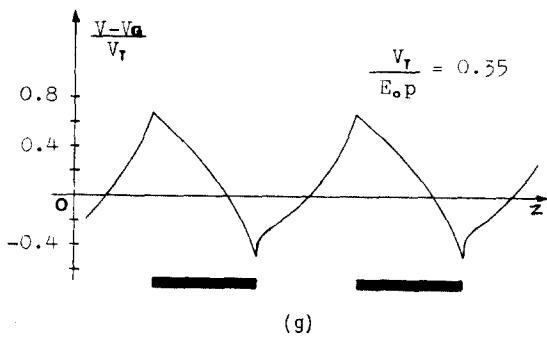
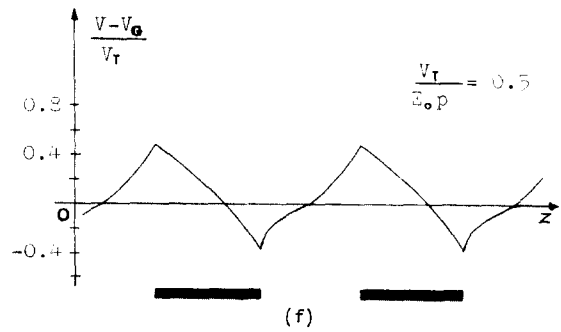
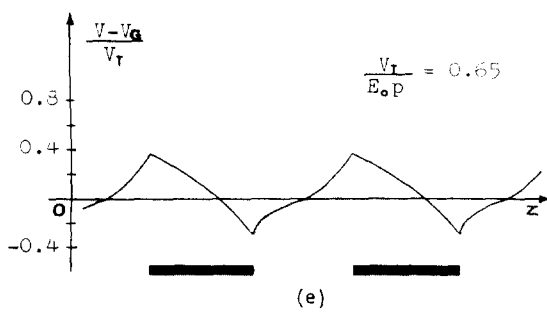


그림 7. 반도체에 대해 게이트가 갖는 polarization의 상대적 크기