주파수 3배배기를 이용한 W 밴드 주파수 합성기 설계

Design of W Band Frequency Synthesizer Using Frequency Tripler

조형준 · Chenglin Cui · 김성균 · 김병성

Hyung-Jun Cho · Chenglin Cui · Seong-Kyun Kim · Byung-Sung Kim

요 약

본 논문에서는 65 nm RF CMOS 공정을 이용하여 26 GHz 위상 고정 루프(PLL)를 설계하고, 주파수 3배배기(trippler)를 이용하여 W 밴드 주파수 합성기를 설계하였다. 26 GHz VCO는 22.8~26.8 GHz, 3배배기의 출력은 74~75.6 GHz의 주파수 조정 범위를 갖는다. 제작한 주파수 합성기는 총 75.6 mW의 전력을 소모하며, 3배배기의 최종 출력은 1 MHz 오프셋에서 -75 dBc/Hz, 10 MHz 오프셋에서 -101 dBc/Hz의 위상 잡음 특성을 갖는다.

Abstract

This work presents a W band frequency synthesizer which is composed of 26 GHz VCO, Phase Locked Loop and frequency tripler using 65 nm RF CMOS process. Frequency tuning range of 26 GHz VCO covers the band from 22.8 ~ 26.8 GHz and final output frequency of the tripler is from 74 to 75.6 GHz. The fabricated frequency synthesizer consumes 75.6 mW and its phase noise is -75 dBc/Hz at 1 MHz offset, -101 dBc/Hz 10 MHz offset respectively.

Key words : W Band, Frequency Synthesizer, CMOS, Frequency Tripler, Integer N PLL

I. 서 론

최근 CMOS 공정 기술의 발전으로 밀리미터파 분야에서도 CMOS 공정을 이용한 차량용 레이더 시스템 개발이 진행되고 있다. 특히 차량용 FMCW 레이더는 송신파와 반사파 사이의 도플러 주파수 편이와 시간차를 이용해 차량 간 거리 및 상대속도를 판별하는 장치로 저가의 레이더 시스템을 구현하기 위해 CMOS를 이용한 레이더 연구가 활발히 진행 중이다^[1]. FMCW 레이더는 탐지 거리에 따라 단거리 및 장거리 레이더로 분류된다. 단거리 레이더는 10~40 m의 거리와 30~60°의 방향을 탐지하여 stop-and-go 시스템에 이용되며, 24 GHz 대역에서 개발되고 있다. 이에 반해 적응형 순항 제어(Adaptive Cruise Con-

trol: ACC) 시스템에 이용되는 장거리 레이더는 100~150 m의 탐지 거리를 목표로 77 GHz 대역에서 개발되고 있다. 본 논문에서는 77 GHz 레이더 시스템에 적용할 W 밴드 주파수 합성기의 설계에 대해 논의한다. 77 GHz 주파수 합성기를 일반적인 위상 고정 루프방식(Phase Locked Loop: PLL)으로 구현하려면 77 GHz 신호를 분주할 수 있는 고주파용 분주기단이 필요하다. 하지만 이러한 고주파용 분주기단은 전력 소모가 크고 칩의 면적을 많이 차지한다는 단점이 있다. 또한, 77 GHz 주파수대에서는 수동소자에서 손실이 크므로 좋은 위상 잡음을 가지는 전압 제어 발진기를 설계하기 어렵다. 본 연구에서는 65 nm RF CMOS 공정을 이용해 K-밴드 내의 26 GHz 주파수 합성기를 설계한 뒤 3배배기를 이용하여 전

「본 논문은 미래창조과학부 지원으로 수행한 ETRI SW-SoC 융합 R & BD 센터의 연구 결과입니다.」

성균관대학교 정보통신대학(College of Information and Communication Engineering, Sungkyunkwan University)

· Manuscript received July 18, 2013 ; Revised August 26, 2013 ; Accepted September 26, 2013. (ID No. 20130718-068)

· Corresponding Author : Byung-Sung Kim (e-mail : bskimice@skku.edu)

그림 1. 77 GHz 주파수 합성기와 전력증폭기 블록도

Fig. 1. Block diagram of 77 GHz frequency synthesizer and power amplifier.

력 소모가 적고, 위상 잡음이 개선된 77 GHz 주파수 합성기를 구현하였다.

본 논문은 II장에서 77 GHz 주파수 합성기의 개별 블록에 대한 설명과 측정 결과를 보이고, III장에서는 결론을 맺는다.

II. 본 론

그림 1은 77 GHz 주파수 합성기의 블록도이다. 집적화된 26 GHz 주파수 합성기는 Integer-N 방식의 위상 고정 루프(Phase Locked-Loop: PLL)를 사용한다. 26 GHz 전압 제어 발진기(Voltage Controlled Oscillator: VCO), CML(Current Mode Logic) 및 TSPC(True Single Phase Clock) 주파수 분주기, 위상 주파수 검출기(Phase Frequency Detector: PFD), 전하 펌프(Charge Pump), 그리고 루프 필터(Loop Filter: LP)로 구성된다. 발진기의 출력 주파수는 총 512분주되어 위상 주파수 검출기를 통해 50 MHz 대역의 기준 신호와 비교하여 고정한다. 26 GHz VCO의 출력 노드에서 나오는 1차 조화 주파수 성분(w_0)과 테일 노드에서 나오는 2차 조화 성분($2w_0$)을 믹서로 합성한 후 나오는 3차 조화 성분($3w_0$)을 77 GHz 주입 동기 VCO에 주입하여 77 GHz 주파수 합성기를 구현하였다.

밀리미터파 주파수에서 일반적으로 사용하는 발진기는 교차 결합 VCO이다. 하지만 주파수가 올라감에 따라 교차 결합 VCO를 구성하고 있는 수동소자의 손실 때문에 출력 신호의 위상 잡음과 소비 전력이 증가한다. 특히 바랙터의 Q-factor는 주파수가 증가함에 따라 크게 줄어든다.

그림 2는 2 μ m 게이트 폭에 20개의 게이트 핑거를 갖는 바랙터의 Q-factor를 나타내는 그림이다. 77 GHz에서 바랙터의 Q-factor는 약 16 정도이다. 교차

그림 2. 주파수에 따른 바랙터의 Q-factor 시뮬레이션 결과

Fig. 2. Simulation results of Q-factor of varactor with respect to the frequency increase.

결합 쌍 VCO의 규격화된 단측파대 잡음 스펙트럼(normalized single-sideband noise spectral density)은 다음 식 (1)과 같다.

$$L\{\Delta\omega\} = 10 \log \left[\frac{2kT}{P_{sig}} \cdot \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \quad (1)$$

$\Delta\omega$ 는 캐리어 주파수 w_0 로부터 떨어진 오프셋 주파수를 나타내며, Q 는 LC 탱크의 Q-factor 그리고 P_{sig} 는 발진하는 신호의 전력을 의미한다. 위의 식에서와 같이 발진 주파수가 높고 LC 탱크의 Q 가 낮으면 위상 잡음특성이 안 좋아진다는 것을 알 수 있다. 따라서 77 GHz 교차 결합 VCO를 이용하게 되면 바랙터의 낮은 Q-factor로 인해 LC 탱크의 Q-factor가 낮아지고, 이는 위상 잡음 특성에 안 좋은 영향을 주게 된다^[8].

위에서 언급한 바랙터 Q-factor 감소로 인한 77

GHz 교차 결합 VCO의 문제점을 보완하기 위해 26 GHz 위상 고정 루프와 3체배기, 주입 잠금 기법 (Injection locked)을 이용한 77 GHz VCO를 이용하여 77 GHz 주파수 합성기를 구현하였다^[2]. 3체배기를 사용하기 때문에 공진 주파수는 우리가 원하는 주파수보다 1/3배 낮아지므로 바랙터의 Q-factor가 향상된다.

또한 공진주파수가 감소함에 따라 LC tank에 더 많은 커패시턴스 값을 사용할 수 있으므로 주파수 조절범위를 증가시킬 수 있다.

w_0 가 원하는 주파수라고 한다면 주입 잠금 VCO의 규격화된 측대파 잠금 스펙트럼 밀도는 다음 식 (2)와 같이 표현된다.

$$L\{\Delta\omega\} = 10 \log \left[\frac{2kT}{P_{sig, \omega_0/3}} \cdot \left(\frac{\omega_0/3}{2Q_{\omega_0/3}\Delta\omega} \right)^2 \right] + 20 \log 3 \quad (2)$$

3체배기를 기반으로 만든 발전기는 적은 전력으로 더 좋은 위상 잡음과 더 넓은 주파수 조절 범위를 제공한다. 또한, 3체배기를 이용하면 첫 번째 분주기에 CML 분주기를 사용할 수 있으므로, 인덕터를 사용하지 않아도 되기 때문에 크기, 주파수 정합, 전력 소모면에서 유리하다.

2-1 26 GHz 전압 제어 발진기

전압 제어 발진기 설계 시 설계자는 주파수 조정 범위, 위상 잠음 지수를 나타내는 스펙트럼의 순도 그리고 회로의 집적도와 적은 전력 소모 등을 고려해야 한다. LC 공진형의 전압 제어 발진기는 대역 통과 특성을 이용하여 좋은 위상 잠음을 가지며, 적은 전력 소모를 가진다는 장점이 있다^[3].

그림 3은 본 논문에서 설계한 발진기의 회로도이며, NMOS 교차 결합 쌍 및 LC 병렬 공진기, 아날로그 바랙터와 2비트의 바랙터 탱크, 그리고 데일 인덕터로 구성되어 있다. M_1 과 M_2 의 NMOS 교차 결합 쌍은 부성 저항을 가짐으로써, LC 병렬 공진기의 손실을 보상한다. 아날로그 바랙터와 2비트 바랙터 탱크는 넓은 주파수 조정범위를 구현하기 위해 이용하였다. 최대한 위상 잡음을 낮추기 위해 모든 바랙터는 축적 모드 PMOS 타입을 사용하였으며, 바랙터의 길이는 각각의 바랙터가 같은 캐패시턴스 값을 가질

그림 3. 26 GHz 전압 제어 발진기 회로도
Fig. 3. Schematic of 26 GHz VCO.

때 Q -factor가 가장 높았던 길이로 선택하였다. 인덕터 L_3 는 M_1 과 M_2 의 공통소스단의 기생 커패시턴스와 공진하여 $2w_0$ 에서 높은 임피던스를 가지도록 설계하였다. 이는 tank의 Q -factor가 떨어지는 것을 방지하여 위상 잡음을 개선시키는 역할을 하며^[3], 테일 노드에서 더욱 큰 $2w_0$ 신호를 얻을 수 있게 한다.

2-2 믹서와 주입잠금 VCO를 이용한 3체배기

그림 4는 믹서와 77 GHz 주입 잠금 VCO로 구성된 3체배기의 회로도이다. 칩 사이즈를 줄이기 위해 믹서의 부하는 77 GHz VCO의 LC 탱크와 공유하였다. LC 탱크는 믹서의 출력 중 원하지 않는 성분들

그림 4. 3체배기 회로도
Fig. 4. Schematic of tripler.

그림 5. CML 주파수 분주기의 회로도

Fig. 5. Schematic of CML divider.

을 제거하기 위해 $3w_0$ 에서만 높은 임피던스를 가지도록 설계하였다. 26 GHz VCO 출력 노드에서 나오는 신호 $+w_0$, $-w_0$ 는 M_3 와 M_4 NMOS 스위칭 셀을 on/off 시킬 수 있을 정도로 전압 스윙이 크기 때문에 LO 신호로서 사용된다. 26 GHz VCO의 테일 노드에서 나오는 $2w_0$ 신호는 RF 신호로서 사용된다. 믹서의 출력 $3w_0$ 신호를 77 GHz VCO에 주입하여 77 GHz VCO가 $3w_0$ 주파수에 고정되도록 한다.

레이더 시스템에서 주파수 합성기는 수신단 믹서와 송신단 전력 증폭기(Power Amplifier: PA)를 구동해야 한다. 따라서 3채배기의 부하는 그림 5와 같이 3개의 코일로 이루어진 트랜스포머 형태로 설계하여 믹서와 전력증폭기에 전력을 나누어 공급할 수 있도록 하였다.

2-3 CML 주파수 분주기

높은 주파수 대역에서 동작하는 전압 제어 발진기의 출력을 외부 신호원과 비교하여 주파수를 고정시키기 위해서는 높은 주파수대의 분주가 가능한 분주기의 설계가 필요하다. 본 논문에서는 그림 5와 같이 빠른 속도와 넓은 동작 범위를 가지는 CML (Current Mode Logic) 구조를 사용하여 전압 제어 발진기의 출력을 분주할 수 있는 2:1 분주기를 설계하였다.^[6]

그림 5와 같이 CML 분주기는 마스터 슬레이브 D-래치로 구성되며, 부하저항은 triode 상태의 PMOS 트랜지스터 M7-M8, M13-M14를 이용하여 구현하였다. 본 논문에서는 2:1 CML 플립플롭 분주기를 2단 사용하여^[4] 6.5 GHz 대역의 신호를 출력한다.

2-4 TSPC 주파수 분주기

TSPC(True Single Phase Clock) 구조의 분주기는

그림 6. TSPC 주파수 분주기의 회로도

Fig. 6. Schematic of TSPC divider.

디지털 회로로 CML 주파분주기에 비해 동작 속도가 느리지만 간단한 회로구조와 적은 전력 소모를 갖기 때문에 CML 분주기단의 출력인 6.5 GHz 대역의 주파수를 분주하기 적합하다^[7].

그림 6은 설계된 TSPC 분주기를 나타낸다. 일반적인 TSPC 구조로 출력에는 인버터 버퍼를 사용하여 다음 단의 TSPC 분주기를 충분히 구동시킬 수 있도록 하였다. 본 논문에서는 2:1 TSPC 분주기를 7단 사용함으로써 분주단의 최종 출력은 위상 주파수 검출기에서 기준 신호 50 MHz와 비교한다.

2-5 위상 주파수 검출기, 전하 펌프, 루프 필터

그림 8과 같이 위상 주파수 검출기는 일반적인 3상 상태 구조로 설계하였다^[4]. 전하 펌프는 그림 7과 같이 OP-amp를 이용한 피드백 구조로 설계하여 PMOS와 NMOS에 흐르는 전류를 동일하게 맞추고, 빠른 스위칭 동작이 가능하도록 하였다^[6]. 또한, 루프 필터의 크기와 위상 고정 루프의 노이즈 효율을 고려하여 전하 펌프의 전류는 100 μ A로 설계하였다. 루

그림 7. 전하 펌프의 회로도

Fig. 7. Schematic of charge pump.

그림 8. 위상 주파수 검출기의 블록도
Fig. 8. Block diagram of PFD.

그림 9. 트랜스포머로 구현한 3배배기 부하와 전력 분배기
Fig. 9. Transformer used as the tripler load and power divider.

프 필터는 일반적인 2차 루프 필터 구조로 설계하였으며, 루프 필터의 대역폭은 선형적인 FMCW 신호를 얻기 위해 1 MHz로 결정하였다.

2-6 77 GHz 전력증폭기

주파수 합성기의 출력을 키우기 위해 출력 전력 10 dBm을 내는 전력 증폭기를 연결하였다. 전력증폭기의 최대 전압 스윙은 CMOS의 낮은 공급 전압에 의해서 결정된다. 따라서 전력 증폭기는 가용 전압 스윙폭이 큰 공통소스 증폭기가 일반적으로 사용된다. 하지만 공통소스 증폭기는 안정성이 낮고 입출력 간 격리도가 좋지 않다. 이를 보완하기 위해 neutralization 기술을 이용한 전력 증폭기를 설계하였다. Neutralization 기술을 이용하면 추가적인 전력을 소비하지 않고 이득을 증가시킬 수 있고, 안정된

그림 10. 전력 증폭기 회로도
Fig. 10. Schematic of power amplifier.

회로를 구현할 수 있다.

그림 10은 77 GHz 전력 증폭기의 회로도를 나타낸다. 전력 증폭기는 트랜스포머와 결합된 2개의 공통 소스단으로 이루어져 있다. 첫 번째 단은 작은 전력으로 큰 전압 스윙을 얻기 위해 주입 잠금 버퍼^[9]를 이용하였다. 그리고 두 번째 단은 그림 10과 같이 이득과 안정성을 향상시키기 위해 게이트와 드레인 사이에 커패시터를 추가하였다^[5]. 전력증폭기 단일 블록을 측정하기 위하여 그림 10에서와 같이 Marchand balun을 삽입하였으며, Marchand balun으로 외부의 single ended 입력 신호를 differential 신호로 만들어 전력증폭기를 구동하였다.

2-7 측정 결과

그림 11은 65 nm RF CMOS 공정을 이용해 제작된 77 GHz 주파수 합성기의 현미경 사진이며, 패드를 포함한 크기는 800×1,100 μm^2 이다. 칩을 구동하기 위해 필요한 dc 바이어스는 PCB 위에 본딩 작업을 한 뒤 공급해 주었고 RF 신호는 프로브를 이용하

그림 11. W 밴드 주파수 합성기 칩 사진
Fig. 11. Chip microphotograph of the W band frequency synthesizer.

그림 12. W 밴드 주파수 합성기의 위상 잡음 측정 결과
Fig. 12. Phase noise of W band frequency synthesizer.

여 웨이퍼 위에서 측정하였다.

측정 결과, 26 GHz VCO는 22.8~26.8 GHz의 주파수 조정 범위를 가지며, 3체배기 77 GHz 주입 동기 VCO는 주파수가 낮아져 바랙터를 조정하면 최대 74~75.6 GHz의 주파수 조정 범위를 가진다. 목표로 했던 77 GHz 출력에 비해 3체배기의 주파수가 2 GHz 정도 작게 나왔지만, 26 GHz VCO는 3체배기의 모든 주파수 조정 범위에서 동작하였다. 그림 4에서 바랙터 제어 전압을 VDD로 올릴 경우 가장 높은 주파수 출력이 되고, 이 상태에서 위상 고정되는 주파수 범위는 600 MHz이다.

위상 고정된 상태에서 3체배기의 위상 잡음은 그림 12와 같이 1 MHz 오프셋에서 -75 dBc/Hz, 10 MHz 오프셋에서 -101 dBc/Hz의 위상 잡음 특성을 보인다.

그림 13은 Tripler의 lock range와 출력을 나타낸다. 그림 13을 통하여 tripler의 free running 주파수를 75.6 GHz로 맞춘 뒤 26 GHz 신호를 injection하면 10 dBm 이상의 출력과 600 MHz의 lock range가 나타나는 것을 볼 수 있다. 77 GHz 주파수 합성기는 75.6 mW, 전력 증폭기는 115 mW의 전력을 소모한다. 위상 잡음이 기존 문헌의 결과에 비해 높은 이유는 기본적으로 본 설계에 사용된 공정에서 제공하는 소자의 플릭커 잡음이 기존에 발표된 문헌에서 사용된 소자에 비해 10배 정도 높은 것이 가장 큰 요인으로 추정된다. 플릭커 잡음은 각 공정사에서 제공하는 BS-IM4 모델을 이용하여 계산하였다.

그림 13. Tripler의 lock range와 출력
Fig. 13. Lock range and output power of tripler.

그림 14. Tripler의 output spectrum
Fig. 14. Output spectrum of tripler.

III. 결 론

본 논문에서는 65 nm RF CMOS 공정을 이용하여 26 GHz VCO의 3체배기 구조로 W 밴드 주파수 합성기를 구현하였다. 26 GHz VCO의 주파수 조절 범위는 22.8~26.8 GHz, 3체배기의 주파수 조절 범위는 74~75.6 GHz이다. 50 Ω 부하 조건에서 77 GHz 출력은 최소 10.2 dBm 이상이며, 3체배기의 lock range는 600 MHz이다. 3체배기가 lock된 상태에서 75.49 GHz일 때 1 MHz 오프셋에서는 -75 dBc/Hz, 10 MHz 오프셋에서는 -101 dBc/Hz의 위상 잡음 특성을 보인다.

77 GHz 차량용 레이더는 비약적 발전과 양산성이

우수한 CMOS 공정을 통해 국내외적으로 연구가 활발히 진행 중이다. 특히 송수신기의 특성을 좋게 만들기 위해서는 위상 잡음이 낮고 전력 소모가 적은 주파수 합성기가 반드시 필요하다. 본 논문의 77 GHz 주파수 합성기 또한 이러한 연구 과정으로 하나로 볼 수 있으며, 주파수 합성기의 최적화는 차량용 레이더 개발을 위한 기반이 될 것이다.

제작한 77 GHz 주파수 합성기는 integer-N 방식이며, 기준 신호로 50 MHz 주파수를 사용하였다. 기준 주파수 가변 블록을 추가하면 77 GHz FMCW 신호를 생성할 수 있다. 이를 통해 향후 차량용 레이더의 주파수 합성기의 구현이 가능하다.

References

- [1] 홍주연, 강동민, 윤형섭, 심재엽, 이경호, "전방감지용 밀리미터파 레이더 기술 동향", 전자통신동향분석, 22(5), pp. 33-36, 2007년 10월.
- [2] P. -K. Tsai, C. -Y. Liu, and T. -H. Huang, "A CMOS voltage controlled oscillator and frequency tripler for 22~27 GHz local oscillator generation", *IEEE Microw. Wireless Compon. Lett.*, vol. 21, no. 9, pp. 492-494, Sep. 2011.
- [3] E. Hegazi, H. Sjolund, and A. A. Abidi, "A filtering technique to lower LC oscillator phase noise", *IEEE J. Solid-State Circuits*, vol. 36, no. 12, pp. 1921-1930, Dec. 2001.
- [4] C. Cao, K. K. O, "A power efficient 26-GHz 32:1 static frequency divider in 130-nm bulk CMOS", *IEEE Microw. Wireless Compon. Lett.*, vol. 15, no. 11, pp. 721-723, Nov. 2005.
- [5] W. L. Chan, J. R. Long, M. Spirito, and J. J. Pekarik, "A 60 GHz-band 1 V 11.5 dBm power amplifier with 11 % PAE in 65 nm CMOS", in *IEEE Int. Solid-State Circuits Conf.(ISSCC) Dig. Tech. Papers*, pp. 380-381, 381a, Feb. 2009.
- [6] J. -S. Lee, M. -S. Keel, S. -I. Lim, and S. Kim, "Charge pump with perfect current matching characteristics in phase-locked loops", *Electronics Letters*, vol. 36, no. 2, pp. 1907-1908, Nov. 2000.
- [7] Q. Huang, R. Rogenmoser, "Speed optimization of edge-triggered CMOS circuits for gigahertz single-phase clocks", *IEEE J. Solid-State Circuits*, vol. 31, no. 3, pp. 456-465, Mar. 1996.
- [8] T. H. Lee, A. Hajimiri, "Oscillator phase noise: A tutorial", *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 326-336, Mar. 2000.
- [9] L. J. Paciorek, "Injection locking of oscillators", *Proc. IEEE*, vol. 53, no. 11, pp. 1723-1727, Nov. 1965.

조 형 준

2012년 2월: 성균대학교 전자전기 공학과 (공학사)
2012년 3월~현재: 성균관대학교 이 동통신 전력전자공학과 석사과정
[주 관심분야] RFIC 설계

Chenglin Cui

2009년 7월: Nanjing Univ. of Posts and Telecommunications 정보통신 공학과 (공학사)
2011년 8월: 성균관대학교 정보통신 대학 (공학석사)
2011년 9월~현재: 성균관대학교 정 보통신대학 박사과정
[주 관심분야] RFIC 설계

김 성 균

2007년 2월: 성균관대학교 정보통신대학 (공학사)

2009년 2월: 성균관대학교 정보통신대학 (공학석사)

2013년 2월: 성균관대학교 정보통신대학 (공학박사)

[주 관심분야] RFIC 설계

김 병 성

1989년 2월: 서울대학교 전자공학과 (공학사)

1991년 2월: 서울대학교 전자공학과 (공학석사)

1997년 2월: 서울대학교 전자공학과 (공학박사)

1997년 3월~현재: 성균관대학교 정

보통신대학 교수

[주 관심분야] RFIC 설계, RF 소자 모델링