플립칩 패키지의 열소산 최적화 연구

박철균¹ · 이태호² · 이태경³ · 정명영^{1,†}

¹부산대학교 인지메카트로닉스공학과, ²부산대학교 광메카트로닉스연구소, ³삼성전기

A Study on the Optimization of Heat Dissipation in Flip-chip Package

Chul Gyun Park¹, Tae Ho Lee², Tae Kyoung Lee³ and Myung Yung Jeong^{1,†}

¹Department of Cogno-Mechatronics Engineering, Pusan National University, Geumjeong-gu, Busan 609-735, Korea

²The Institute of Opto-Mechatronics, Pusan National University, Geumjeong-gu, Busan 609-735, Korea

³Samsung Electro-mechanics Co., Ltd, Kangseo-gu Busan 618-721, Korea

(2013년 9월 4일 접수: 2013년 9월 24일 수정: 2013년 9월 27일 게재확정)

초 록: 전자패키징 기술의 발전에 따라 패키지의 소형화는 집적화에 따른 열 소산 면적 감소로 인하여 패키지의 온도 상승을 초래한다. 온도 상승은 소자의 성능을 저해하여, 시스템 고장을 발생을 유발시키며 수명을 단축시킨다. 본 연구에서는 마이크로 패턴과 세미 임베디드 구조를 결합하여 열 소산을 극대화시킬 수 있는 새로운 구조를 제안하여 열특성을 평가하였다. 제안 구조의 열특성 평가 결과, 기존 구조에 비하여 최대 온도는 20°C 낮았으며, 범프의 최대 응력은 20% 이상 감소하여 제안 구조의 유효성을 확인하였다.

Abstract: According to advance of electronic packaging technology, electronic package becomes smaller. Miniaturization of package causes the temperature rise of package. This can degrade life of electronic device and generate the failure of electronic system. In this study, we proposed a new semi-embedded structure with micro pattern for maximizing heat dissipation. A proposed structure showed the characteristics which have maximum temperature lower than 20°C compared with conventional structure. And also, in view of thermal stress and strain, our structure showed a remarkably low value compared with other ones. We expect that the new structure proposed in this work can be applied to an flip-chip package of the future.

Keywords: FCBGA, Heat Dissipation, Electronic Packaging, Semi-Embedded structure,

1. 서 론

전자 소자는 세상에 발표된 이래 정보화 사회의 발전과 더불어 지속적인 진보를 거듭해왔다. 특히, 정보통신과 디지털 기술의 발전으로 높은 주파수 영역에서 사용되고 빠른 데이터 처리속도를 가지는 새로운 재료, 부품 및 모듈, 기관에 대한 필요성 커지고 있다. 이에 따라 칩 제조분야에서는 칩 자체의 미세화, 집적화 연구가 진행되고 있으며 패키지 분야에서는 경박단소화 된 새로운 패키지와 실장방법이 개발되고 있다.¹⁾

전자 소자 및 패키지는 낮은 작동 온도에서 더 효과적으로 전기적 신호의 송수신이 가능하며, 노이즈가 적기 때문에 효율적인 기능을 수행할 수 있을 뿐만 아니라, 소자의 수명 향상을 기대할 수 있다.²⁻³⁾

그러나, 전자 소자는 구동에 따라 발열이 필연적으로 발생하게 되고, 이러한 발열의 증가는 열팽창계수(CTE)가 상이한 재료들이 적층된 구조로 구성되어 있는 패키지의 불 균일한 온도분포를 형성하여, 서로 다른 물질 간의 계면에서 균열과 박리와 같은 문제점들이 발생하게 한다.²⁻³⁾ 이에 따라, 온도에 민감하게 반응하는 소자는 수명이 저하되어 시스템의 고장 등의 문제점을 초래한다.³⁾ 따라서, 패키지 내의 이중구조 집적화에 의해 생성된 열의 소산은 패키징에 있어서 가장 중요한 요소이다.⁴⁻⁶⁾

특히, 전자 제품의 소형화, 박형화 및 집적화에 따라 칩과 패키지 기판(package substrate)을 전기적으로 연결하는 범프(Bump)의 미세화가 요구되고 있으며, 이에 따른 범프의 기계적 특성에 대한 문제가 현재 큰 관심을 받고 있다.⁴⁻⁶⁾

[†]Corresponding author
E-mail: myjeong@pusan.ac.kr

© 2013, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

이러한 범프의 미세화는 직경 감소와 금속하부층(Under Bump Metallurgy, UBM)의 단면적 감소로 인하여 전류밀도를 증가시키게 되고, 이는 일렉트로 마이그레이션(Electromigration, EM)에 의한 전기적 단락을 야기시킬 수 있다. 또한 범프의 접합에 따른 금속간화합물(Intermetallic Compound, IMC)과 커켄달보이드(Kirkendal void, KV)의 형성은 패키징에 있어서의 전기적 및 기계적 특성 저하에 큰 영향을 미칠 것으로 사료된다. 그리고 이와 같은 문제점들에 대한 원인을 분석하고 개선방안을 마련하고자 기계적, 열적 및 전기적 특성 평가에 관한 연구가 관심을 받고 있으며, 현재 우수한 특성을 가지는 범프를 구현하기 위하여 많은 노력을 기울이고 있는 실정이다.⁷⁻¹⁴⁾

본 연구에서는 최근 많이 사용되는 FCBGA (Flip-chip Ball Grid Array) 패키지에서 열을 효과적으로 소산하기 위한 새로운 구조를 제안하고, 시뮬레이션을 통하여 열 소산에 따르는 온도 분포, 열응력 및 열변형률을 해석함으로써, 열특성의 최적화를 수행하였다.

2. FCBGA 열해석 모델

FCBGA의 개략적인 구조도 및 열 저항 개념을 Fig. 1에 나타내었다. 플립칩 패키지는 칩, 솔더 범프, 패키지 기판, 솔더볼 및 메인보드로 크게 구분할 수 있다.

Joule heating에 따른 패키지의 설계에 있어서 칩은 하나의 열원으로 작용하게 되고, 발생하는 열은 칩과 패키지 기판을 연결하는 솔더범프에 의해 열이 이동하게 된다. 그리고 이동된 열은 메인보드와 패키지 기판을 연결시키는 역할을 하는 솔더 볼에 의해 메인보드로 빠져나간다. 따라서 이상적으로 시스템이 구동되기 위해서는 각 요소들에 있어서 전기적 및 기계적 특성이 뒷받침되어야 하며, 특히 솔더 범프나 솔더 볼에 있어서의 적절한 전기적 및 기계적 특성은 반드시 필요한 부분이다.

플립칩의 열원에서 생성된 열은 전도에 의해 범프, 패키지 기판, 솔더볼로 전달되고, 열이 분배되어진다. 그리고 주위 공기에 의한 대류에 의해 열이 이동하여 소산된다. 플립 칩의 경우, 절대온도의 차이가 작기 때문에 복사에 의한 열은 무시할 수 있다. 칩의 패키징이 이루어지게 되면, 내부 유동 움직임이 적어지게 되어 플립칩 내부에서의 가장 주된 열전달 현상은 열전도로 간주할 수 있다.⁵⁾

따라서 플립칩 내에서 발생된 열의 전달특성을 평가하

Fig. 1. Typical FCB package structure and thermal path.

기 위하여 열원(Heat source)으로부터 메인보드까지의 전도 열저항을 분석하여야 한다.

이를 위해서 본 연구에서는 우선 플립칩 패키지 전체에 대한 모델링을 시행하고, 그에 따른 열전달 특성을 분석하였다.

열전달 특성분석을 위한 시뮬레이션은 유한 요소 해석 Comsol 4.3b의 joule heating and thermal stress module을 이용하여 시뮬레이션을 수행하였다.

3. 플립칩 패키지 열해석

3.1. 마이크로 패턴을 이용한 열해석

패키징 기술의 발전에 따른 패키지의 소형화는 열 소산 면적 감소로 인하여 패키지의 온도 상승을 초래하게 된다. 플립칩 같은 경우 칩에서 발생하는 열의 대부분은 언더필과 패키지 기판내부에 있는 직접적으로 접촉된 부분으로 전달되고 그 후 솔더볼을 통해서 메인보드로 열 소산이 이루어지게 된다

Fig. 2에서 볼수 있듯이, 200초의 시간 동안 7X107W/m²의 열원이 처음의 10초간 발생하여 이에 따른 플립칩에서의 온도변화를 살펴보고, 이후 열원을 제거함에 따라 각각의 제안된 모델의 방열특성을 살펴보고자 한다.

Fig. 3과 같이 Heat transfer module을 이용해서 20°C의 온도에서 기존의 플립칩 구조에 있어서의 열해석을 통하여, 기존 모델의 열 전달경로 특성을 파악하고, 열 분산

Fig. 2. Condition about the quantity of heat.

Fig. 3. Heat Spreader Structure (at Time = 20 sec.)

기의 구조에 따른 열해석 모델링을 구현하였다.

FCBGA의 발열문제를 해결할 수 있는 모델을 제시하고자 한다. Fig. 3의 경우, 기존의 열 분산기(heat spreader)를 사용한 모델이고 기존의 열 분산자와 재료는 동일하지만, 표면에 마이크로 패턴구조를 형성시킨 모델의 온도구배이다. 기존의 모델인 Fig. 3 (a)의 경우, 발생한 열로 인하여 4.08°C/s의 속도로 101.5°C까지 칩의 온도가 상승하게 되고, 이에 따라 각 재료들은 열적 평형을 위하여 언더필에서 메인보드까지의 열이 이동하여, 메인보드의 온도가 25.75°C까지 상승함을 볼 수 있었다. 또한 열원을 제거했을 때의 방열 현상을 살펴본 결과, 칩의 온도가 76.6°C까지 점점 낮아지면서 열전도의 영향으로 대부분의 열이 메인보드로 이동하여 메인보드의 온도가 76.1°C까지 높아지게 되어 모델의 모든 재료가 열적 평형을 이루었다. 그러나 열분산기 구조를 가지는 모델인 Fig 3 (b)는 Fig. 3 (a)에 비해 발열 및 방열 특성이 상당히 향상된 결과를 보였다. 모델 Fig 3 (b)의 경우, 열원을 인가하였을 때, 3.62°C/s의 속도로 칩의 온도가 92.4°C까지 상승하고, 메인보드의 온도가 24.9°C까지 상승하였으며, 열원을 제거하였을 시, 72.0°C로 칩의 온도가 낮아졌으며, 메인보드 역시 열적 평형을 위하여 71.4°C까지 온도가 상승함을 보여주었다.

플립칩 패키지의 열변형 특성 분석을 위하여 Fig. 4와 같이 기존의 모델의 모델링 작업과 메쉬(mesh)를 생성시킨 후 그에 따른 열소산 특성을 분석하였다. 그리고 사용된 모델의 재료 특성 및 치수는 Table 1에 나타내었다.

앞에서 언급한 자료를 토대로 하여 본 논문에서는 인가되는 전류에 따른 열량을 계산하여 칩에 인가하였으며 그에 따른 열소산 특성을 Fig. 5-7에 나타내었다.

Fig. 5-7에서 살펴볼 수 있듯이, 칩의 구동에 따라 상당

Fig. 4. Modeling process and mesh generation of FCBGA.

Table 1. Materials and dimension of standard thermal analysis model

	Si	underfill	Fr4	SAC305
Density [Kg/m ³]	2330	1400	1900	7380
Thermal conductivity [W/m*degC]	148	0.24	0.294	50
Heat capacity [J/Kg*degC]	712	1150	970	232
Elastic modulus [GPa]	163	6.60	22.0	51
Poisson's Ratio	0.278	0.25	0.390	0.36
CTE [ppm/degC]	2.6	33	50	40

Fig. 5. Temperature distributions according to designed FCBGA.

Fig. 6. Total displacement according to designed FCBGA.

Fig. 7. Von Mises stress according to designed FCBGA.

한 온도 상승이 이루어지고 있으며, 특히 온도 상승에 따라 각 층을 연결하는 범프와 솔더볼에 대하여 많은 열응력이 가해지고 있음을 확인할 수 있다. 이는 범프와 솔더볼의 열변형에 따라 시스템의 작동에 있어서 문제를 야기할 수 있을 것으로 사료된다. 따라서 본 논문에서는 범프와 솔더볼에 대한 열변형 특성을 정량적으로 분석하기 위하여 TCT(Thermal Cycling test)를 이용한 시뮬레이션을 추가적으로 진행하였다.

Fig. 8에서 볼 수 있듯이, 25°C에서 시작하여 5분간격으로 125°C에서 -40°C의 온도구간을 반복하는 TCT를 선정하였고, 이에 따른 플립칩 패키지의 열변형특성을 분석

Fig. 8. TCT profile.

Fig. 9. Thermal analysis of bumps.

하였다. 분석결과는 다음과 같다.

Fig. 9에서 볼 수 있듯이, 가열 및 냉각이 반복적으로 이루어질 때, 범프가 칩의 중심부분에서부터 바깥쪽에 위치할수록 많은 열응력이 가해지게 되고 최대 75.4 MPa의 열응력이 나타났다, 그에 따라 열에 의한 변형량이 크게 나타남을 확인할 수 있었으며 최대 11.7 μm 의 열변형이 나타났다. 이는 반복적인 열변형으로 인하여 FCBGA 패키지의 시스템 구동에 큰 영향을 미칠것으로 사료된다.

3.2. Semi-embedded 구조의 열설계

현재 패키징 기술은 소형화, 집적화, 박형화 및 다기능화를 추구하고 있는 상황이다. 이러한 현재의 요구를 충족시키기 위하여 Embedded PCB가 대두되었다. 그러나 소자를 패키지의 내부 실장하는 기술이기 때문에, 소자의 불량에 따른 대처가 어려운 단점이 있어 일부 수동소자만을 임베디드 기술을 이용할 뿐 현재 널리 활용되지 못하고 있는 실정이다.⁸⁻¹⁰⁾

따라서 본 논문에서는 Fig. 10과 같이 semi-embedded

Fig. 10. Semi-Embedded Condition.

(a) Temperature distribution according to Semi-embedded structure

(b) Temperature distribution of Flip chip by Semi-embedded structure

Fig. 11. Thermal analysis of semi-embedded structure.

구조를 설계하여 기존의 플립칩 패키지에 있어서의 원활한 열소산을 구현하고자 하였으며, 시뮬레이션을 통한 열해석을 수행하였다.

열설계를 통하여 제안된 semi-embedded 구조를 분석한 결과, 기존의 플립칩 패키지에 비하여 최고 온도 대비 19°C 정도의 온도 감소를 Fig. 11의 결과에서 확인할 수 있었다.

본 논문에서는 semi-embedded 구조에 대하여, 열원으로 작용하는 칩과 패키지 기판을 연결하는 솔더범프의 열특성을 기존의 플립칩 패키지와 비교 분석하였으며, 그 결과를 Fig. 11에 나타내었다.

분석결과, 기존의 플립칩 패키지의 경우, 칩의 발열에 따라 솔더범프에 최대 7.2 μm 의 열변형이 나타났다. 그러나 semi-embedded 구조를 가지는 플립칩 패키지의 경우, 칩에서의 열소산 특성을 향상시켜 솔더범프에 최대 4.5 μm 의 열변형을 나타내어 2.8 μm 의 열변형 감소를 구현할 수 있음을 확인할 수 있었다.

4. 최적 열소산 구조 제안 및 열해석

앞 절에서 플립칩 패키지의 열특성을 향상시키기 위하여 마이크로 패턴을 이용한 구조와 세미 임베디드 구조를 통한 열소산 특성을 살펴보았다. 따라서 본 논문에서는 마이크로패터닝과 세미 임베디드 구조를 결합한 최적 열소산 구조를 구현하고, 제안한 구조에 대한 열특성을 평가하였다. 본 논문에서는 기존의 플립칩 패키지에 대하여 마이크로패턴을 칩에 형성 하였으며, 칩과 패키지 기판을 메인보드 안쪽으로 실장시켜, 아래부분에 Heat

Fig. 12. Optimization of Heat Dissipation in Flip-chip Package.

Spreader를 구현하여 플립칩에서 발생하는 열을 원활히 소산할 수 있는 구조를 형성하였다. 그리고 칩에 열원을 인가하였을 때의 열소산 특성을 분석하였다. Fig. 12을 통해서 최적화된 모델을 확인할 수가 있다.

따라서 제안한 열설계 구조를 통하여 기존의 플립칩 패키지에서 발생되었던 열응력을 최대 30 MPa 감소시킬 수 있을 것으로 판단된다. 그리고 발생하는 열응력 감소에 따라 열변형 역시 최대 4.2 μm 감소시켜, 범프에서 발생하는 열변형을 48%감소시킬 수 확인할 수 있었다. 이는 반복적인 구동에 있어서 제안한 열설계 구조를 통하여 기존의 플립칩 패키지가 가지는 열소산 문제를 크게 제어할 수 있다고 사료된다.

플립칩의 경우, 칩에서 발생한 열은 대부분 전도에 의해 칩과 직접적으로 접촉된 언더필과 패키지 기판 내의 도선으로 열이 전달된다. 이후 전달된 열은 솔더볼을 통해 바깥쪽영역인 메인보드로 열소산이 이루어지게 된다. 본 논문에서는 칩에서 발생하는 열량을 계산하여, 이에 따른 플립칩 내에서의 온도 변화를 살펴보고, 열원을 제거했을 때의 온도변화를 통하여 최적의 열 소산 모델을 제시하고자 한다

5. 결 론

본 논문에서는 모듈의 고집적화 및 소형화에 따라 발생하는 발열에 따른 성능 저하를 방지하기 위하여 기존의 플립칩에서의 발열 특성을 분석하고, 이에 따른 플립칩 패키지의 열응력 및 열변형 특성을 분석하였다.

본 논문에서는 모듈의 고집적화 및 소형화 추세에 따라 발생하는 패키징에 의한 발열 및 수명향상을 위하여 기존의 플립칩에서의 발열 특성을 분석하였고, 발열 문제를 해결할 수 있는 열설계 모델을 제시하였으며, 패턴의 피치와 높이에 따른 발열특성의 분석을 통하여 최적의 열소산 구조를 디자인하고자 하였다.

Comsol multiphysics의 heat transfer 모듈을 이용하여 열설계 시뮬레이션을 시행한 결과에 따르면 패턴을 형성한 모델의 경우, 기존의 heat spreader 구조를 가지는 것에 비해 칩 부분에서 열소산 특성이 18.23% 향상시킴으로써, 15.293°C 온도 감소 효과를 기대할 수 있었으며, 메인보드 부분에 있어서도 7.823°C 온도 감소 효과를 기대할 수 있었다. 또한 방열에 있어서도 기존의 온도보다 8.484°C의 온도감소를 나타냄을 보였다.

따라서 이와 같은 결과에 따라 칩의 구동시 솔더에 있

어서의 열저항을 감소시킴으로써, 칩의 수명을 향상시킬 뿐만 아니라 효율적인 기능을 수행할 수 있는 플립칩을 구현함과 동시에 소형화 및 집적화는 지향하는 전자제품에 있어서의 열적 문제를 개선시킬 수 있음을 보였다.

우선 TCT의 온도조건을 통하여 플립칩 패키지의 열변형 특성을 평가하였다. 그 결과, 최대 75.4 MPa의 열응력이 나타났다. 그리고 열변형의 경우, 최대 11.7 μm 의 열변형을 나타내었다. 반면 플립칩 패키지의 열변형 특성은 최대 135.2 MPa의 열응력과, 14.2 μm 의 열변형을 보였다. 플립칩의 경우, 범프의 위치 및 TCT cycle에 따른 열응력 변화가 15 MPa로 큰 차이를 보이지 않았다. 그리고 TCT cycle에 따라 네 번째 TCT cycle에서 열응력 및 열변형의 sl 정도가 기존의 TCT cycle에 비해 크게 높아짐을 볼 수 있었다.

본 논문에서는 모듈의 고집적화 및 소형화 에 따라 발생하는 발열에 따른 성능 저하를 방지하기 위하여 기존의 플립칩에서의 발열 특성을 분석하였고, 발열 문제를 해결하기 위하여 플립칩의 상부에 마이크로 패턴을 부착하는 새로운 방열 구조의 모델을 제시하였으며, 패턴의 간격에 따른 발열특성의 분석을 통하여 고효율의 열소산 구조를 설계하였다. .

효율적인 방열을 수행할 수 있는 플립칩 열소산 구조를 채택하여, 칩의 구동시 솔더에 있어서의 열저항 감소에 따른 열응력을 완화로 플립칩의 수명을 향상시킬 수 있을 뿐만 아니라, 소형화 및 집적화를 지향하는 전자제품에 있어서의 열적 문제를 개선시킬 수 있음을 보였다.

플립칩 범프의 열변형을 분석하였다. 우선 TCT 평가를 통하여 플립칩 패키지의 열변형 특성을 평가하였다.

그 결과, 최대 75.4 MPa의 열응력이 나타났다. 그리고 열변형의 경우, 최대 11.7 μm 의 열변형을 나타내었다.

또한, 범프의 위치 및 TCT cycle에 따른 열응력변화가 15 MPa로 변화를 나타냈다. 그리고 TCT cycle에 따라 네 번째 TCT cycle에서 열응력 및 열변형의 정도가 기존의 TCT cycle에 비해 크게 높아짐을 볼 수 있었다.

본 논문에서는 범프의 미세화로 인하여 전류밀도가 증가되고, 발열에 따른 높은 열응력 및 열변형이 플립칩 패키지의 시스템 구동에 문제를 발생시킬 수 있음을 시뮬레이션을 통하여 확인하였다.

Acknowledgments

본 연구는 산업통상자원부 및 한국산업기술평가관리원의 산업융합원천 기술개발 사업의 일환으로 수행하였음 (10044793, 스마트 컨슈머อิเล็กทรอนิกส์ 내장형 20 Gbps 초박형 광연결모듈 개발).

참고문헌

1. C. F. Coombs, "Printed Circuits Handbook", sMcGraw Hill

- Book Co., Chap.3, (2007).
2. Y. Song, S. B. Lee, S. H. Jeon, B. S. Yim, H. S. Chung and J. M. Kim "Underfill Flow Characteristics for Flip-Chip Packaging", J. Microelectron. Packag. Soc., 16(3), 39 (2009).
 3. J. H. Ann, K. S. Kim, Y. C. Lee, Y. Kim and S. B. Jung "Regulation in Shear Test Method for BGA of Flip-chip Package", J. Microelectron. Packag. Soc., 17(3), 1 (2010).
 4. J.U. Knickerbocker, et al., "three-dimensional silicon integration", IBM Journal of Research and Development, 52(6), 553-569, (2008).
 5. Sakuma, K. et al, "Characterization of Stacked Die using Die-to-Wafer Intergration for High Yield and Throughput", Proc 58th Electronic Components and Technology Conf, Orlando, FL, pp. 18-23 (2008).
 6. JHwang et al., "Fine pitch chip interconnection technology for 3D integration", Electronic Components and Technology Conference (ECTC), pp. 1399-1403 (2010).
 7. Y. C. Chiou, Y. M. Jen, S H Huang, "Finite element based fatigue life estimation of the solder joints with effect of intermetallic compound growth", Microelectronics Reliability 2319-2329, 51 (2011).
 8. C. Y. H. Lu, "Growth Mechanism of the Cathode IMC Layer in Solder Bump Joints", Transactions of JWRI, Special Issue on WSE2011 (2011).
 9. M. Huang, L. Chen, S. Zhou, S. Ye, "Effect of surface finish (OSP and ENIG) on Failure mechanism induced by electromigration in Sn-3.0Ag-0.5Cu flip chip solder interconnect", APM2011 (2011).
 10. A. Qasaimeh, S. Lu, P. Borgesen, "Crack Evolution and Rapid Life Assessment for Lead Solder Joints", Electronic Components and Technology Conference (2011).
 11. C. G. Song, S. H. Choa, "Numerical Study of Warpage and Stress for the Ultra Thin Package", J. Microelectron. Package. Soc., 17(4), 49(2010).
 12. M. O. Alam, H. Lu, C. Bailey, Y. C. Chan, "Finite-element simulation of stress intensity factors in solder joint intermetallic compounds", IEEE Trans Device Mater Rel, 9, 40(2011).
 13. Y. M. Jen, Y. C. Chiou, C. L. Yu, "Fracture mechanics study on the intermetallic compound cracks for the solder joints of electronic packages.", Eng Fail Anal, 18, 797 (2011).
 14. Nguyen, T.T., D. Lee, J. B. Kwak, S. Park, "Effects of glue on reliability of flip chip BGA packages under thermal cycling", Microelectronics Reliability, 50(7), 1000 (2010).