인덕터 피킹기법을 이용한 초광대역 CMOS 저잡음 증폭기 설계

성영규* · 윤경식**

Design of UWB CMOS Low Noise Amplifier Using
Inductor Peaking Technique

Young-Kyu Sung* · Kyung-Sik Yoon**

요 약

본 논문에서는 3.1-10.6GHz 초광대역 CMOS 저잡음 증폭기의 새로운 구조를 소개하였다. 제안된 초광대역 저잡음 증폭기는 입력 임피던스 정합에 RC 피드백과 LC 필터 회로를 사용하여 설계되었다. 이 설계에 전류 재사용 구조는 전력소비를 줄이기 위해 채택되었으며, 인덕터 피킹 기법은 대역폭을 확장하기 위하여 적용되었다. 이 초광대역 저잡음 증폭기의 특성을 0.18- μm CMOS 공정기술로 시뮬레이션을 수행한 결과는 3.1-10.6GHz 대역 내에서 전력이득은 14-14.9dB, 입력정합은 -10.8dB이하, 평탄도는 0.9dB, 잡음지수는 2.7-3.3dB 인 것을 보여준다. 또한, 입력 IP3는 -5dBm이고, 소비전력은 12.5mW이다.

ABSTRACT

In this paper, a new circuit topology of an ultra-wideband (UWB) 3.1-10.6GHz CMOS low noise amplifier is presented. The proposed UWB low noise amplifier is designed utilizing RC feedback and LC filter networks which can provide good input impedance matching. In this design, the current-reused topology is adopted to reduce the power consumption and the inductor-peaking technique is applied for the purpose of bandwidth extension. The performance results of this UWB low noise amplifier simulated in 0.18- μm CMOS process technology exhibit a power gain of 14-14.9dB, an input matching of better than -10.8dB, gain flatness of 0.9dB, and a noise figure of 2.7-3.3dB in the frequency range of 3.1-10.6GHz. In addition, the input IP3 is -5dBm and the power consumption is 12.5mW.

키워드

초광대역 CMOS 저잡음증폭기, 인덕터 피킹, 전류재사용, 대역폭 확장

Key word

UWB CMOS LNA, inductor peaking, current-reuse, bandwidth extension

* 준회원 : 고려대학교 대학원 전자정보공학과

접수일자 : 2012. 07. 25

** 정회원 : 고려대학교 전자및정보공학과 교수(교신저자, ksyoon@korea.ac.kr)

심사완료일자 : 2012. 08. 13

I. 서 론

최근 한정된 전파자원을 효율적으로 사용할 수 있는 초광대역(Ultra Wide Band) 무선기술의 활용을 위해 미국 FCC에서 3.1-10.6GHz 주파수 대역의 사용허가가 이루어졌다[1]. 이를 계기로, 광대역 고속통신, 무선랜(Wireless LAN) 및 무선개인통신(Wireless Personal Communication)에 UWB 무선기술의 상용화가 활발히 진행되고 있다. 이같은 새로운 표준 시스템은 저렴한 비용으로 소비전력은 적지만 높은 보안성과 고속 데이터 전송율의 무선통신이 가능해야 한다. 그러므로 UWB 무선시스템에 요구되는 초광대역 저잡음 증폭기는 넓은 대역에서의 입력정합과 낮은 잡음지수 및 저소비전력으로 구현되어야 한다.

기존의 많은 CMOS 광대역 저잡음 증폭기에 관한 연구에는 입력정합구조로 저항중단 공통-소오스 구조, 피드백 구조, 공통-게이트 구조[2], 대역통과필터 정합구조[3]를, 잡음제거와 대역확장을 위해 광대역 잡음제거 기법[4] 및 인덕터 피킹 기법[5], 전력소비를 줄이기 위해 전류 재사용 기법[6] 등이 사용되고 있다.

따라서, 본 논문에서 3.1-10.6GHz 주파수 대역에서 입력정합을 위하여 RC 피드백과 LC 필터구조로, 대역폭 확장을 위해 인덕터 피킹기법을 이용하고 저전력 특성 구현에 적합한 전류 재사용구조를 기반으로 하는 초광대역 저잡음 증폭기를 제안한다. 제안된 초광대역 저잡음 증폭기를 0.18- μm CMOS 공정기술로 설계하고 시뮬레이션 결과를 제시한다.

II. 초광대역 CMOS 저잡음 증폭기 설계

ECMA-368 표준[7]에 의하면 UWB 무선시스템 수신단의 허용된 잡음지수가 6.6dB이며, 송수신기 스위치와 preselect filter 손실이 각각 0.6dB와 1.1dB이라 가정하면, RF front-end의 잡음지수는 약 4.9dB가 된다. 또한, 수신단 혼합기의 잡음지수를 약 10dB 정도로 설정하고, UWB 저잡음 증폭기의 이득을 13dB이상으로 설계한다면 저잡음 증폭기의 잡음지수는 4.2dB를 초과해서는 안 된다.

그러므로, 본 논문에서 제안하는 초광대역 저잡음 증폭기의 이득은 3.1-10.6GHz 주파수 대역내에서 13dB이상, 잡음지수 4dB 이하, 입력 IP3는 -5dBm 이상으로 설계하고자 한다.

2.1. 입력 정합회로

일반적으로 광대역 정합은 기존의 협대역 저잡음 증폭기 정합 회로의 Q 값을 조절하여 이루어진다. 그림 1에 광대역 증폭기를 구현할 수 있는 기본적인 구조를 보여준다[2].

그림 1. 기본적 광대역 증폭기 구조:
(a) 저항중단 CS 증폭기 (b) CG 증폭기
(c) 피드백 저항 CS 증폭기

Fig. 1 Basic topologies of wideband amplifiers:
(a) Resistor-terminated CS amplifier (b) CG amplifier
(c) feedback resistance CS amplifier

그림 1(a)는 공통-소오스 증폭기로 주파수의 변화에 대하여 거의 변화가 없는 저항 R_L 를 신호원 저항 R_S 에 정합하여 광대역에서 정합이 이루어지도록 한다. 그렇지만 입력단에 저항을 사용하면 입력 신호의 감소와 열 잡음을 발생시켜 잡음지수가 커지는 단점이 있어 거의 사용하지 않는다. 그림 1(b)는 공통-게이트 증폭기로서 입력 임피던스는 트랜지스터의 소오스를 바라보는 임피던스로 다음 (1) 식과 같다.

$$Z_{in} \approx \frac{1}{g_{m1}} \quad (1)$$

위의 식에서 알 수 있듯이 트랜지스터의 g_{m1} 값을 50Ω 으로 조절하여 광대역 정합을 이룰 수 있다. 그림 1(c)는 피드백 저항 R_F 를 사용한 공통-소오스 증폭기로 이 때의 입력 임피던스는 다음 (2)식과 같다.

$$Z_{in} \approx \frac{R_f + R_L}{1 + g_{m1}R_L} \approx \frac{1}{g_{m1}} \quad (2)$$

위의 (2)식에서 알 수 있듯이 피드백 저항 R_f 가 부하 저항 R_L 보다 작다면, 피드백 저항을 사용한 공통-소스 증폭기의 입력 저항 역시 공통-게이트 구조 증폭기와 마찬가지로 트랜지스터의 트랜스컨덕턴스 g_{m1} 값을 조절하여 50Ω 에 접근시킬 수 있다. 그러나 피드백 증폭기에서 피드백 되는 신호의 크기에 따라 이득은 반비례하기 때문에 피드백 저항 R_f 의 값이 R_L 보다 커질수록 이득과 잡음지수는 좋아지나, 입력 임피던스는 피드백 저항 R_f 의 영향을 많이 받게 되어 입력정합에서 벗어나게 되므로 적절한 R_f 값으로 설계하여야 한다.

그림 2는 본논문의 초광대역 CMOS 저잡음 증폭기의 입력 정합회로를 나타낸다. 3.1-10.6GHz 주파수 범위의 초광대역에서 50Ω 에 정합되도록 RC 피드백 회로를 사용하였다.

그림 2. 초광대역 CMOS 저잡음 증폭기
입력정합회로

Fig. 2 Ultra-wideband CMOS LNA input matching circuit

그러나, 피드백 저항 R_f 와 캐패시터 C_f 는 입력과 출력에 모두 영향을 주기 때문에 해석이 쉽지 않다. 따라서, 그림 2의 R_f 와 C_f 로 구성된 피드백 임피던스를 밀러 정리(Miller's theorem)를 적용하여 입력측 직렬회로로 변환한 후 다시 병렬회로로 전환하여 그림 3과 같은 등가회로를 얻을 수 있다.

그림 3. 초광대역 CMOS 저잡음 증폭기
입력정합회로의 등가회로

Fig. 3 Equivalent circuit of ultra-wideband CMOS LNA input matching circuit

그림 3에서 인덕터 L_g 와 캐패시터 C_p 는 병렬 공진회로를 구성하고 있다. 병렬저항 R_p 를 통해 병렬 공진회로의 Q 값을 조절하여 3.1-10.6GHz의 초광대역에서 50Ω 에 가깝게 정합할 수 있다. Degeneration 소오스 인덕터 L_s 는 잡음 임피던스 정합과 안정성을 동시에 얻기 위하여 사용된다[3,8]. 또한, 게이트 입력단의 LC 필터의 인덕터 L_1 는 3.1-10.6GHz 대역에서 S_{11} 이 스미스 차트의 중심으로 이동시키는 역할을 한다. 그림 4는 L_1 의 유무에 따른 S_{11} 의 변화를 나타내며, L_1 이 있을 때가 L_1 이 없는 경우보다 대역내의 S_{11} 이 스미스 차트의 중심 근처에서 원을 그리며 움직이는 것으로 광대역의 정합이 이루어지는 것을 알 수 있다.

그림 4. 인덕터 L_1 이 (a) 없을 때와 (b) 있을 때의 S_{11} 의 변화

Fig. 4 Simulated S_{11} (a) without the inductor L_1 and (b) with the inductor L_1

2.2. 인덕터 피킹 기법을 이용한 대역폭 확장

그림 5는 부하 캐패시터 C_L 를 갖는 일반적인 협대역 공통-소스 증폭기이며 MOS 트랜지스터 M_1 이 이상적이라 가정하면, 이 증폭기의 전압이득 크기는

$g_{m1}(R_L \parallel 1/j\omega C_L)$ 로 쉽게 구할 수 있다. 그러나 부하 캐패시터 C_L 로 인하여 주파수가 증가할수록 임피던스가 감소하여 이득은 감소하게 되어 좁은 대역폭을 갖게 된다.

그림 5. 협대역 공통-소오스 증폭기
Fig. 5 Narrow-band common-source amplifier

그러므로, 대역폭을 증가시키기 위해서 초광대역 CMOS 저잡음 증폭기에 그림 6(a)와 같이 부하 쪽에 인덕터 L_4 와 저항 R_1 을 직렬로 연결하였다. 그림 6(b)는 그림 6(a)의 M_3 의 드레인에서 부하 쪽으로 바라본 임피던스의 등가회로를 나타낸다. 여기서 C_{tot} 는 부하캐패시턴스 C_L 과 트랜지스터 M_3 , 인덕터 L_4 , 저항 R_1 의 모든 기생 캐패시턴스를 포함한 전체 캐패시턴스이다.

그림 6. (a)병렬 피킹 인덕터 (b) 등가회로
Fig. 6 (a) shunt-peaking inductor (b) its equivalent circuit

그림 6(b)의 RLC 회로에서 부하 임피던스 Z_L 을 구하면 다음 (3) 식과 같다.

$$Z_L = (sL_4 + R_1) \parallel \frac{1}{sC_{tot}} = \frac{R_1 \left[s \left(\frac{L_4}{R_1} \right) + 1 \right]}{s^2 L_4 C_{tot} + s R_1 C_{tot} + 1} \quad (3)$$

위의 (3)식에서 알 수 있듯이 부하 임피던스 Z_L 은 하나의 zero와 두 개의 pole를 갖으며 부하 임피던스의 크기는 다음 (4) 식과 같다.

$$|Z_L| = R_1 \sqrt{\frac{\left(\omega \frac{L_4}{R_1} \right)^2 + 1}{(1 - \omega^2 L_4 C_{tot})^2 + (\omega R_1 C_{tot})^2}} \quad (4)$$

위 그림 5의 단순한 공통-소오스 증폭기와는 대조적으로, (4)식은 주파수가 증가할수록 분자는 증가한다. 그리고 LC 공진이 일어나기 전까지 주파수가 증가할수록 분자의 첫 번째 항이 줄어들면서 Z_L 값은 증가하여 대역폭을 증가시킨다[8]. 그리고 대역폭을 증가시키기 위해 직렬(Series-peaking) 인덕터 L_3 를 사용하였다. 그림 7에서 직렬 피킹 인덕터 L_3 는 트랜지스터 M_2 의 게이트-소오스 캐패시턴스 C_{gs2} 와의 공진으로 대역폭을 증가시킨다.

그림 7. 직렬 피킹 기법
Fig. 7 Series-peaking technique

그림 8은 직렬 피킹 인덕터 L_3 의 유무에 따른 초광대역 저잡음 증폭기의 S_{21} 의 변화를 나타낸다.

그림 8. L_3 의 유무에 대한 초광대역 CMOS 저잡음 증폭기의 S_{21} 의 변화

Fig. 8 Simulated S_{21} of the proposed UWB CMOS LNA with/without the inductor L_3

그림 8에서 볼 수 있듯이 직렬 피킹 인덕터 L_s 로 인하여 대역폭이 크게 증가하는 것을 알 수 있다.

2.3. 초광대역 CMOS 저잡음 증폭기

그림 9는 본 논문에서 제안하는 3.1-10.6GHz 대역의 초광대역 CMOS 저잡음 증폭기이다.

그림 9. 제안된 3.1-10.6GHz 초광대역 CMOS 저잡음 증폭기 회로도

Fig. 9 Schematic of the proposed 3.1-10.6GHz ultra-wideband CMOS LNA

그림 9의 3.1-10.6GHz 초광대역 CMOS 저잡음 증폭기는 소비전력을 줄이기 위하여 공통-소오스 증폭기와 대역특성과 입출력 격리 특성이 좋은 cascode 증폭기를 하나의 전류경로를 사용하는 전류 재사용 구조로 설계하였다. 입력 정합은 C_1 과 L_1 의 공진회로와 R_f 와 C_f 의 피드백 회로의 Q 값을 조절하여 3.1-10.6GHz에서 정합되도록 설계하였고, 출력 정합은 PMOS인 M_4 를 피드백 경로로 이용하여 쉽게 설계할 수 있었다. Degeneration 인덕터 L_g 를 사용하여 회로의 안정도와 잡음 정합을 향상시켰다. 공통-소오스 증폭기 M_1 을 지난 신호가 M_2 의 소오스로 들어가는 것을 막기 위해 인덕턴스 값이 큰 L_2 와 캐패시턴스 값이 큰 바이패스 캐패시터 C_b 를 사용하였다. 인덕터 L_3 와 캐패시터 C_2 는 공통-소오스 증폭기와 cascode 증폭기를 연결하는 정합회로로 사용되었다. 대역폭을 증가시키기 위해서 병렬 피킹 인덕터 L_4 와 저항

R_1 및 M_2 의 게이트에 연결 되어 있는 직렬 피킹 인덕터 L_3 를 사용하였다.

III. 초광대역 CMOS 저잡음 증폭기 시뮬레이션 결과

그림 10은 본 논문에서 설계한 초광대역 CMOS 저잡음 증폭기를 TSMC CMOS 0.18- μ m 공정기술로 소신호 시뮬레이션한 결과로 대역 내에서의 S_{11} 은 -14~-14.9dB이며 평탄도는 0.9dB이다. 대역 내에서의 S_{11} 은 전대역에서 -10.8dB이하로 입력정합이 잘 이루어졌으나, S_{22} 가 10.6GHz 이상에서는 -9dB이하로 출력정합이 설계규격에 미치지 못했다.

그림 10. 초광대역 CMOS 저잡음 증폭기의 S_{11} , S_{21} , S_{22}
Fig. 10 S_{11} , S_{21} , and S_{22} for the proposed UWB CMOS LNA

그림 11은 초광대역 CMOS 저잡음 증폭기의 잡음지수를 나타내며, 대역 내에서의 잡음지수는 2.7-3.3dB이다.

그림 11. 초광대역 CMOS 저잡음 증폭기의 잡음 지수
Fig. 11 Noise figure for the proposed UWB CMOS LNA

표1. 공정 오차를 고려한 시뮬레이션 결과 비교

Table. 1 Comparison of simulation results with process tolerances

	S_{21} [dB]	S_{11} [dB]	S_{22} [dB]	NF[dB]
설계한 LNA	14-14.9	-10.8이하	-9이하	2.7-3.3
L : -10%	13.6-14.8	-12이하	-10.1이하	2.8-3.6
L : -10% & R : -10%	13-14.3	-11.5이하	-10.2이하	2.8-3.7
L : -10% & R : +10%	14.2-15.2	-11.5이하	-9.9이하	2.7-3.6
L : +10%	14.7-15.9	-10.6이하	-7.5이하	2.7-3.1
L : +10% & R : -10%	14-15.9	-10.8이하	-7.5이하	2.7-3.2
L : +10% & R : +10%	15.4-16	-9.8이하	-7.5이하	2.6-3

그림 12는 입력주파수 6GHz와 6.005GHz의 two-tone 시뮬레이션 결과로 입력 IP₃가 -5dBm 인 것을 보여주며, $V_{DD} = 1.8V$ 에서 12.5mW의 비교적 적은 전력을 소비한다.

그림 12. 초광대역 CMOS 저잡음 증폭기의 입력 IP₃
Fig. 12 Input IP₃ for the proposed UWB CMOS LNA

또한, 공정 오차로 인한 인덕터 값과 저항 값의 변화가 회로에 미치는 영향을 살펴보기 위하여 본 논문에서 제안된 저잡음 증폭기의 회로에 사용한 인덕터 값과 저항 값을 +10%와 -10% 변화시켜 시뮬레이션한 결과를 표 1에 비교 요약하였다.

표 1에서 볼 수 있듯이 공정상에서 인덕터 값과 저항 값이 약 10%의 오차가 발생하더라도 시뮬레이션 결과는 1dB이내의 오차 값을 갖는 것을 확인할 수 있다.

지금까지 발표된 초광대역 저잡음 증폭기와 본 논문에서 제안하는 초광대역 CMOS 저잡음 증폭기의 성능을 표 2에 비교하였다.

표 2에서 볼 수 있듯이 본 논문에서 제안한 초광대역 CMOS 저잡음 증폭기는 발표된 다른 논문의 저잡음 증폭기 보다 3.1-10.6GHz에서 같은 정도의 소비전력으로

표2. 초광대역 저잡음 증폭기의 성능 비교

Table. 2 Performance comparison of UWB low noise amplifiers

Ref	공정 [μ m]	BW [GHz]	S_{21} [dB]	S_{11} [dB]	S_{22} [dB]	NF [dB]	IIP3 [dBm]	P_d [mW]
[3]	0.18	2.3-9.2	9.3(max)	< -9.9	-	4.0	-6.7	9
[9]	0.18	3-10	14-15.3	< -8.28	-	3.57-4.27	3.43	4.3
[10]	0.18	3.1-10.6	15.9-17.5	< -9	< -13	3.1-5.7	-35- -31 [P1dB]	33.2
[11]	0.18	0.4-10	11.2-12.4	< -10	< -10	4.4-6.5	-6	12
[6]	0.18	3.1-10.6	13.5-16	< -8	-	3.1-6	-7	11.9
[12]	0.18	3.1-12.2	10-13.1	< -8.7	< -10.9	2.7-4.9	-9	13.9
[13]	0.13	1.5-8.1	8.6-11.7	< -9	-	3.6-6	11.7-14.1	2.62
This work	0.18	3.1-10.6	14-14.9	< -10.8	< -9	2.7-3.3	-5	12.5

14dB 이상의 높은 이득과 3.3dB 이하의 낮은 잡음지수로 우수한 성능을 보여준다.

IV. 결 론

3.1-10.6GHz 대역의 초광대역 CMOS 저잡음 증폭기는 소비전력을 줄이기 위해 공통-소오스 증폭기와 cascode 증폭기를 직렬로 연결하여 설계하였다. 입력정합은 RC 피드백 회로와 LC 필터회로를 사용하여 3.1-10.6GHz의 초광대역에서 입력 정합이 가능하게 설계하였다. 그리고 series-peaking 인덕터와 shunt-peaking 인덕터를 사용하여 대역폭을 확장시켰다. 본 논문에서 제안된 초광대역 CMOS 저잡음 증폭기의 3.1-10.6GHz의 대역 내에서 시뮬레이션 결과는 이득은 14-14.9dB, 입력정합은 -10.8dB이하, 잡음지수는 2.7-3.3dB, 소비전력은 12.5mW, 입력 IP3는 -5dBm 이다.

3.1-10.6GHz 초광대역 CMOS 저잡음 증폭기에서 전류재사용 구조를 사용하여 적은 전력으로 높은 이득과 낮은 잡음 지수를 구현하였다. 그러나 초광대역 증폭기의 임피던스 정합 및 대역폭 확장을 위한 인덕터의 사용을 최소화하여 칩의 면적을 줄이는 문제는 향후의 연구에 의해 개선되어야 하겠다.

참고문헌

- [1] 이근호, 신철호, "UWB 표준화 및 규제동향," 전자파기술, 제13권, 제3호, pp. 74-82, 2002. 7.
- [2] S. B. T. Wang, A. M. Niknejad and R. W. Brodersen, "A Sub-mW 960-MHz Ultra-Wideband CMOS LNA," IEEE Radio Frequency Integrated Circuits Symposium, pp. 35-38, Jun. 2005.
- [3] A. Bevilacqua and A. M. Niknejad, "An Ultrawideband CMOS Low-Noise Amplifier for 3.1-10.6-GHz Wireless Receivers," IEEE J. Solid-State Circuit, Vol. 12, pp. 2259-2268, Dec. 2004.
- [4] C.-F. Liao, and S.-I. Liu, "A Broadband Noise-Canceling CMOS LNA for 3.1 - 10.6-GHz UWB Receivers," IEEE J. Solid-State Circuits, Vol. 42, No. 2, pp. 329-339, Feb. 2007.
- [5] C.-H. Wu, C.-H. Lee, W.-S. Chen, and S.-I. Liu, "CMOS Wideband Amplifiers Using Multiple Inductive-Series Peaking Technique," IEEE J. Solid-State Circuits, Vol. 40, No. 2, pp. 548-552, 2005.
- [6] Yi-Jing Lin, Shawn S. H. Hsu, Hun-De Jin, and C. Y. Chan, "A 3.1-10.6 GHz Ultra-Wideband CMOS Low Noise Amplifier With Current-Reused Technique," IEEE Microwave and Wireless Components Letters, Vol. 17, No. 3, pp. 232-234, Mar. 2007.
- [7] ECMA-368, "High Rate Ultra Wideband PHY and MAC Standard," <http://www.ecma-international.org>.
- [8] Thomas H. LEE, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed., Cambridge Univ. Press, 2004.
- [9] Xiaohua Fan, Edgar Sanchez-Sinencio, and Jose Silva-Martinez, "A 3GHz-10GHz Common Gate Ultrawideband Low Noise Amplifier," IEEE Midwest Symposium Circuits and System, Vol. 1, pp. 631-634, Aug. 2005.
- [10] Yang Lu et al., "A Novel CMOS Low-Noise Amplifier Design for 3.1- to 10.6-GHz Ultra-Wide-Band Wireless Receivers," IEEE Transaction on Circuits and Systems, Vol. 53, No. 8, pp. 1683-1692, Aug. 2006.
- [11] Ke-Hou Chen, Jian-Hao Lu, Bo-Jiun Chen, and Shen-Iuan Liu, "An Ultra-Wide-Band 0.4-10-GHz LNA in 0.18- μ m CMOS," IEEE Transaction on Circuits and Systems, Vol.54, pp. 217-221, Jan. 2007.
- [12] Zhe-Yang Huang, Che-Cheng Huang, Yeh-Tai Hung, and Meng-Ping Chen, "A CMOS Current Reused Low-Noise Amplifier for Ultra-Wideband Wireless Receiver," IEEE Microwave and Millimeter Wave Technology ICMMT 2008, Vol. 3, pp. 1499-1502, Apr. 2008.
- [13] Heng Zhang, Xiaohua Fan, and Edgar Sanchez Sinencio, "A Low-Power Linearized, Ultra-Wideband LNA Design Technique," IEEE J. Solid-State Circuits, Vol. 44, No. 2, Feb. 2009.

저자소개

성영규(Young-Kyu Sung)

2007년 고려대학교 전자 및 정보
공학부 공학사
2009년 고려대학교 대학원
전자정보공학과 공학석사

※ 관심분야: RFIC 설계

윤경식(Kyung-Sik Yoon)

1971년 서울대학교 공학사
1977년 Univ. Louis Pasteur de
Strasbourg (석사)
1988년 Univ. of Utah 전자공학과
공학박사

1988년~고려대학교 전자및정보공학과 교수B

※ 관심분야: RF 소자 모델링 및 RF 회로설계