경로 손실 변화의 보상이 가능한 77 GHz 차량용 레이더 시스템을 위한 65 nm CMOS 베이스밴드 필터

65 nm CMOS Base Band Filter for 77 GHz Automotive Radar Compensating Path Loss Difference

김 영 식 · 이 승 준 · 어 윤 성

Young-Sik Kim · Seung-Jun Lee · Yun-Seong Eo

요 약

본 논문에서는 77 GHz 자동차 레이더 시스템에서 거리가 달라도 일정한 감도를 유지할 수 있도록 하는 베이스밴드 필터를 제안하였다. 기존의 DCOC(DC Offset Cancellation) loop 회로를 이용하여 DC offset을 제거함과 동시에 거리에 따른 수신 전력의 크기 차이를 이득으로 상쇄시킬 수 있도록 하였다. 측정 결과, 이득은 최대 51 dB의 크기를 가지며, 고역 통과 차단 주파수는 5 kHz에서 15 kHz까지 가변 가능하게 하였다. 거리에 따른 손실을 보상하기 위한 고역 통과 필터의 기울기는 거리 보상 범위를 위해 $-10 \sim -40$ dB/decade로 가변이 가능하게 설계되었다. 1 V의 전압에서 전류 소모는 4.3 mA이며, 측정된 NF는 26 dB이고, IIP3는 +4.5 dBm을 가진다. 칩은 65 nm CMOS 공정을 사용하였으며, 입출력 패드를 제외한 크기는 $500 \mu\text{m} \times 1,050 \mu\text{m}$ 이다.

Abstract

In this paper, the baseband filter is proposed in order to maintain a constant sensitivity regardless of distances for 77 GHz automotive radar system. Using existing DCOC loop circuit can remove DC offset and also cancel differences of received power depending on the distance. Measured results show that the maximum gain is 51 dB and high pass cutoff frequency can be tuned from 5 kHz to 15 kHz. The slope of high pass filter can be tuned from -10 to -40 dB/decade for the distance compensation. The measured NF and IIP3 are 26 dB and +4.5 dBm with 4.3 mA at 1.0 V supply voltage, respectively. The fabricated die size $500 \mu\text{m} \times 1,050 \mu\text{m}$ excluding the in/out pads.

Key words : DCOC, FMCW Radar, Active Filters, Tuned Circuits, CMOS

I. 서 론

CMOS 기반의 77 GHz 차량용 레이더 칩 개발은 저가격, 소형화, 그리고 디지털 신호처리부와의 단일 칩 집적이 가능하여 최근 많은 관심을 받고 있는 분야이다. 77 GHz 자동차 레이더 칩은 수십 cm에서 200 m까지의 넓은 범위의 거리를 감지해야 하기 때

문에 무작위로 배치된 여러 물체에서 반사되는 수신 전력 세기의 범위는 매우 다양하다. 따라서 넓은 범위의 거리 요구 조건을 만족시키기 위해 동적 범위(dynamic range)가 매우 큰 ADC가 필요하고, 감도는 이에 크게 의존하게 된다. 일반적으로 레이더 시스템에서 수신된 신호의 크기는 감지하는 거리의 4승에 반비례하고, 식 (1)로 표현할 수 있다.

광운대학교 전자공학과(Department of Electronic Engineering, Kwangwoon University)

· Manuscript received July 5, 2012 ; Revised August 28, 2012 ; Accepted September 19, 2012. (ID No. 20120705-082)

· Corresponding Author : Yun-Seong Eo (e-mail : yseo71@kw.ac.kr)

그림 1. FMCW 레이더의 신호 파형
Fig. 1. Signal waveform of FMCW radar.

$$P_r \propto \frac{1}{R^4} \quad (1)$$

Where, P_r : 수신 전력 세기
 R : 피측정체와의 거리

이때 차량용 레이더에 사용되는 FMCW(Frequency Modulated Continuous Wave) 방식의 레이더는 그림 1과 같이 송신 주파수를 일정한 시간에 따른 기율기로 증가 또는 감소시키게 되므로 특정시간에서 송신된 신호와 수신된 신호의 주파수 차이는 거리에 비례하게 된다. 따라서 송신기 안테나를 통해 물체에서 반사된 신호가 수신되었을 때 수신된 신호의 주파수는 송신하고 있는 신호의 주파수에 반사된 물체의 거리에 비례하는 주파수 차이를 갖게 된다. 이것은 아래의 식 (2)와 같이 정리할 수 있다.

$$R = \frac{c \cdot \Delta t}{2} = \frac{f_D \cdot c}{4 f_m \Delta F} \quad (2)$$

Where, R : 피측정체와의 거리

c : 자유 공간에서의 전파 전파 속도
 Δt : 반사되어 돌아오는데 걸리는 시간
 f_D : 도플러 주파수 편이
 f_m : 변조 주파수
 ΔF : 최대 주파수 편이

이때 송신기의 LO와 수신기의 LO는 공동으로 사용함으로 수신기의 믹서를 거쳐 down-conversion된 베이스밴드 신호의 주파수는 반사된 물체와의 거리에 비례하게 된다. 앞서 설명한 바와 같이 물체의 거리에 따라 수신된 신호의 강도는 거리에 4승에 반비

그림 2. 베이스밴드 필터의 블록 다이어그램
Fig. 2. Block diagram of baseband filter.

례함으로 수신된 베이스밴드 신호의 주파수에 따른 크기는 주파수가 커질수록 4승에 비례하여 작아지게 된다. 이는 실제로 ADC의 동적 범위가 커야 하는 문제를 발생시키고, 탐지할 수 있는 최소, 최대 거리의 범위를 제한한다.

이러한 현상을 해결하기 위해 본 연구에서는 그림 2와 같이 기존 직접 변환 수신기의 베이스밴드 아날로그 회로에서 자주 사용되던 DC offset cancellation loop 구조를 이용하여 DC 근처의 잡음 및 DC offset을 제거함과 동시에 그림 3과 같이 고역 통과 특성을 이용하여 고역 통과 차단 주파수에 따른 이득 기율기를 -40 dB/decade로 조절함으로써 거리에 따른 수신 전력의 크기를 이득으로 상쇄시킬 수 있도록 하였다. 이렇게 되면 거리에 따른 수신신호의 크기가 비교적 일정하게 들어와 ADC의 동적 범위가 작아도 다양한 거리에서의 감지가 가능하게 된다. 또한, multi channel(4 channel)을 단일 칩에 집적하기 위해 BBA부의 크기가 작아야 하고, 제어가 용이해야 하는 문제가 있어 DCOC cancellation과 compensation이 필요하게 되었다. 그리고 앞단의 RF front end에 속하는 LNA와 down mixer를 포함한 전체 수신기의 NF는 최소 수신 전력 -128 dBm(200m 거리)과 SNR을 고려하여 12 dB 목표로 설정되었다. 이에 따라 이득을 감안하여 BBA부의 NF는 17 dB로 목표가 설정되었다. 선형성의 경우, 최대 입력 신호의 크기가 -18 dBm(2m 거리)이므로 P1 dB를 -18 dBm으로 할 경우 IP3와의 차이가 10 dB 정도인 점을 감안, IIP3의 목표치를 -8 dBm으로 설정하였으며, 근거리이므로 최소 거리에 대한 이득 값에 대한 버짓 계산을 통해 BBA의 IIP3는 $+4$ dBm으로 정하

그림 3. DCOC를 이용한 거리별 수신 전력 세기
Fig. 3. Received power versus distance using DCOC.

였다.

본 논문에서는 레이더용 베이스밴드 부분을 65 nm CMOS 공정을 이용하여 설계, 제작하였고, 측정을 통해 가능성을 보여주하고자 한다.

II. 베이스밴드 필터 회로 설계

일반적인 아날로그 블록에서 저역 통과 채널 필터는 외부 대역 신호를 제거하기 위해서 ADC의 앞에 위치한다. 저지 대역 감쇄와 통과 대역 리플 요구 조건을 만족시키기 위해서 4차의 체비셰프-II 타입의 필터를 선택하였다. 이득의 조절 가능 범위는 $-3 \sim 51$ dB까지 설계되었다. LPF(Low Pass Filter)의 차단 주파수 f_H 는 $100 \sim 500$ kHz의 주파수 범위를 커버해야 한다. DCOC의 차단 주파수 f_L 의 조절 범위는 77 GHz 레이더 시스템의 요구 조건을 만족시키기 위해서 $5 \sim 15$ kHz까지 조절 가능하도록 설계하였다. 또한, 거리별 동일한 수신 전력을 얻기 위한 DCOC의 차수는 0에서 3까지 조절 가능하게 하였다.

그림 4는 베이스밴드 아날로그 필터의 구조도이다. 이것은 레이더 시스템에 적용하기 위해 고역 통과 가변과 거리별 감쇄(attenuation)를 위한 DCOC, 이득의 가변을 위한 3단의 VGA(Variable Gain Ampli-

그림 4. 제안된 베이스밴드 아날로그 필터의 구조도
Fig. 4. Architecture of the proposed baseband analog filter.

fier)와 저역 통과 가변을 위한 2단의 biquad LPF로 구성되어 있다. 그리고 VGA의 피드백 경로에 고역 통과 차단 주파수 f_L 의 가변을 위한 DCOC 블록을 사용하였다.

$$T(s) = \frac{sA(s)_{VGA}}{s + \frac{R_{IN} A(s)_{VGA}}{C_{DC} R_X R_{eff}}} \quad (3)$$

식 (3)은 DCOC와 VGA 한 단의 전달 함수를 나타낸다. 이 전달 함수는 DCOC의 3 dB 대역폭이 그림 5에서 나타난 각 단의 피드백 캐패시터 C_{DC} 에 반비례한다는 것을 보여주고 있으며, C_{DC} 를 가변함으로써 f_L 값을 조절 가능함을 알 수 있다. 또한, 거리별 수신 전력 세기를 보상해 주기 위해 DCOC 입력과 출력에 스위치 역할을 하는 MOSFET를 사용하여 기울기를 가변할 수 있도록 설계하였다.

그림 5. DCOC 회로도
Fig. 5. Schematic of DCOC.

그림 6. VGA 회로도

Fig. 6. Schematic of VGA.

그림 7. LPF 회로도

Fig. 7. Schematic of 1-stage LPF.

그림 6은 op_amp를 기반으로 R_2/R_1 의 이득을 갖도록 설계한 VGA이다. 3단으로 구성된 VGA는 R_1 저항을 2비트 스위칭으로 가변하여 이득의 크기를 변화시킬 수 있다. VGA_1과 VGA_2는 2비트 스위칭으로 0~24 dB까지 8 dB 간격으로 가변할 수 있으며, VGA3은 2비트 스위칭으로 0~12 dB까지 4 dB 간격으로 가변 가능하다. 그래서 전체 VGA의 이득은 0~60 dB까지 4 dB 간격으로 설계가 진행되었다.

이 LPF는 4차의 체비세프-II 타입의 2단의 biquad로 설계되었다. 1단의 LPF는 아래의 식 (4)와 같은 전달 함수를 갖는다.

$$T(s) = \frac{C_n}{C_b} \cdot \frac{s^2 + \frac{1}{C_n C_b R_1 R_2}}{s^2 + s \frac{1}{Q C_b R_1} + \frac{1}{C_b^2 R_1^2}} \quad (4)$$

이득 값은 R_1/R_2 의 값을 갖고, f_H 는 $1/(2\pi R_1 C_b)$ 를 갖는다. 이 LPF는 캐패시터 값을 가변할 수 있도록 설계되어 각각 3비트 스위칭으로 f_H 대역폭을 변화시킬 수 있고, 100~500 kHz의 주파수 범위를 갖도록 설계되었다.

III. 측정 및 결과

베이스밴드 필터는 65 nm CMOS 공정을 사용하여 설계하였다. 베이스밴드 필터의 전류 소모는 1 V의 공급 전압에 4.3 mA이다. 제작된 칩의 크기는 인/아웃 패드를 제외하고 $500 \mu\text{m} \times 1,050 \mu\text{m}$ 이다. 그림 8은 DCOC의 고역 통과 특성을 2비트의 컨트롤을 이용해 측정된 주파수 응답을 보여준다. 신호 레벨은 DCOC 컨트롤을 통해서 1 kHz일 때 40 dB보다 크게 감쇄될 수 있다. 이전에 언급한 것처럼 DCOC의 고역 통과 응답은 거리 차이에 의해 발생하는 일정하지 않은 수신 파워 레벨을 보상한다. 또한, 거리에 의존하는 수신 파워는 환경 조건에 따라 변동되기 때문에 기울기 가변은 환경 조건에 따라 변화를 줄 수 있다.

그림 9는 측정된 베이스밴드 필터의 고역 통과 3 dB 주파수뿐만 아니라, 저역 통과 3 dB 주파수의 가변 가능성을 보여준다. 그래서 양쪽의 차단 주파수는 동시에 조절이 가능하며, 각각 3비트 컨트롤 코드에 의해서 5~15 kHz와 72~770 kHz 대역폭 할당이 결정된다.

그림 8. DCOC 차수 가변에 의해 측정된 주파수 응답
Fig. 8. The measured frequency response by DCOC's orders control.

그림 9. DCOC & LPF 가변에 의해 측정된 주파수 응답

Fig. 9. The measured frequency response by variable DCOC & LPF.

그림 10은 50 kHz에서 측정된 BBA gain, IIP3, NF(Noise Figure)를 보여 준다. 이득 값은 4 dB 간격으로 $-3 \sim +51$ dB까지이다. 이 때 전체 동적 범위는 54 dB이다. 또한, 이득 값이 감소함에 따라 IIP3은 $-58 \sim +4.5$ dBm까지 변한다. 앞서 설명한대로 근거리에서 해당하는 최소 이득에서 IIP3의 목표치가 +4 dBm이므로 최대 입력에 대해 문제가 없다고 할 수 있다. 잡음지수의 경우, 최대 이득에서 26 dB를 측정으로 얻었다. 최대 이득에서의 NF의 목표치가 17 dB이므로, 이는 8 dB 정도의 추가 개선이 필요한 상황이다.

표 1. 측정 결과

Table 1. Measurement results.

Parameters	Unit	Performance	Note
Technology		65 nm CMOS	
Supply	V	1.0	
LPF type		4 th Chebyshev-II filter	
High-end cut-off frequency	kHz	72.1 ~ 777.7	1 dB bandwidth
Low-end cut-off frequency	kHz	5 ~ 15	1 dB bandwidth
Input-referred IP3	dBm	+4.5	@ min gain
Gain dynamic range	dB	54(-3 ~ 51)	4 dB step
NF	dB	26	@ max gain
DCOC order		3(-10 ~ -40 dB)	For adjust SNR @ 1 kHz
Stopband attenuation	dB	> 30	4 th Chebyshev-II
Current consumption	mA	4.3

그림 10. 50 kHz에서 측정된 BBA gain, NF, IIP3

Fig. 10. The measured BBA gain, NF, IIP3 at 50 kHz.

이는 BBA의 core 블록 회로에 사용되는 Op-amp 회로의 잡음을 개선해야 할 것으로 생각된다.

그림 11은 PCB에 마운트한 베이스밴드 필터 칩과 보드 사진이다. 베이스밴드 아날로그 블록의 소비 전류는 공급 전압 1 V에서 4.3 mA이다. 표 1에 측정 결과를 요약해 놓았다.

IV. 결 론

본 논문에서는 칩 외부에 설계하여 부피가 크고 기능의 삽입이 제한적이던 기존의 차량용 레이더의 기저 대역부의 연구 결과와는 달리 4-channel의 고집적 단일 칩 레이더의 구현을 위해 필요한 65 nm CM-

그림 11. 베이스밴드 필터 측정 보드 사진

Fig. 11. Photograph of 77 GHz baseband filter evaluation board.

OS 공정을 이용한 베이스밴드 필터를 설계하여 RoC에 집적한 첫 사례이다. DCOC의 고역 통과 주파수 응답 특성을 고안하여 감지 거리 때문에 발생하는 수신 파워의 차이를 칩 내에서 쉽게 보상해 줄 수 있게 하였으며, 이로 인해 ADC의 dynamic range를 상당히 완화시켜 주고, 궁극적으로 SNR을 크게 개선할 것으로 기대된다.

김 영 식

2011년 2월: 광운대학교 전자공학과 (공학사)
2011년 3월~현재: 광운대학교 전자공학과 석사과정
[주 관심분야] CMOS 아날로그 회로 설계, CMOS 수신기 시스템 설계

이 승 준

2007년 2월: 광운대학교 전자재료공학과 (공학사)
2009년 2월: 광운대학교 전자공학과 (공학석사)
2012년 2월: 광운대학교 전자공학과 (공학박사)
2012년 3월~현재: 삼성탈레스 전문

연구원

[주 관심분야] FMCW radar, RF front-end 설계

참 고 문 헌

- [1] D. Mittelstrass, D. Steinbuch, T. Walter, C. aldschmidt, and R. Weigel, "DC-offset compensation in a bistatic 77 GHz-FMCW-radar", *EuRAD, 2010 European*, pp. 447-450, Sep.-Oct. 2010.
- [2] Merrill I. Skolnik, *Introduction to Radar Systems*, McGraw Hill, pp. 30-94, 2001.
- [3] Hyunchol Shin, Youngcho Kim, "A CMOS active-RC low-pass filter with simultaneously tunable high- and low-cutoff frequencies for IEEE 802.22 applications", *Circuits and Systems II, Express Briefs, IEEE Transactions on*, vol. 57, no. 2, pp. 85-89, Feb. 2010.
- [4] Jong Ok Ha, Seung Jun Lee, Junki Min, Hyunchol Shin, and Yun Seong Eo, "A 54-862 MHz CMOS direct conversion receiver for IEEE 802.22 cognitive radio applications", *9th RF Integrated Circuit Technology Workshop*, pp. 527-528, Sep. 2009.

어 윤 성

1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
2000년 8월~2002년 8월: LG 전자

기술원 RF team 선임연구원

2002년 9월~2005년 8월: 삼성전자종합기술원 Chip Solution Center/DM 연구소 책임연구원

2005년 9월~현재: 광운대학교 전자공학과 부교수

2009년 9월~현재: Silicon R&D Inc. 대표이사

[주 관심분야] 초고주파 CMOS 송수신기 설계, 초고주파 CMOS 시스템 설계, UWB/ FMCW 레이더 칩 설계, CMOS 전력증폭기 설계, Internally Matched Power FET