특집 : 전자패키징에서의 설계 · 인터넥션공정 및 신뢰성 평가기술

플렉서블 기반 미세 무연솔더 범프를 이용한 칩 접합 공정 기술

김민수 · 고용호 · 방정환 · 이창우[†]

The Chip Bonding Technology on Flexible Substrate by Using Micro Lead-free Solder Bump

Min-Su Kim, Yong-Ho Ko, Jung-Hwan Bang, and Chang-Woo Lee[†]

(2012년 9월 10일 접수: 2012년 9월 11일 수정: 2012년 9월 11일 게재확정)

Abstract: In electronics industry, the coming electronic devices will be expected to be high integration and convergence electronics. And also, it will be expected that the coming electronics will be flexible, bendable and wearable electronics. Therefore, the demands and interests of bonding technology between flexible substrate and chip for mobile electronics, e-paper etc. have been increased because of weight and flexibility of flexible substrate. Considering fine pitch for high density and thermal damage of flexible substrate during bonding process, the micro solder bump technology for high density and low temperature bonding process for reducing thermal damage will be required. In this study, we researched on bonding technology of chip and flexible substrate by using 25 μ m Cu pillar bumps and Sn-Bi solder bumps were formed by electroplating. From the our study, we suggest technology on Cu pillar bump formation, Sn-Bi solder bump formation, and bonding process of chip and flexible substrate for the coming electronics.

Keywords: flexible, bendable, wearable, flexible substrate, Cu pillar bump, Sn-Bi solder bump

1. 서 론

최근 전자 패키징 분야에서는 가볍고, 굴곡성이 높은 플렉서블 기판을 이용하여 고집적, 다기능, 고성능의 플렉서블 전자기기에 대한 관심이 증대되고 있다. 플렉서블 기능을 구현한 전자기기의 세계시장은 2012년 현재 약 10억 US\$ 정도로 추산되고 있으며, 2017년에는 약 50억 US\$의 수요가 있을 것으로 예상되고 있다.¹⁾ 이와 관련하여 국내외 여러 연구기관 및 기업에서 관련 특허 및 선행기술 확보를 위한 연구개발이 진행되고 있으나, 아직 초기개발 수준에 있다.

플렉서블 기판은 기존의 경성기판에 비하여 가벼울 뿐만 아니라 굴곡성이 우수하여 디스플레이나 전자책, 박막 태양전지등의 분야에 응용할 수 있으며 옷이나 몸에 착용할 수 있는 전자기기를 위한 플렉서블 전자모듈에 응용할 수 있는 장점이 있다.²⁻³⁾

플렉서블 전자모듈의 제조를 위한 일반적으로 IC칩 등의 부품 실장을 위한 방법으로는 와이어 본딩, TAB 본딩, 플립칩 접합 방법이 이용되고 있다.⁴⁾ 부품 실장을 위한 접합 소재로는 Sn-Pb 솔더를 이용한 방법이 널리 사용되었지만, RoHS(Restriction of Hazardous Substances)나 WEEE(Waste Electrical and Electronic Equipment)와 같은 환경규제로 인한 Pb 사용의 제한으로 Pb-free의 대체 물

질이 요구되어 Sn을 주성분으로 하는 2원계, 3원계 접합 소재에 대한 연구가 진행되어 왔다.⁵⁻⁷⁾ 기존의 전자기기 용 경성기판 기반의 전자모듈의 제조에서는 일반적으로 Sn-Ag-Cu 계의 솔더가 보편적으로 사용되어 왔지만, 고집적 전자모듈 제조를 위한 미세 피치, 미세 접합부를 형성하기 위하여 필요한 20-100 μ m 수준의 접합부를 형성하기에는 현재의 스크린 프린팅이나 솔더볼을 이용하는 방법으로 Sn-Ag-Cu 계의 Pb-free 솔더를 적용하기에 기술적 한계가 있다. 이러한 기술적 문제점에 대응하기 위한 방안으로 나노솔더 등의 연구가 이루어지고 있지만⁸⁾ 상용화의 단계가 아닌 연구단계에 머물러 있다. 다른 대안으로는 전해도금 방법을 이용한 솔더범프를 형성하는 기술이 대두되고 있다. 전해도금 방법을 이용할 경우 Sn-Ag-Cu와 같은 3원계 조성의 솔더범프 형성 시 정밀조성 제어에 어려움이 있어 현재까지는 Sn-Ag나 Sn-Bi같은 2원계 솔더범프를 중심으로 미세 피치 대응을 위한 미세 범프 형성기술이 시도되고 있다. 플렉서블 기판을 이용한 전자모듈 제조공정에서 중요한 것은 플렉서블 기판의 두께가 경성기판 보다 얇기 때문에 칩 실장 과정에서 외부의 열에 의한 warpage 발생이 경성기판에 비하여 크게 발생하여 warpage에 의한 신뢰성을 저하시키는 문제를 일으킬 수 있다. 따라서 이러한 문제를 해결하기 위해서 적절한 공정재료의 선택과 공정조건 확보에 대한 연구가

[†]Corresponding author

E-mail: cwlee@kitech.re.kr

요구된다.

본 연구는 미세 피치 대응을 위한 Cu pillar bump 형성 기술과 플렉서블 기판과 칩의 접합공정에서 발생할 수 있는 warpage를 최소화 할 수 있도록 녹는점 138°C의 Sn-Bi계 저온 솔더범프를 이용한 플렉서블 기판과 칩 접합 공정기술에 관한 것이다.

2. 관련 기술 산업의 동향

향후 전자기기의 시장은 많은 기능들이 통합된 고집적화 전자모듈 및 굴곡성이 있고 착용이 가능한 전자기기에 대한 시장이 확대되어질 것이다. 이미 일본과 미국 등 선진국 국가에서는 약 2천여 개의 특허가 출원되어 있으며, Fig. 1이 나타내듯이 각 국가에 출원 건수는 매년 증가하고 있다. 한국 및 미국, 일본, 유럽 등 여러 국가에서의 선행기술에 대한 특허경쟁은 발전기를 지나 성숙기에 이르고 있는 실정이다. 플렉서블 기판을 이용한 기술은 디스플레이, 전자책, 박막 태양전지, 혹은 옷이나 몸에 착용할 수 있는 전자제품 등 전자모듈에 다양한 적용 가능성이 있어 주목받고 있다. 현재, 스마트폰에 연성기판의 사용과 그 필요성 증대되고 있으며 터치스크린 패널, 배터리 등 플렉서블 기술이 필요한 분야가 확대되고 있다.¹⁾ 또한 전자제품들은 점점 초소형, 초박형화 되고 있으며, 이러한 제품을 구현하기 위해서는 높은 실장밀도 및 많은 I/O count 기술을 이용한 미세 접합기술이 필요하기에 점차 기술적 필요성이 요구되어지고 있다.

3. 실험내용

3.1. Lift-off 공정을 이용한 미세 패턴 형성

본 연구에서 실리콘 칩 제작을 위하여 적용한 공정모식도를 Fig. 2에서 나타내었다. 실험에 사용된 기판은 6인치의 p-type (100)의 Si 웨이퍼를 사용하였고 칩과 보드간의 전기적 신호교류를 위한 금속 패턴층을 사진 식각법을 이용한 Lift-off 공정을 이용하여 형성하였다. Lift-off 공정이란 사진식각 공정의 한 방법으로 기존의 에칭을 이용한 사진식각 공정보다 에칭제 및 감광제 도포의 공정을 줄임으로써, 실제 양산 공정에서 비용 및 시간절

Fig. 1. Global patent trends on flexible electronics technology.

(a) Process of Si chip fabrication

(b) Top image of Si chip after fabrication

Fig. 2. Illustration of Si chip fabrication.

감이 가능한 공정이다. 금속 패턴층은 실리콘 칩과 플렉서블 기판간의 전기적 신호교류의 목적 뿐만 아니라, 솔더를 이용한 접합 시 확산방지의 목적 및 젖음층의 역할로 사용된다. 본 연구에서 금속 패턴층은 접착력 및 확산방지의 역할로 Ti를 사용하였고, 양호한 전기전도성과 가격적 측면을 고려하여 Cu를 사용하였다. Ti와 Cu 금속 패턴층은 실리콘 웨이퍼 위에 스퍼터링 공정을 이용하여 각각 50 nm와 500 nm의 두께로 증착하였다.

3.2. Cu pillar 범프 형성

전자기기 혹은 전자 패키징의 동향을 살펴보면 칩의 사이즈는 감소하는 반면 I/O count의 증가가 요구되고 있고, 전자모듈에 실장 되는 칩의 수가 증가됨에 따라 접합 면적의 최소화할 기술의 필요성이 대두되고 있다. 이러한 고집적 미세 피치 접합 기술의 대응방안으로 Cu pillar 범프에 대한 연구가 진행되고 있다. 범프 크기의 감소와 피치의 간격이 좁아질수록 미세화 된 솔더범프의 접합공정에서 브릿지 등의 문제점이 발생하는데, Cu pillar 범프를 사용하여 접합할 경우 솔더범프의 무너짐을 최소화하여 미세 피치의 접합이 가능하며, 또한 Cu pillar 범프와 솔더범프가 반응하여 금속간 결합으로 직접 접합부를 형성하기 때문에 ACA나 ICA 등의 전도성 물질을 사용하여 접합하는 경우보다 전기저항을 더 낮출 수 있는 장점이 있어 고성능의 속도를 요구하는 전자기기의 접합에 유리

Table 1. Pre-treatment conditions before electroplating for Cu pillar bump.

	공정온도	시간	비고
수세	상온	-	DI water
산세	상온	1분	10% H ₂ SO ₄
수세	상온	-	DI water
pre-dip	상온	1분	5% ACID

Table 2. Electroplating solution for Cu pillar bump.

Cu metal (g/L)	25
H ₂ SO ₄ (g/L)	180
Cl ⁻ (ppm)	100

하다 할 것이다. 그리고 Cu의 우수한 열전도도 특성으로 인하여 Cu pillar 범프를 이용하여 칩 접합을 할 경우 전자 모듈의 방열특성을 향상시키는 장점도 있다.⁹⁻¹⁰⁾ 본 연구에서는 미세 접합구조 형성을 위하여 Cu pillar 범프를 적용하였고 Cu pillar 범프의 형성을 위한 전해도금 공정에 대한 연구를 진행하였다. 전해도금 전 표면 산화막 제거 및 범프의 균일증착을 위해 도금전처리를 하였으며 Table 1에 전처리 조건을 나타내었다. 전처리 후 Cu pillar 범프의 전해도금은 실제 양산과정과 동일한 환경을 적용하기 위해 Fig. 3의 웨이퍼 단위의 도금을 진행하였으며 사용된 도금액의 구성은 Table 2와 같다.

본 연구에서는 Fig. 3와 같은 웨이퍼 단위에서의 Cu pillar 범프 형성을 위한 최적조건 확보를 위해 전류밀도는 2.5ASD, 온도는 25°C로 고정하였으며, 도금 시간을 30분, 40분, 50분, 60분으로 변화시키면서 시간의 변화에 따른 두께 변화를 관찰하였다. Cu pillar 범프의 평균 증착률은 0.35 $\mu\text{m}/\text{min}$ 이었으며 도금 시간에 따른 Cu pillar 범프의 모습과 시간에 따른 높이의 변화를 Fig. 4와 Table 3에 나타내었다. 위 실험결과를 바탕으로 웨이퍼 단위의 미세 Cu pillar 범프 형성의 최적화 조건을 확보하였으며, 향후 미세 피치, 미세 접합구조를 위한 Cu pillar 범프를 양산 공정 및 관련 기술 연구에 적용할 수 있을 것이다.

Fig. 3. The images of wafer level electroplating system. **Fig. 4.** The SEM images of Cu pillar bump after electroplating : (a) 30min, (b) 40min, (c) 50min, and (d) 60min.**Table 3.** Deposition rate of Cu pillar bump.

시간 (min)	30	40	50	60
높이 (μm)	9	14	18	23

3.3. Sn-Bi 범프형성

Sn-Bi(녹는점 138°C) 솔더는 Sn-Ag-Cu(217°C)나 Sn-Ag(221°C) 조성의 솔더 보다 비교적 낮은 용점을 갖는 저온 솔더 합금이다. 기계적 성질 및 크립 특성이 우수하다고 알려져 있으며⁵⁾, 용점이 낮기 때문에 접합공정 시 접합부에 가해지는 warpage를 감소시킬 수 있는 재료로써 대안이 되는 소재이다. 본 연구에서는 접합공정에서 발생하는 warpage를 줄이고자 실리콘 칩 위에 Sn-Bi 솔더범프를 전해도금 방법을 이용하여 직경 25 μm 의 Sn-Bi 범프를 형성하였다. 사용된 Sn-Bi 도금액은 ISIHARA 社の 무광택의 배럴 도금액인 PF계열 도금액으로 조제하여 도금공정을 진행하였으며, 도금조의 성분구성은 Table 4에 나타내었다. 전해도금 시 사용된 양극은 Ti 소재 위에 99.99%의 Pt가 코팅된 양극판을 사용하였으며, 교반 방식은 마그네틱교반 및 음극교반을 하였다. 양극과 음극 사이의 거리는 약 3 cm의 간격이며, 공정온도는 상온, 공정시간은 10분에서 진행하였다. 아래 Fig. 5에 도금조의 모식도를 나타내었다.

Sn-Bi 범프 형성을 위한 최적 조건을 도출하고자 각 조건별 증착을 및 Sn-Bi 함량을 파악하기 위해 전류밀도별 전해도금을 실시하였다. 전류밀도의 조건은 각각 2ASD,

Table 4. Electroplating solution for Sn-Bi bump.

PF-TIN15 (g/L)	60
PF-BI15 (g/L)	133
PF-ACID (g/L)	100
PF-05M (ml/L)	30

Fig. 5. Schematic illustration of Sn-Bi electroplating.

4ASD, 6ASD, 8ASD, 10ASD 까지 진행하였다. 그리고 난 후, 전류밀도의 변화에 따른 미세 구조의 형상과 조성을 SEM과 EDS로 관찰하여 분석하였다. Fig. 6에서와 같이 전류밀도가 증가할수록 솔더범프의 미세 조직 크기가 조대화 되는 것을 확인하였다. EDS를 통해 Bi의 조성 확인 결과 2ASD의 낮은 전류밀도에서는 99wt.%로 높은 Bi가 검출되었고, 6ASD에서 약 58wt.%의 Bi가 검출되었다. 8ASD에서는 Bi의 함량이 약 70wt.%로 증가되었으나 10ASD의 경우에는 Bi조성이 87wt.%로 높게 검출되었다. 전류밀도가 증가하였을 때 Bi의 함량이 높아진 이유는 한계 전류밀도의 영향으로 생각된다. 한계 전류밀도란 양극이나 음극에 과잉의 전류밀도가 공급될 경우 반응에 필요한 이온의 공급이 충분하지 못해 전위의 차이가 커지면서 증착이 일어나지 않거나 과잉 증착이 일어나는 현상을 말한다. 본 연구의 Sn-Bi 솔더범프의 전해도금 시 2ASD에서 99wt.% Bi를 나타낸 것은 Sn 석출에 필요한 전류밀도 가해지지 않았던 것으로 판단되며 8, 10ASD에서 각각 70, 87 wt.% Bi의 함량을 나타낸 것은 앞서 설명한 한계 전류밀도의 영향으로 인해 Bi의 과도금이 발생한 것으로 생각된다. 따라서 전류밀도를 높게 증가시킨다고 해서 공정조성의 Sn-Bi 도금이 이루어지지 않으며, 적절한 도금조성의 조성 및 그에 따른 최적 조건의 전류밀도를 확보하는 게 낮은 융점을 갖는 저온용 솔더범프 형성을 가능하게 한다고 판단된다. 2원계의 전해도금의 경우 음극분극곡선의 전위차에 의한 도금석출이 이루어지며, Sn-Bi와 같은 솔더범프를 형성할 경우 Sn과 Bi간의 환원전위차가 크기 때문에 공정조성인 58wt.% Bi의 함량을 갖기 위해서는 두 금속간 전위차가 최소화 되는 전류밀도에서 공정조성의 석출이 이루어진다. 본 연구 결과에서는 6ASD가 Sn-58Bi 솔더범프를 형성하기 위한 최적 전류밀도라 판단된다. Fig. 7은 도출된 최적 조건인 6ASD에서 전해도금 후 155°C에서 리플로우 하여 리플로우 전/후 형상과 EDS로 조성을 분석하였다. 분석결과 155°C에서 리플로우 후 솔더범프가 구형의 모습을 띤 것을 확인 하였으며, EDS분석결과와 저온접합을 위한 낮은

Fig. 6. SEM images of Sn-Bi solder bump : (a) 2ASD, (b) 4ASD, (c) 6ASD, (d) 8ASD, and (e) 10ASD.

Fig. 7. SEM/EDS images of Sn-Bi bump for 6ASD (a) before reflow, (b) after reflow, and (c) EDS result.

융점을 갖는 약 58wt.%의 Bi 조성을 갖는 솔더범프가 형성된 것을 확인하였다.

3.4. 미세 범프 접합

전해도금을 통해 형성한 Cu pillar 범프와 Sn-58Bi 솔더범프를 이용하여 ENIG(Electroless Nickel Immersion Gold) 표면처리된 플렉서블 기판위에 플립칩 공정을 이용한 접합 공정을 진행하였다. 플렉서블 기판의 표면은 약 17μm 두께의 폴리이미드 재질의 커버레이로 덮혀 있으며, 미세 범프의 접합을 위한 디바이스 홀은 레이저를

Fig. 8. Schematic illustration of flexible substrate.

이용하여 가공하였다. Fig. 8에 본 연구에 사용 된 플렉서블 기판의 모식도를 나타내었다. 플립칩 접합공정 시 접합 하중에 따른 최적조건을 도출하기 위하여 1N과 2N에서 진행하였고, 접합 온도는 170°C, 접합 시간은 15 sec로 진행하였다. Fig. 9는 접합 후 SEM을 이용한 단면 분석 사진이다. 접합부의 EDS 분석결과 Cu pillar bump 부분과 솔더범프가 만난 부분에서는 Cu_6Sn_5 의 금속간 화합물층이 형성되었고, Ni과 솔더범프가 접합된 부분에서는 Ni_3Sn_4 의 금속간 화합물 층이 형성된 것을 확인하였다. 1N에서 접합한 경우 플렉서블 기판의 커버레이에서 칩까지의 거리는 약 $7\mu\text{m}$ 인 반면, 2N에서 접합한 경우에는 약 $3\mu\text{m}$ 이었다. 미세 범프를 이용한 칩의 접합에 있어 칩과 기판의 표면까지의 거리를 확보하는 것은 중요한 일이다. 거리가 확보되지 않을 경우 신뢰성 보장을 위한 언더필 등의 공정이 쉽지 않고 칩과 기판의 표면이 맞닿을 경우 열충격, 항온항습 조건에서 PI 혹은 커버레이의 팽창에 의해 발생한 응력이 접합부에 영향을 미쳐 신뢰성 저하시킬 수 있다.¹¹⁾ 본 연구에서 미세 범프를 이용한 접합에 있어 접합 압력 조건이 중요한 요인이 될 수 있음을 확인하였고 1N의 결과를 도출하였다. 본 연구의 결과가 미세 범프를 이용한 접합 공정 및 연구에 있어 접합 압력에 대한 변수를 고려할 때 참고자료가 될 수 있을 것으로

Fig. 9. Cross-sectional SEM images after bonding joint : (a) and (b) bonding force of 1 N, (c) and (d) bonding force of 2 N.

Table 5. Bonding strength after die-shear test.

sample No.	1	2	3	4	5
전단 하중 (gf)	476.62	451.22	690.86	517.61	395.14

기대된다.

3.5. 기계적 특성 평가 및 분석

저온용 Sn-Bi 미세 솔더범프와 ENIG 처리된 플렉서블 기판과의 플립칩 접합 후 기계적 특성평가를 위하여 전단강도 시험을 실시하였다. 실험시편은 2×2 크기의 칩에 미세 솔더범프를 형성한 후 1N에서 플립칩 접합한 실험시편을 사용하였다. 전단 강도 시험 후 평균 강도값은 464.82 gf이며 그 결과를 Table 5에 나타내었다. 전단 강도 시험 후 파단면을 관찰한 결과 금속 패턴층(Ti/Cu layer)과 Cu pillar 범프에서의 파괴, 솔더내부의 파괴, Cu_6Sn_5 금속간 화합물과 솔더 접합계면을 따라 일어난 파괴로 크게 세 가지의 모드를 나타내었다. 전단 강도 시험

Fig. 10. SEM images of fracture surface after die shear test : (a) interface fracture between Si and UBM layer, (b) fracture in solder matrix, and (c) Cu_6Sn_5 and solder interface fracture.

후 파단면을 SEM을 이용하여 관찰하였으며 Fig. 10에 나타내었다.

4. 결 론

본 연구에서는 플렉서블 전자기기를 위한 전자 모듈 제조공정에서 발생하는 warpage에 의한 문제를 해결하기 위해서 Cu pillar 범프와 저온 솔더범프인 Sn-Bi의 미세 솔더범프를 전해도금을 이용하여 형성한 후 미세 무연 솔더범프를 이용한 플렉서블 기반의 칩 접합 공정을 연구하였다.

(1) 웨이퍼 레벨에서의 Cu pillar 범프 형성 조건을 최적화하여 미세 피치 실장 기술 구현에 필요한 도금욕의 구성, 전류 밀도, 시간, 증착율 등의 결과를 도출하여 Cu pillar 범프 형성 기술을 제시하였다.

(2) 저온 접합을 위한 소재인 Sn-Bi 솔더범프의 공정 조성인 58wt.%를 달성할 수 있는 도금욕의 구성, 전류밀도 등의 도금 조건을 도출하여 직경 25 μm 의 Sn-58Bi 무연솔더 범프를 형성하였다. 본 결과를 바탕으로 플렉서블 기반의 칩실장에 있어 미세 Sn-Bi범프를 적용할 수 있다.

(3) Cu pillar 범프와 Sn-Bi 솔더범프가 형성된 실리콘 칩을 ENIG 표면처리된 플렉서블 기판 위에 칩 본딩 조건을 도출하고 최적화하였다.

(4) 플렉서블 기반의 칩 본딩에 대한 기계적 특성 평가를 위하여 전단강도 시험을 진행하고 파괴 모드를 관찰한 결과 금속 패딩층(Ti/Cu layer)과 Cu pillar 범프에서의 파괴, 솔더내부의 파괴, Cu_6Sn_5 금속간 화합물과 솔더 접합계면을 따라 일어난 파괴 세 가지로 구분할 수 있었다.

(5) 본 연구에서 도출된 결과들이 향후 플렉서블 기반의 미세 피치 저온 접합 분야 및 다양한 플렉서블 전자기기를 위한 전자 모듈 제조에 있어 기초 기술로 활용 될 것으로 기대된다.

참고문헌

1. Players, "Organic Electronics Forecasts 2005-2015", IDTec (2005).
2. R. H. Reuss, B. R. Chalamala, A. Moussessian, M. G. Kane, A. Kumar, D. C. Zhang, J. A. Rogers, M. Hatalis, D. Temple, G. Moddel, B. J. Eliasson, M. J. Estes, J. Kunze, E. S. Handy, E. S. Harmon, D. B. Salzman, J. M. Woodall, M. A. Alam, J. Y. Murthy, S. C. Jacobsen, M. Olivier, D. Markus, P. M. Campbell, and E. Snow, "Macroelectronics: Perspectives on Technology and Applications", Proc. IEEE, 93(7), 1239 (2005).
3. W. S. Wong and A. Salleo, Flexible Electronics, 1st Ed, pp.4-5, Springer (2009).
4. J. W. Yoon, W. C. Moon, and S. B. Jung, "Core Technology of electronic Packaging", Int. J. Kor. Weld. Soc., 23(2), 116 (2005).

5. S. K. Kang, "Lead (Pb)-Free Solders for Electronic Packaging", J. Electron. Mater., 23(8), 701 (1994).
6. M. Abtew and G. Selvaduray, "Lead-free Solders in Microelectronics", Mater. Sci. and Eng. R., 27(5-6), 95 (2000).
7. A. Sharif and Y. C. Chan, "Comparative Study of Interfacial Reactions of Sn-Ag-Cu and Sn-Ag Solders on Cu Pads during Reflow Soldering", J. Electron. Mater., 34(1), 46 (2005).
8. J. Shen and Y. C. Chan, "Research advances in nano composite solders", Microelectron. Reliab., 49(3), 223 (2009).
9. M. Y. Kim, S. K. Lim and T. S. Oh, "Thermal Cycling and High Temperature storage Reliabilities of the Flip Chip Hoints Processed Using Cu pillar Bumps", J. Microelectron. Packag. Soc, 17(3), 27 (2010).
10. J. Y. Choi, M. Y. Kim, S. K. Kim, and T. S. Oh, "Flip Chip Process for RF Packages Using Joints Structures of Cu and Sn bumps", J. Microelectron. Packag. Soc, 16(3), 67 (2009).
11. W. M. Ki, "Joint Microstructures and Reliability of the Flexible Electronic Module with Flip Bonding Paramtetes(in Kor.)", in MS thesis, pp. 88, University of Science and Technology, Daejeon (2012).

- 김민수(金珉秀)
- 과학기술연합대학원대학교
- 무연솔더범프, 플렉서블 기판
- e-mail: zappylos@kitech.re.kr

- 고용호(高溶浩)
- 한국생산기술연구원
- 신뢰성, 플렉서블 기판
- e-mail: yonghoko@kitech.re.kr

- 방정환(方政丸)
- 한국생산기술연구원
- 신뢰성, SMT공정
- e-mail: nova75@kitech.re.kr

- 이창우(李昌祐)
- 한국생산기술연구원
- 무연솔더, 전자패키징, TSV
- e-mail: cwlee@kitech.re.kr