특집 : 전자패키징에서의 설계 · 인터넥션공정 및 신뢰성 평가기술

전력전달 및 분배 향상을 위한 Interconnect 공정 기술

오경환 · 마준성 · 김성동 · 김사라은경[†]

Interconnect Process Technology for High Power Delivery and Distribution

Keong-Hwan Oh, Jun-Sung Ma, Sungdong Kim and Sarah Eunkyung Kim[†]

(2012년 8월 30일 접수: 2012년 9월 4일 수정: 2012년 9월 11일 게재확정)

Abstract: Robust power delivery and distribution are considered one of the major challenges in electronic devices today. As a technology develops (i.e. frequency and complexity, increase and size decreases), both power density and power supply noise increase, and voltage supply margin decreases. In addition, thermal problem is induced due to high power and poor power distribution. Until now most of studies to improve power delivery and distribution have been focused on device circuit or system architecture designs. Interconnect process technologies to resolve power delivery issues have not greatly been explored so far, but recently it becomes of great interest as power increases and voltage specification decreases in a smaller chip size.

Keywords: power delivery, power distribution, thermal management, interconnect

1. 서 론

저전력 반도체 기술은 에너지를 절약하여 친환경적이며 소자의 동작시간을 최적화시키거나 전력전달(delivery) 및 분배(distribution)를 용이하게 하여 전자소자의 전력을 효과적으로 낮추는 목적뿐 아니라, 전력소모가 발열로 연결되어 시스템의 동작과 신뢰성에 문제를 일으키는 요소들을 해결하는 방안으로도 매우 중요시 되고 있다. 이러한 전력 및 방열 관련 문제는 시스템 반도체뿐 아니라 메모리반도체 및 최근 이슈가 되고 있는 적층반도체¹⁻³⁾ 등 차세대 전자소자를 위한 핵심 기술로 대두된다. 35 nm기술 node의 경우 1 mm 길이 배선의 latency(반응시간)가 transistor의 latency와 비교하여 100배가 넘는다.⁴⁾ 또한 마이크로프로세서의 경우 전력은 증가하고, 전압은 낮아지면서, 범프 피치(pitch)는 transistor와 같은 비율로 줄어들지 못한 반면, 입 · 출력 범프 수는 증가 추세이기 때문에 전력전달과 분배 문제는 점점 심각해지고 있다. 이에 전력전달과 분배 관리는 직접소자 제조에서 매우 심각한 문제로 나타나고 있으며, 이는 소자 scaling의 해결과제로 대두 되고 있다.

ITRS(International Technology Roadmap for Semiconductors)에 의하면 14 nm 기술에서 전력밀도는 100 W/cm² 이상이 되고, 소자부터 대기의 열저항(junction-to-ambient thermal resistance)은 0.2°C/W 이하가 될 것으로 예상한다. 특히 마이크로프로세서의 경우 hot spots은 500 W/cm²까지 가기도 하며, 적층메모리 구조의 경우 300 W/cm²까지 예상

한다.⁵⁾ 이러한 전력밀도의 증가는 소자의 발열을 증가시키기 때문에 열전도도를 높일 수 있는 시스템 구현은 매우 중요한 분야가 되고 있다. 또한 ITRS에 의하면 배선 라인의 수가 2002년 8개에서 2016년 22 nm node에서는 11개가 될 것이고 이는 열 발생 속도를 급격히 증가시킬 것이라고 예측했다. 더욱이 RC delay 감소를 위해 사용되는 low-K dielectric 재료는 열전도도가 SiO₂나 Si₃N₄ 보다 낮기 때문에 열 발생은 더욱 큰 문제가 된다. 이처럼 소자의 전력전달과 열 문제는 서로 큰 영향을 미치고 있다.

그동안 전력기술에 대한 대부분의 연구개발은 소자의 회로(circuit)나 아키텍처(architecture) 차원에서 에너지를 적게 소모하도록 하는 방법이 주를 이루어 왔다.⁶⁻¹⁰⁾ 그러나 최근 소자의 소형화, 고성능화에 따라 회로 분야의 접근과 동시에 공정을 통해 전력전달을 높이고 발열 문제도 처리하는 interconnect 공정 기술이 관심의 대상이 되고 있다. 하지만 아직까지는 전력전달이나 분배를 위한 공정설계나 interconnect 공정 기술 개발은 매우 미진한 상태이다.

2. 관련 연구

전력전달 및 분배에 관한 연구는 아키텍처 관련한 연구, 보드의 decap 연구, VRM(voltage regulator module) 연구, 회로 tolerance를 높이기 위한 파워 공급 노이즈(noise)를 줄이는 회로 연구, ohmic loss를 줄이는 연구가 가장 많이 진행되어 왔다.⁹⁻¹²⁾ 또한, Fig. 1과 Fig. 2에서 볼 수

[†]Corresponding author

E-mail: eunkyung@seoultech.ac.kr

Fig. 1. DC-DC converter integration.¹²⁻¹³⁾

있듯이 전력전달 조절을 위해서 DC-DC converter die나 decap die를 마이크로프로세서와 따로 제작한 후 TSV (through Si via)와 같은 기술을 이용하여 적층된 시스템을 만드는 디자인이 많이 나오고 있다.¹²⁻¹⁴⁾

적층반도체 기술이 발전함에 따라서 TSV를 이용한 전력전달 디자인 및 공정에 관심이 집중되고 있으며,^{1,15)} Fig. 3에서 TSV의 사이즈가 작아질수록 IR drop이 커지는 것을 볼 수 있고, 이는 적층반도체의 전력 인테그리티 (integrity) 문제 해결의 중요성을 나타낸다. 또한, TSV 수가 증가할 경우, TSV를 분산시켜서 배열할 때 IR drop이 낮아지는 것을 볼 수 있고, C4(Controlled collapse chip connection) 범프수의 증가가 TSV 수의 증가보다 IR drop을 줄이는데 더욱 효과적임을 알 수 있다.¹⁾ Fig. 4에서도 전력전달을 위한 TSV는 모여(clustered)있는 경우보다는 분산되어(distributed)있는 경우가 IR drop을 줄이는데 효과적임을 보여주고 있다. 그러나 고성능 고밀도 소형화 추세에 맞추어 전력전달의 문제는 더욱 심각해지고 있고, 최근 전력을 전달하는 전력 범프와 배선이 소자의 전체 전력 시스템의 장애요소가 되고 있다. 결국 전력 범프와 배선의 새로운 디자인 및 공정설계는 해결해야 할 과제가 되었다.

또한 전자 소자의 패키징 기술은 지속적으로 많은 pin-count를 가진 고밀도 패키징으로 발전하고 있고, 고밀도 패키징의 성능을 높이기 위해서는 전류 급등(surge)에 의한 패키징 전력 인테그리티를 해결해야 하는 문제도 야기되고 있다. 이는 공급되는 전압이 줄면서 전압에 대한

Fig. 2. Effect of adding a decap die for a power delivery in 3D structure.¹⁴⁾

Fig. 3. Comparison of IR Drop by changing the number of TSV and C4 bump.¹⁾

직접 소자의 민감도(sensitivity)가 높아지기 때문이다. 전력 인테그리티는 칩(chip)과 패키지(package)를 연결하는 범프, 칩과 패키지내의 배선 라인, 배선 라인과 범프를 연결하는 칩의 패드(pad) opening과 패키지의 SRO(Solder resist opening)에 큰 영향을 받는다. 즉, 전력전달 향상을 위한 공정설계의 해결과제 중 하나는 칩에 직접적 영향을 주는 패키지와 보드의 글로벌 전력전달 시스템과 칩 전력전달 시스템을 동시에 해결할 수 있는 공정 설계를 간구해야 된다는 것이다. 배선 라인 공정 설계로 전력전달 및 분배를 향상시킨 예로 인텔의 “thick metal” 공정이 있다.¹⁶⁾ Fig. 5에서 보듯이 “thick metal” 공정은 칩의 마지막 배선 라인과 범프 사이에 약 10~50 μm의 두꺼운 금속 라인을 삽입하는 공정으로 “thick metal” 구조는 기존

Fig. 4. Side view of a 3-D stack with pass-through power distribution TSVs and minimum IR drop.¹⁵⁾

(a) Thick Metal Interconnect Structure.

(b) C4 resistance vs. I_{max} (or IR Drop) Simulation.

Fig. 5. Thick metal structure to improve power delivery.¹⁶⁾

의 interconnect 구조보다 IR drop의 증가 폭을 감소시키고, C4 범프의 I_{max} 값을 낮추어 결과적으로 전류밀도를 낮추고 전력 분배를 돕는다.

(a) Current bump structure.

(b) ABL bump structure.

Fig. 6. Flipchip configuration with (a) current bump or (b) ABL bump (dumbbell shape).

칩과 패키지를 연결하는 범프에 대한 공정 설계로는 ABL(advanced bump layer) 범프가 있다. ABL 범프는 연결형 구조의 범프로서 전력 전달과 분배에 관한 문제를 공정설계로 해결하려는 방법 중 하나로 관심의 대상이었으나 아직은 실용화가 되지 않았다. Fig. 6는 기존의 범프층과 ABL 범프층을 비교하여 보여주고 있다. ABL 범프를 이용할 경우 소자의 배선 라인과 범프를 연결하는 패드(pad) opening을 크게 만들어 소자에 파워 전달을 더욱 용이하게 할 수 있고, 같은 전력 배선 라인들을 연결한 ABL 범프는 범프의 전류 밀도를 낮출 수 있다. 또한, 전류 밀도 분포를 향상시키는 역할을 하여 칩과 패키지의 범프 연결부분의 신뢰성도 향상시킨다. 하지만 전력 범프와 입·출력 범프의 모양과 크기가 동일하거나 비슷한 기존의 범프층 구조와 달리, ABL 범프층 구조에서는 전력 범프가 2개씩 연결되어 있어서 그 모양과 크기가 입·출력 범프와 매우 다르다. 그렇기 때문에 실용화를 위해서는 웨이퍼 내 범프 높이를 동일하게 만드는 공정 설계 최적화와 범프 신뢰성(reliability) 등의 문제들이 반드시 해결되어야 한다.

위에서 설명한 것처럼 전력 증가는 소자의 성능과 신뢰성에 큰 영향을 미칠 뿐 아니라, 이는 발열 문제로도 연결되고, 또한 에너지 효율도 낮추게 된다. 현재 100 W/cm^2 이상의 칩 전력 밀도로 볼 때 소자의 방열 솔루션은 시급히 개발되어야 한다. 현재까지는 열전달물질(TIM, thermal interface material)이나 열전(thermoelectric) 등 방열 재료 연

Fig. 7. Liquid cooling system using fluidic TSV.²⁹⁾

Fig. 8. Schematic of chip-scale microchannel heat sink cooling scheme for 3D IC.³⁰⁾

구와¹⁷⁻²²⁾ 액체냉각(liquid cooling)이나 히트파이프(heat pipe) 같은 시스템 솔루션 방법에 관한 연구가 활발히 진행되어 왔다.²³⁻²⁴⁾ 최근에는 적층시스템의 개발로 TSV를 이용하는 thermal via나 liquid TSV 형태에 관한 연구도 진행되고 있고,²⁵⁻³⁰⁾ Fig. 7과 Fig. 8에서와 같이 전력전달을 위한 TSV 주변에 liquid TSV를 배치하여 고전력에 의한 열 방출을 용이하게 하면 전력전달을 향상시킬 수 있다. 또한 열 방출의 향상으로 전력전달 및 열기계적 신뢰성(thermo-mechanical reliability)도 향상시키는 double bump (Fig. 8) 공정에 관한 연구도 진행되고 있다.³¹⁻³³⁾

3. ABL 뱀프 공정설계

앞에서 설명한 ABL 뱀프는 2개 이상의 같은 전력뱀프를 연결하여 뱀프 면적을 높이고, 패드 opening 또는 SRO

Fig. 8. Double bumped solder ball structure.³¹⁾

(a) Wafer after Cu electroplating with ABL bumps.

(b) Square and dumbbell bumps (microscope).

(c) Square and dumbbell bumps (SEM).

Fig. 9. ABL bump after Cu electroplating.

사이즈를 크게 하여 전력전달과 분배를 높이는데 목적이 있다. Fig. 9는 기존의 뱀프 구조에서 전력뱀프를 2개씩 연결한 직사각형 타입(square type)과 아령 타입(dumbbell type)으로 제작된 ABL 뱀프를 예로 보여주고 있다. ABL 뱀프 제작의 가장 중요한 요소는 도금공정 후 웨이퍼 내 뱀프 높이의 WIW(within wafer)와 WID(within die) 균일도라 하겠다. 특히 Cu 뱀프의 경우 뱀프 높이가 후속 플립칩 공정에 큰 영향을 미치기 때문이다. Fig. 10에서 볼 수 있듯이 전력밀도는 뱀프의 크기가 작아질수록 급격히 증가하고, 전력이 커질수록 또한 급증한다. ABL 뱀프 구조는 기존의 동일한 칩 구조에서 뱀프의 크기만 변경하여 전류밀도 및 전력밀도를 효과적으로 낮출 수 있으며, 이는 전력전달 및 분배를 크게 향상시킬 수 있다.

4. 요 약

전자 소자의 기술이 발달함에 따라 전력은 증가하고, 전압은 낮아지고, 입출력 뱀프 수가 증가하는 반면, 뱀프 피치는 크게 줄어들지 못하기 때문에 전력전달과 분배 문제는 점점 심각해지고 있다. 그동안 전력전달 문제를 해

Fig. 10. Bump area vs. Power density.

결하기 위해선 대부분 회로나 아키텍처 차원에서 에너지를 적게 소모하는 방법을 주로 연구해 왔으나, 최근 회로 분야와 동시에 새로운 공정설계를 통해서 전력전달 및 분배를 높이고 발열 문제도 처리하는 interconnect 공정 기술이 중요시 되고 있다.

참고문헌

1. N. H. Khan, S. M. Alam and S. Hassoun, "Power Delivery Design for 3-D ICs Using Different Through-Silicon Via (TSV) Technologies", IEEE Trans. VLSI systems, 19(4), 647 (2011).
2. R. S. List, C. Webb and S. E. Kim, "3D Wafer stacking technology", Proc of AMC, 29 (2002).
3. R. Plieninger, M. Dittes and K. Pressel, "Modern IC packaging trends and their reliability implications", Microelectron. Reliab., 1868 (2006).
4. ITRS from <http://www.itrs.net>
5. R. Bhooshan and B. P. Rao, "Optimum IR Drop Models for Estimation of Metal Resource Requirements for Power Distribution Network", IFIP on VLSI, 292 (2007).
6. M. Ketkar and E. Chiprout, "A microarchitecture based framework for pre- and post-silicon power delivery analysis", Microarchitecture, 42, 179 (2009).
7. N. H. Khan, S. M. Alam and S. Hassoun, "System level comparison of power delivery design for 2D and 3D ICs 3D System Integration", IEEE 3DIC, 1 (2009).
8. B. Amelifard and M. Pedram, "Optimal Selection of Voltage Regulator Modules in a Power Delivery Network", IEEE DAC, 168 (2007).
9. M. Budnik and K. Roy, "A Power Delivery and Decoupling Network Minimizing Ohmic Loss and Supply Voltage Variation in Silicon Nanoscale Technologies", IEEE Trans. VLSI Systems, 14(12), 1336 (2006).
10. C. Wang, H. Cheng, C. Chiu, C. Hung and C. Kuo, "Through co-design to optimize power delivery distribution system using embedded discrete de-coupling capacitor", IEEE CPMT, 1 (2010).
11. J. Sun, J. Q. Lu, D. Giuliano, T. P. Chow, R. J. Gutmann, "3D Power Delivery for Microprocessors and High-Performance ASICs", IEEE APEC, Feb. (2007).
12. G. Schrom, P. Hazucha, J. Hahn, V. Kursun, D. Gardner, S. Narendra, T. Karnik and V. De, "Feasibility of Monolithic and 3D-Stacked DC-DC Converters for Microprocessors in 90 nm Technology Generation", ISLPED, 263 (2004).
13. G. Huang, M. Bakir, A. Naeemi and H. Chen, J. Mei, "Power delivery for 3D chip stacks: Physical modeling and design implication", IEEE EPEP, 205 (2007).
14. M. B. Healy and S. K. Lim, "Distributed TSV Topology for 3-D Power-Supply Networks", IEEE Trans. VLSI systems, 1 (2011).
15. S. Kim, B. Martell, D. Ayers, S. List, P. Moon and S. Towle, "Thick metal layer integrated process flow to improve power delivery and mechanical buffering", US Patent No. 6, 977, 435 (2005).
16. A. J. McNamara, Y. Joshi and Z. M. Zhang, "Characterization of nanostructured thermal interface materials", Int. J. Therm. Sci., In Press, Available online, November (2011).
17. J. Xu and T. S. Fisher, "Enhancement of thermal interface materials with carbon nanotube arrays", Int. J. Heat Mass Transf., 49(9-10), 1658 (2006).
18. A. Hamdan, A. McLanahan, R. Richards and C. Richards, "Characterization of a liquid-metal microdroplet thermal interface material", Exp. Therm. Fluid Sci., 35(7), 1250 (2011).
19. S. N. Paisner, "Nanotechnology and mathematical methods for high-performance thermal interface materials", Global SMT & Packag., 36 (2008).
20. H. Shin, H. Lee, J. Bang, S. Yoo, S. Jung and K. Kim, "Variation of Thermal Resistance of LED Module Embedded by Thermal Via", J. Microelectron. Packag. Soc., 17(4), 95 (2010).
21. W. S. Lee, Y. W. Ko, C. S. Yoo, K. C. Kim and J. C. Park, "A Study on the Thermal Behaviour of Via Design in the Ceramic Package", J. Microelectron. Packag. Soc., 10(1), 39 (2003).
22. J. Darabi and K. Ekula, "Development of a chip-integrated micro cooling device", Microelectronics, 34(11), 1067 (2003).
23. Y. M. Hung and Q. Seng, "Effects of geometric design on thermal performance of star-groove micro-heat pipes", Int. J. Heat Mass Transf., 54(5-6), 1198 (2011).
24. J. Vaes, W. Dehaene, E. Beyne and Y. Travaly, "Integration challenges of copper Through Silicon Via (TSV) metallization for 3D-stacked IC integration", Microelectron. Eng., 88(50), 745 (2011).
25. D. Kearney, T. Hilt and P. Pham, "A liquid cooling solution for temperature redistribution in 3D IC architectures", Microelectron., In Press, Available online, June (2011).
26. F. Schindler-Saefkow, O. Wittler, D. May and B. Michel, "Thermal Management in a 3D PCB Package with Water Cooling", IEEE ESTC, 107 (2006).
27. R. Hon, S. W. Ricky Lee, S. X. Zhang and C. K. Wong, "Multi-Stack Flip Chip 3D Packaging with Copper Plated Through-Silicon Vertical Interconnection", IEEE EPTC, 384 (2005).
28. D. Sekar, C. King, B. Dang, T. Spencer, H. Thacker, P. Joseph, M. Bakir and J. Meindl, "A 3D-IC Technology with Integrated Microchannel Cooling", IEEE IITC, 13 (2008).
29. C. R. King, Jr., J. Zaveri, M. S. Bakir and J. D. Meindl, "Electrical and Fluidic C4 Interconnections for Inter-layer Liquid Cooling of 3D ICs", IEEE ECTC, 1674 (2010).
30. K. W. Yan, R. W. Johnson, R. Stapleton and K. Ghosh, "Dou-

ble Bump Flip-Chip Assembly”, IEEE Trans. EPM 29(2), 119 (2006).

31. M. Topper, V. Glaw, P. Coskina, J. Auersperg, K. Samulewicz, M. Lange, C. Karduck, S. Fehlberg, O. Ehrmann and H. Reichl, “Wafer Level Package using Double Balls”, Int. Sym. APM, 198 (2000).
32. B. Keser, B. Yeung, J. White and T. Fang, “Encapsulated double-bump WL-CSP: design and reliability”, IEEE ECTC 35 (2001).

- 오경환
- 서울과학기술대학교 글로벌융합산업공학과
- 반도체공정
- ohbaksa616@naver.com

- 마준성
- 서울과학기술대학교 NID융합기술대학원
- 전자패키징
- jsma@seoultp.or.kr

- 김성동
- 서울과학기술대학교 부교수
기계시스템디자인공학과
- MEMS 공정, 전자패키징
- sdkim@seoultech.ac.kr

- 김사라은경
- 서울과학기술대학교 부교수 NID융합기술대학원
- 반도체공정, 전자패키징
- eunkyung@seoultech.ac.kr