PCB 및 패키징 공정에서의 도금 시뮬레이션 기술 적용

이규환[†]

Application of Plating Simulation for PCB and Packaging Process

Kyu Hwan Lee[†]

(2012년 8월 30일 접수: 2012년 9월 3일 수정: 2012년 9월 7일 게재확정)

Abstract: Electroplating technology is widely used in semiconductor microelectronic industry. With the development of semiconductor integrated circuit to high density and light-small scale, Extremely high quality and plated uniformity of the deposited metals are needed. Simulation technique can help to obtain better plating results. Although a few plating simulation softwares have been commercialized, plating simulation is not widely prevalent in Korea. In this paper, principle of electroplating and mathematical modeling of plating simulation are discussed. Also introduced are some cases enhancing plating thickness uniformity on leadframe, PCB and wafer by using plating simulation.

Keywords: electroplating, plating simulation, current distribution, potential model, thickness distribution

1. 서 론

전기도금은 다마신, TSV 공정 등 IC 칩 제조공정으로 부터 인터포저, 범프, 솔더 등 패키징 공정과 PCB, 리드 프레임, 전해 동박, 커넥터 등에 이르기까지 반도체, 전자 부품 제조공정에서 다양하게 사용되어 왔다. 반도체 소자의 고집적화 및 디스플레이, 가전제품의 대형화 추세로 인해 전기도금 기술에 대한 산업계의 요구수준이 매우 높아지고 있다. 예를 들면, 리드프레임의 PPF 도금의 경우 그 도금 두께가 수 나노미터 수준에서 균일하게 제어되어야 한다.

이러한 계기로 최근 도금 시뮬레이션 기술에 대한 관심이 높아지고 있다. 도금 시뮬레이션은 도금 시스템에서 전기장과 분극현상을 해석하여 음극 표면에서의 전류 밀도 및 도금두께 분포를 예측하는 기술이다.¹⁻¹²⁾

도금 시뮬레이션 기술이 도금 산업에 적용이 된 것은 최근의 일이다. 전 세계적으로 상용화된 시뮬레이션 프로그램으로는 PlatingMaster (Elsyca, 벨기에), Cell-Design (L-Chem, 미국) Castor Elec 3D(CETIM, 프랑스), EPPS (Uyemura, 일본) 등이 있지만, 그 활용도는 아직 미미하다. 그나마 PlatingMaster 프로그램을 이용한 연구논문과 적용 사례가 일부 보고되고 있는 정도이다. 이는 도금 시뮬레이션 프로그램의 성능이 현장의 요구를 해결할 만큼 높지 않은데다, 도금업체의 기술적 수준도 시뮬레이션 기술을 적용하기에는 높지 않기 때문이라고 판단이 된다.

우리나라에서는 1990년대 서울대학교에서 도금반응에서의 전류밀도 분포를 BEM(Boundary Element Method)

을 통해 해석하려는 연구가 있었지만 그 이후 연구는 중단이 된 듯하다. 또한 몇몇 국내 대학 및 연구기관에서 앞서 소개한 상용 시뮬레이션 프로그램을 구입한 바 있으나, 이를 이용한 사례는 거의 보고되지 않고 있다.¹³⁾ 다만 재료연구소에서 2009년부터 3년간 지경부의 ‘국가플랫폼기술개발 사업’에서 ‘습식표면처리 전산모사 플랫폼 개발’과제를 수행하면서 도금 시뮬레이션 기술 고도화 및 현장에 적용한 사례를 보고하였다.¹⁴⁻¹⁵⁾

최근 도금 장비 개발, 공정 최적화 및 생산성 향상, 도금 용액 개발 분야에 있어서 도금 시뮬레이션의 중요성을 인식하고 관심이 폭발적으로 증가하고 있다. 본 고에서는 전기도금에서 도금 시뮬레이션이 필요한 이유와 도금 시뮬레이션의 원리에 대해 기술하고, 몇 가지 적용 사례를 소개하고자 한다.

2. 전기도금과 도금두께분포

전기도금에 있어서 음극(피도체) 전체에 전착된 도금의 양보다는 음극에서의 도금두께 분포가 실질적으로는 더 중요한 의미를 갖는다. 왜냐하면 도금두께 분포는 제품의 최종 품질을 좌우하기 때문이다. 음극 표면의 특정 위치에서의 도금두께는 Faraday 법칙에 의해 그 위치에 인가된 전류밀도와 인가시간 및 전류효율에 의해 결정이 된다.

$$d = \frac{M \cdot \theta \cdot j \cdot t}{\rho \cdot z \cdot F} \quad (1)$$

[†]Corresponding author

E-mail: lgh1636@kims.re.kr

여기서 d 는 음극 표면 특정위치에서의 도금두께, θ 는 전류효율, j 는 국부 전류밀도, t 는 도금시간, ρ 는 금속의 밀도, z 는 원자가 그리고 F 는 Faraday 상수이다.

음극 표면에 인가되는 전류밀도는 전체 인가 전류를 음극의 표면적으로 나눈 것으로 정의된다. 일반적으로 현상에서는 전류밀도를 음극 표면 전체에 걸쳐 인가된 평균 전류 개념으로 사용되고 있지만, 좀 더 정확하게는 다음과 같이 정의된다.

$$j = \frac{\partial i}{\partial s} \quad (2)$$

여기서 j 는 전류밀도, i 는 인가된 전류, s 는 음극의 면적이다.

전류는 단순히 양극에서 음극으로 직선적으로 흐르는 것이 아니라 최소 에너지 원리 (Minimum Energy Principle)에 의해 그 계의 에너지 손실 (예를 들면 저항 열)이 최소화되는 경로 즉, 저항이 제일 작은 경로를 따라서 흐르게 된다.

그러므로 음극에서의 전류밀도는 위치에 따라 변화한다. 왜냐하면 완전한 무한 평행판이 아닌 이상 모든 피도체는 돌출부가 존재하게 된다. 이 부분은 양극으로부터의 거리가 짧기 때문에 음극의 다른 오목한 곳에 비하여 전기 저항이 작다. 반대로 오목한 부분은 양극으로부터 멀리 때문에 전류에 대한 저항이 커서 전류밀도가 작게 된다. 그러므로 돌출된 부분에서의 전류밀도는 커지고 따라서 도금두께도 두꺼워진다. 일반적으로 Fig. 1과 같이 형상을 가지는 음극에서 양극에 가까운 곳이나 모서리, 돌출이 된 부분 등이 항상 전류밀도가 집중하려는 경향을 보이게 된다.

한편 음극 전류효율은 Faraday 법칙에 의해 계산된 전착량과 실제 음극에 전착된 양과의 비율로 정의된다.

$$CE = \frac{M_a}{M_t} \times 100 \quad (3)$$

여기서 CE 는 음극전류효율, M_a 는 실제 전착량, M_t 는 Faraday 법칙에 의해 계산된 전착량이다.

구리나 귀금속 도금에 널리 사용이 되는 시안 도금용액의 경우, 전류밀도가 증가하면 음극효율은 급격히 감소한다. 결과적으로 고전류밀도 부분에서의 도금두께는

Fig. 1. Electrical field distribution in plating bath.

평균 도금두께보다 그리 두껍지 않게 되어 균일한 도금층이 얻어지게 된다. 반대로 장식도금으로 널리 사용이 되고 있는 크롬도금용액의 경우는 반대의 특성을 보인다. 크롬도금 용액에서는 음극 전류효율이 전류밀도와 함께 증가한다. 그 결과 도금 두께의 불균일도는 더욱 커지게 된다.

이밖에도 TSV나 PCB 패턴 도금에서와 같은 작은 크기의 영역에서는 도금두께가 전류밀도 뿐 만 아니라 국부적인 유효 확산층 두께의 변화에 의해서도 영향을 받는다.

정리하면, 전기도금에 있어서 도금두께 분포는 피도체의 형상과 크기, 도금조의 형상, 전류효율, 도금반응의 전기화학 특성 및 교반 등에 영향을 받는다.

3. 도금 시뮬레이션 이론

본 고에서는 Elsysca 사의 Plating Master 프로그램을 예로 하여 도금 시뮬레이션의 원리를 설명한다.¹⁶⁾

음극 표면 특정위치에서의 도금두께는 그 위치에서의 전위를 계산함으로써 구할 수 있다. 도금 반응이 일어나고 있는 동안, 양극과 음극 사이의 전위 분포는 Fig. 2와 같이 형성이 된다. 음극에서의 전위는 두 극 사이에 형성된 전기장 구배에 의한 용액 전위와 음극 전기이중층 및 확산층에서의 반응 및 물질이동에 의한 전위 강하 (과전압)를 더함으로써 계산이 가능하다. 이때 용액 내에서의 위치에 따른 전위분포는 Laplace Equation($\nabla^2 U=0$)을 풀면 구할 수 있다. 음극 표면 근처에서의 전위 변화에 대한 모델은 크게 Potential (Theory) Model 과 Convective-Transport model로 분류된다. Potential Model은 음극 표면에서 농도구배가 무시되는 조건에서 사용되며, 반면에 농도 구배가 고려될 때는 Convective-Transport Model이 사용이 된다.¹⁷⁻¹⁸⁾

이 모델을 풀어 위치에 따른 전류밀도를 계산하기 위

Fig. 2. Potential profile between cathode and anode during electroplating.

해서는 경계조건이 필요한데, 경계조건은 전류밀도 분포의 형태[1차 전류밀도 분포 (Primary Current Distribution, PCD, 2차 전류밀도 분포 (Secondary Current distribution, SCD), 3차 전류밀도 분포 (Tertiary Current Distribution, TCD)]에 따라 변하게 된다. PlatingMaster는 Potential Model을 사용하므로 경계조건으로 PCD와 SCD 전류 분포를 사용하게 된다.

1차 전류밀도 분포는 전극/용액계면에서의 과전압을 무시하며, 전극표면에서의 potential은 일정(경계조건: $X=0 \rightarrow U=V_c$, $X=L \rightarrow U=V_a$) 하다고 가정된다. 따라서 용액 및 전극계면에서의 전위는 1차원에서 다음과 같이 계산될 수 있다. 아래과정은 Laplace Eq. 과 Potential Model에서 전류밀도가 계산되는 과정을 보여 준다.

도금반응이 일어나는 수용액 계에서 다음과 같은 가정을 하면, Laplace eq.은 다음과 같이 성립한다. (1) 단지 용질-용매만의 반응만을 고려함.

가정 (2) 용액중에서 homogeneous chemical reaction은 일어나지 않음 (3) steady state

(4) 용액내에서는 농도분포는 균일함 (5) 용액은 전기적중성(electroneutrality)을 유지함.

Laplace Equation :

$$\nabla^2 U = 0 \quad (4)$$

을 풀면,

$$\nabla U = C_1 \rightarrow U = C_1 X + C_2$$

(U =Potential, C_1 , C_2 =적분상수)

이 되고,

경계조건(Fig. 3 참조)을 채용하면,

$$(1) X=0, U=V_c \rightarrow C_2 = V_c$$

Fig. 3. Boundary condition for primary current density distribution and variation of potential between two electrodes.

$$(2) X=L, U=V_a \rightarrow V_a = C_1 L + V_c$$

$$\therefore C_1 = (V_a - V_c) / L$$

이 식의 해는

$$U = V_c + (V_a - V_c) X / L \quad (5)$$

즉 Laplace eq.의 해로서 용액 내 위치에 따른 포텐셜을 구할 수 있다.

Laplace Equation에 의해 위치에 따른 Potential이 계산되면 각 위치에서의 전류밀도는 아래와 같은 Potential model식에 따라 계산될 수 있다.

Potential model이 적용되기 위해서는 다음과 같은 3가지 가정이 포함되는 조건이 되어야 한다. : (1) 용질-용매와의 반응만 고려 됨 (2) 농도구배에 의한 Flux = 0 (즉, concentration polarization이 없는 조건) (3) 용액내의 electroneutrality가 적용되어야 함. 이런 조건에서 Potential model은 Ohm의 법칙과 유사한 형태를 띠게 된다. 즉, 용액 내의 포텐셜과 용액의 전도도를 알면 특정 부분의 전류밀도를 계산할 수 있다는 뜻이다.

$$J = -\sigma \nabla U \rightarrow \text{Potential Model}$$

1차 전류밀도 분포의 경우 식 (5)로부터

$$\nabla U = (V_a - V_c) / L \rightarrow J = -\sigma (V_a - V_c) / L$$

위의 풀이과정에서 최종 계산된 전류밀도는 Laplace Equation을 풀 때의 경계조건에 영향을 받을 수 있다.

만약, 2차 전류밀도 분포를 고려한다면 1차 전류밀도 분포 조건에 전극에서의 속도론적 인자가 더 포함된다. 여기서의 속도론적인자는 활성화분극이 된다. 속도론적인자가 포함되면 전극근처에서의 potential은 1차 전류밀도에서처럼 일정하지 않고 전류밀도에 따라 potential이 변하는 복잡한 관계를 이룬다($\eta = f(i)$, 즉, 과전압은 전류밀도의 함수). 이와 같은 경우 Laplace Eq.을 풀기위한 경계조건은 실험적으로 얻어지는 전류밀도와 과전압의 관계가 사용된다. 보통 실험적 경계조건은 분극실험을 통해 얻어지는데 그 정확성이 계산의 핵심이 된다.

4. 도금 시뮬레이션 적용 사례

4.1. PCB 도금

PCB 패널 도금에 있어서 한 개의 도금라인에서 여러 크기의 제품을 생산하게 된다. 그러므로 제품의 크기에 따라 도금두께 분포도 다르게 된다. 생산 현장에서 제품의 크기에 따라 도금 두께 분포를 균일하게 제어할 수 있는 방법으로 양극이나 음극에 차폐판을 설치하는 것이 일반적이다. 그러나 실제 제품이 생산이 되는 과정에서 여러 번의 시행착오를 거쳐야 하므로 적절하게 설치하는 것

Fig. 4. Modeling of plating bath (a) 3D model (b) cross sectional view.

은 매우 어렵다.

본 사례는 플렉서블 PCB 수직형 Cu 도금조에서 차폐판 최적화로 도금두께 편차를 개선한 예이다. 이 도금라인에서 생산되는 제품의 길이는 350~440 mm 사이로 다양하며, 도금두께는 $15 \pm 4 \mu\text{m}$ 에서 관리되고 있다. 도금 두께 분포를 측정해보면 도금두께의 편차가 좌우보다는 상하가 훨씬 크다(Fig. 4). 이 회사에서는 상하 도금두께 편차를 해소하기 위하여 제품의 아래쪽에 Fig. 4 (b)의 단면 모델링 그림에서 보는 바와 같이 차폐판을 도금조 하부에 설치하였으나 여전히 상하 도금두께 편차를 줄이지 못하고 있었다. 그 이유로는 차폐판을 높이면 차폐판 안쪽으로 들어가는 부분은 도금 두께가 현저하게 감소하지만, 차폐판 바로 윗부분은 도금 두께가 오히려 더 두꺼워졌기 때문이다.

Fig. 5는 현재 생산되고 있는 상태를 시뮬레이션을 통하여 두께분포를 해석한 것이다. 제품의 맨 윗부분이 두껍고 아래로 내려가면서 얇아지다가 차폐판 바로 윗부분에서 다시 두꺼워지고 차폐판으로 가려지는 부분은 급격히 두께가 감소하는 분포를 나타내었고, Fig. 5의 (b)를 보면, 실측치와도 잘 일치하였다. 현장에서 차폐판 설치로 효과를 보지 못한 이유는 차폐판을 높이면 차폐판 안쪽으로 들어가는 부분의 도금 두께가 현저하게 감소하는 반면, 차폐판 바로 윗부분은 도금 두께가 오히려 더 두꺼워

Fig. 5. Comparison between measured and simulated deposit thickness (a) visualization of simulation result (b) thickness profile along the vertical center line of specimen.

Fig. 6. Simulation results (a) cathode shield effect (b) anode shield effect.

Fig. 7. Simulation result obtained from optimized shield condition (a) visualization (b) thickness profile along the vertical center line of the specimen.

졌기 때문에 현장에서 최적의 위치를 찾기 어려웠기 때문이라는 것을 알 수 있었다. Fig. 6은 음극 차폐판과 양극 차폐판의 위치에 따른 도금 두께 분포 변화를 예측한 결과이다. 이 결과를 바탕으로 Fig 7과 같이 두 차폐판 설치의 최적의 조합을 찾은 결과 두께 편차가 ± 1.5 로 예측이 되었다. 이 예측을 바탕으로 도금조에 양극 및 음극 차폐판을 설치한 결과 실제로도 두께 편차가 ± 1.5 로 제어됨을 확인하였고 다른 크기의 제품에 대해서도 최적의 음극 및 양극 차폐판 설치 조합을 제시하였다.

4.2. 리드프레임 도금

Pre-Plated 리드프레임(PPF) 도금은 대부분 reel-to-reel 도금 방식으로 진행이 된다. 특히 와이어 본딩을 위해 금이나 은을 전면도금으로 실시하고 있다. 리드프레임 도

Fig. 8. Modeling of plating bath (a) 3D model (b) cross sectional view.

금도 PCB 도금과 마찬가지로 1개의 도금조에 폭이 다른 여러 종류의 리드프레임이 생산된다. 리드 프레임에서 도금 조건은 제품의 신뢰성 확보를 위해 가장 얇은 부분을 기준으로 스펙 두께를 맞추고 있으므로 필요 두께 이상으로 도금이 되는 부분이 존재하게 된다. 최근 세계 금 가격의 폭등으로 인해 원가 부담이 커져서, 도금 시뮬레이션 기술을 적용하여 도금두께 균일화로 전착량을 최소화하고자 하였다.

Fig. 8을 보면, 양극은 도금조 양쪽에 상부에서 바닥까지 설치되어, 리드프레임은 도금조 중앙 바닥의 단상에서 레일을 타고 지나가도록 되어있다. 용액의 수위는 항상 일정하게 유지되고 있으며, 양극과 리드프레임 중간 지점 상부에 차폐판이 설치되어 있다. 이 차폐판은 크기가 고정되어 있기 때문에 작은 폭의 리드프레임을 도금할 경우에는 차폐판의 역할은 거의 없다고 볼 수 있다. 그러므로 도금두께 분포도 제품별로 다르며, 이로 인한 금 소모량도 크다.

Fig. 9에서 No Shield의 데이터는 현재 생산되는 제품을 시뮬레이션 한 것으로 직접 제품의 두께를 측정하여 비교한 결과 잘 일치함을 확인하였다. 그림에서 보듯이 도금두께 분포는 도금조의 위쪽부분에서부터 하부방향으로 역S자 형태를 이루고 있다. 제품 하부 약 4 mm 위치에서 약 $0.22 \mu\text{m}$ 로 최저 두께를 보이고 상부로 갈수록 점점 두꺼워져서 유효 최고위치인 65 mm에서는 두께가 $0.37 \mu\text{m}$ 로 폭 방향으로 두께 편차는 $0.15 \mu\text{m}$ 에 이른다. 제품의 규격이 $0.2 \mu\text{m}$ 인 관계로 최저면을 $0.22 \mu\text{m}$ 로 관리하고 있다. 이 결과는 리드프레임 한쪽면에서 단위면적 당 금이 $77 \mu\text{g}$ 이 전착이 되고 있으며, 하부 도금 두께를 유지하면서 상부의 도금 두께를 낮추면 그만큼 도금되는 금의 양을 절감할 수 있기 때문에 도금 시뮬레이션을 이용하여 그 방안을 찾고자 하였다. 도금 두께 균일화를 위해 현장에서 적용할 수 있는 방법으로 양극 차폐판 설치가 제안되었다. 차폐판의 크기는 양극을 6등분하여 상부로부터 가려지도록 분할을 하였고, 제품별로 최적의 차폐 크기를 구하고자 하였다. 이 제품의 경우는 Fig. 8 (b)에서 보듯이, 양극이 절반이나 가려져도 도금두께 분포는 전혀 변화하지 않았다. 그러나 양극이 4/6 등분 가려질 경우는 아래의 최저 도금 부위는 $0.25 \mu\text{m}$ 로 증가하고 상부 65 mm 위치에서는 $0.31 \mu\text{m}$ 로 두께가 감소하면서 두께 편차도 $0.06 \mu\text{m}$ 로 감소하였다. 양극을 더 많이 차폐하면 다

Fig. 9. Analysis of Au thickness profile on leadframe with respect to shield size (a) visualization (b) thickness profile.

Fig. 10. Variation of amount of Au deposit per unit area with respect to shield size.

시 도금두께 편차가 커졌다.

Fig. 10은 Fig. 9 (b)의 각 경우의 금 전착량을 계산하여 단위면적당 평균 무게로 환산하여 나타낸 것이다. 앞서도 언급했듯이 현재 도금조건에서 차폐를 적용하지 않은 경우 단위면적 당 금 전착량은 $77 \mu\text{g}$ 이다. 최적의 조건인 4/6 차폐의 경우 계산된 금 전착량은 $73 \mu\text{g}$ 으로 기존에 비해 $4 \mu\text{g}$ 절감 효과를 가져왔다. 게다가 최저 두께가 $0.25 \mu\text{m}$ 가 되었으므로 이곳을 $0.23 \mu\text{m}$ 가 되도록 도금 조건을 조정하면 전체 전착량이 다시 감소하게 된다. 이를 통해 금이 단위면적당 약 $70 \mu\text{g}$ 으로 감소되었고, 금 전착량

Fig. 11. Examples of thickness distribution analysis with respect to shield distance from the wafer. (a) No shield (b) 10 cm.

Fig. 12. Variation of thickness distribution analysis with respect to shield distance from the wafer.

의 10%를 절감하는 효과를 가져오게 되었다.

4.3. Wafer에서의 전류밀도 분포 해석

Wafer 상에 도금에 있어서도 전류밀도 분포 해석은 매우 중요하다. 일반적으로 차폐판을 설치하지만 적절한 위치는 시행착오를 통해 찾는다. 그러나 도금 시뮬레이션을 이용하면 보다 빠르고 쉽게 균일한 도금 두께를 얻을 수 있다. Fig. 11은 차폐판을 설치하였을 경우 차폐판과 웨이퍼와의 거리에 따른 웨이퍼에 형성된 전류밀도 분포를 해석한 예이다.

사각형의 도금조에 수직 도금 형태로 웨이퍼의 지그가 설치되어 있고 맞은편에는 양극이 고정되어 있다. 원형의 구멍이 뚫려있는 차폐판을 웨이퍼 전면에 설치할 경우 음극과 차폐판 사이의 거리에 따라 웨이퍼 상에 전류밀도 분포를 예측결과를 Fig. 12에 나타내었다. 차폐판이 없는 경우, 중간부위는 중심으로부터 반지름이 40 mm가 될 때까지는 약 4 μm 로 균일하지만 40 mm 이후 바깥쪽으로 갈수록 급격히 두께가 두꺼워져서 가장자리는 10 μm 이상이 된다. 차폐판을 설치할 경우 음극과 차폐판의 거리가 100 mm 이상에서는 차폐 효과가 거의 나타나지 않는다. 차폐판을 음극에 더 가깝게 접근을 하면 가장자리는 두께가 감소하면서 중앙부위의 도금두께가 증

가하는 거동을 보이고, 차폐판이 20 mm로 가까워지면 가장자리 부분의 도금두께가 오히려 얇아지는 분포를 보인다. 주어진 도금조에서는 20~40 mm 간격으로 차폐판을 설치하면 도금 두께 분포가 가장 균일해질 것으로 판단이 된다. 하지만 웨이퍼 사용 경제성 측면에서는 가장자리부터 10 mm 이내의 거리에 위치한 곳에 대해서도 도금 두께 균일하게 할 필요가 있으므로 차폐판의 홀 크기를 추가로 조절하는 등의 노력이 필요할 것으로 보인다.

5. 도금 시뮬레이션 기술의 한계 및 발전방안

도금 두께는 전기화학 반응에 못지않게 물질공급 즉, 유동이 중요하다. 그러나 본 고에서 주로 사용한 Plating Master 프로그램을 포함한 대부분의 상용 프로그램은 Potential Model을 근거로 하므로 유동이나 물질이동반응에 대한 예측이 불가능하다. 그러므로 다마신 공정이나 TSV 도금 공정과 같이 확산 과전압이 큰 영향을 미치는 도금공정은 해석에 제약이 있다. 일부 상용 유동해석 프로그램에서 전기도금 모듈을 개발하였지만, 원활하게 프로그램이 계산되지도 않고, 그 신뢰성도 의심이 된다.

또한 현장에서는 단순히 도금 두께 뿐 아니라 도금층에서 발생하는 불량(예 : 핀홀, 크랙 등)이나 도금층의 물성(예 : 경도, 내부응력 등)을 미리 예측하고자하는 요구가 있으나 아직까지 이러한 도금 시뮬레이션 프로그램은 없다.

현재 지정부 산업원천기술개발사업 등에서 도금 시뮬레이션 프로그램 국산화 연구가 수행되고 있는 것으로 알고 있다. 이러한 노력들이 성공적으로 이루어진다면 현재보다 훨씬 유용한 시뮬레이션 프로그램으로 개발되리라 기대해 본다.

6. 맺음말

도금 시뮬레이션은 도금조의 설계, 도금 공정 최적화, 제품의 품질 향상 및 원가 절감 측면에서 매우 중요한 역할을 할 수 있는 유용한 기술이다. 특히 전류밀도 분포 및 도금 두께 분포가 변화하는 모습을 가시적으로 나타내 줌으로써 작업자로 하여금 머릿속에 쉽게 그려지게 되어 작업자의 이해도 수준을 높이는 데도 더욱 효과적이다. 또한 원하는 분포의 도금두께를 얻을 수 있는 도금조 개발이나 제품 디자인, 도금 첨가제 개발 등에도 유용하게 적용될 수 있을 것이다. 결론적으로 도금 시뮬레이션 기술은 전착된 제품의 성능을 극대화하는데 핵심 기술이며, 도금 관련 산업의 선진화를 위해서도 필수적으로 활용을 해야 할 것이다.

감사의 글

본 논문은 국가플랫폼 기술개발 사업과 기업체 수탁 사업에 의해 수행된 연구 결과 중에서 발췌한 것이며, 대분

분의 모델링 및 도금 시뮬레이션 작업은 재료연구소 전기화학연구실의 황양진 연구원에 의해 수행되었음을 알립니다.

참고문헌

1. F. Druesne, M. Afzali and R. Mouton, "A New 3D Electroplating Simulation and Design Tool", Plating and surface finishing, June, 20 (2002).
2. A. Chaudouet and D. Lange, "The use of boundary integral equation method in mechanical engineering", Second international conference on Applied Numerical Modelling, Madrid (1978).
3. F. Druesne and P. Paumelle, "Simulating electrochemical plating for corrosion protection", Corrosion Prevention and Control, 45, 118 (1998).
4. J. O'M. Bockris and A. K. N. Reddy, "Modern Electrochemistry", Plenum Press, 1, (1973).
5. J. Newman, Electrochemical Systems, 2nd edition, Prentice-Hall, Englewood Cliffs, New Jersey, (1991).
6. G. A. Prentice and C. W. Tobias, "A survey of numerical methods and solutions for current distribution problems", Journal of Electrochemical Society, 129, 72 (1982).
7. N. G. Zamani, J. F. Porter and A. A. Mufti, "A survey of computational efforts in the field of corrosion engineering", International Journal For Numerical Methods in Engineering, 23, 1295 (1986).
8. G. Shi, "Flexural vibration and buckling analysis of orthotropic plates by the boundary element method", International Journal Solids Structures, 26(12), 1351 (1990).
9. Snyder D. L., "Electroplating nickel chromium for the automotive industry", Metal Finishing, 95(8), 29 (1997).
10. Celis J. P. and Franssaer J., "Composite coatings - new insights leading to improved process control", Trans Ins Metal Finishing, 75(3), 118 (1997).
11. C. T. J. Low, E. P. L. Roberts and F. C. Walsh, "Numerical simulation of the current, potential and concentration distributions along the cathode of a rotating cylinder Hull cell", Electrochimica Acta, 52(11), 3831 (2007).
12. P. Raffelstetter, B. Mollay, B. Van den Bossche and G. E. Nauer, "Modeling strategy for predicting current density distributions on PCBs and other complex patterned substrates", Journal of the Electrochemical Society, 156(2), D51 (2009).
13. C. K. Lee, H. J. Sohn and T. Kang, "Mathematical Modeling of Copper Plating with Pulsed Current", J. Kor. Inst. Surf. Eng., 24(3), 125 (1991).
14. K. H. Lee, "Development of platform for electrochemical plating process simulation and optimization" in Research Report, No. 10033364, 70, MOSF, Seoul (2012).
15. K. H. Lee, Y. J. Hwang, K. M. and J. K. Cho, "Simulation of deposit thickness distribution and optimization of the Cu plating cell", ECWC Proceeding 709 Nov. (2011).
16. Elsyca, "PlatingMaster V3.0 Tutorial" p.17, Elsyca Inc. Leuven (2011) from www.elsyca.com
17. E. Yeager, J. O. Bockris, B. E. Conway and S. Sarangapani, Editor, "Comprehensive Treatise of Electrochemistry", Vol. 6 (1983).
18. J. Newman, "Electrochemistry system", p.378, Prentice-Hall, New York (1991).
19. M. W. Jung, K. T. Kim, Y. S. Koo and J. H. Lee, "The Effects of Levelers on Electrodeposition of Copper in TSV Filling", J. Microelectron. Packag. Soc., 19(2), 55 (2012).
20. S. C. Hong, W. J. Kim and J. P. Jung, "High-Speed Cu Filling into TSV and Non-PR Bumping for 3D Chip Packaging", J. Microelectron. Packag. Soc., 18(4), 49 (2011).

- 이규환(李 揆 煥)
- 한국기계연구원 부설 재료연구소
표면기술연구본부
- 전기도금, 나노전기화학, 도금 시뮬레이션
- e-mail: lgh1636@kims.re.kr