레이더용 X-대역 63 Watt Pulsed SSPA 개발

A Development of the X-Band 63 Watt Pulsed SSPA for Radar

정 민 길 · 나 형 기

Min-Kil Chong · Hyung-Gi Na

요 약

본 논문에서는 소형 하이브리드 HMIC(Hybrid Microwave Integrated Circuits)를 사용하여 레이더용 X-대역 63 watt 펄스 구동형(pulsed) SSPA(Solid State Power Amplifier)를 개발하였다. Pulsed SSPA는 전원공급기와 초단증폭기, 구동증폭기, 고출력을 위한 최종단 증폭기의 3단의 증폭기로 구성되어 있다. 70도의 고온에서도 듀티 1.2 %이고, 짧은 펄스 폭에서 63 watts 이상의 출력을 얻었다. 제작된 모듈은 동작대역 내에서 포화 상태의 이득 37 dB 성능을 보였다. 입출력 정재파비는 1.5:1 미만을 만족하였다. 이 모듈은 +28 V_{dc} 로 동작되고 400 mA 전력 소모를 가진다. 본 논문에서 개발한 SSPA는 고속으로 동작하는 펄스 도플러 레이더에 적용할 수 있다.

Abstract

In this paper, we developed the X-band 63 watt pulsed SSPA(Solid State Power Amplifier) by using HMIC(Hybrid Microwave Integrated Circuits). The pulsed SSPA consists of power supply and 3-stage amplifier modules : pre-amplifier stage, driver-amplifier stage, final-amplifier stage. The developed pulsed SSPA provides more than 63 watts of output power with a short pulse width and the duty cycle of up to 1.2 % at 70 °C. The fabricated module offers great than 37 dB of saturated gain across the operating band. Input and output VSWR is <1.5:1. This module has an average current of 400 mA typical and operates at a +28 V_{dc} supply. The developed SSPA in this paper can apply to pulsed Doppler radar with high speed operation.

Key words : Pulsed SSPA, X-Band, Radar

I. 서 론

최근 RF/MW 반도체 기술의 급속한 발전에 힘입어 RF/MW 회로들이 점차 고집적화 칩 또는 모듈들로 대체되기 시작하였다. 레이더 부품의 HMIC화 또는 MMIC화는 수신기 부품에서 뿐만 아니라, 최근에는 송신기 부품에까지 파급되고 있다^[1]. 레이더용 송신기는 일반적으로 큰 출력을 요구하므로 과거에는 Klystron, TWT 등을 사용하여 왔으나, 신뢰성 문제로 인해 반도체를 이용한 SSPA의 사용이 늘고 있는 추세이다. 특히, 유지 보수, 가격 측면 및 신호 처리

기술 발전으로 인해 SSPA가 훨씬 유리하다. 그리고 SSPA는 제어 소자(위상변위기, 가변감쇠기)들과 모듈화하여 능동 위상 배열 레이더에 적용되는 추세가 늘어나고 있다^[2].

최근 레이더에서 송신기는 운용상 전력 소모와 전력 손실을 줄여야 할 뿐만 아니라, RF 신호의 높은 선형성이 필수적으로 요구되어지고 있다. 특히, 펄스 열의 신호를 시스템 제어 신호에 연동하여 동작시키게 되면 고효율의 송신기가 구현된다. 송신 신호가 없을 경우 전력 소모를 줄일 뿐만 아니라, 전력을 비축하는 시간을 가지게 함으로써 전체적으로

LIG넥스원 ISR연구센터(LIG NEX1 ISR R&D Lab.)

· 논문 번호 : 20101130-168

· 교신저자 : 정민길(e-mail : mkchong01@lignex1.com)

· 수정완료일자 : 2011년 3월 14일

소모되는 전력을 줄일 수 있다. 본 논문에서는 Class A 또는 Class AB 선형증폭기와 별도의 펄스 변조기를 사용하여 pulsed SSPA를 개발하였다. 고주파 트랜지스터로는 최근 상용화되고 있는 고출력 GaAs FET 소자들을 이용하였다.

본 논문에서는 기존 레이더 장비의 신뢰성 저하로 문제되어 오던 레이더 송신기의 클라이스트론과 고전압 공급기 대신에 반도체 증폭기인 SSPA를 사용하고 디지털 신호처리를 수행하여 동등 이상의 탐지 성능을 가지도록 개발하였다. 먼저 II장에서는 Pulsed SSPA 구성에 대해서 살펴보고, III장에서는 블록별 설계를 다루었다. 특히 본 논문에서는 입출력 VSWR 특성과 격리도 성능이 우수한 90도 하이브리드 분배/합성기를 적용하였다. 이를 이용한 평형 증폭기(balanced amplifier) 구조를 적용하여 고출력을 구현하였다. IV장에서는 pulsed SSPA 측정 및 분석을 하였다. 마지막으로 V장에서는 결론을 내리도록 한다. 특히, 전력분배/합성기의 특성이 우수하여, 제작된 pulsed SSPA의 재현성 및 안정성을 확인할 수 있었다.

II. Pulsed SSPA 구성

레이더용 X-대역 63 watt pulsed SSPA의 블록도는 그림 1과 같다. Pulsed SSPA의 구성은 초단증폭기, 구동증폭기, 최종 출력단 증폭기로 이루어져 있으며, 펄스 변조기는 전원기와 함께 구성되어 있다. 전원기와 펄스 변조기는 증폭기들에게 필요한 각 전

원과 고속 펄스 변조에 필요한 신호를 제공하게 된다. 구동증폭기와 최종 출력단 증폭기에서는 고출력을 구현하기 위해서 90도 하이브리드 전력 분배/합성기를 사용하였다. 특히, 그림 2에서와 같이 90도 Hybrid 전력 분배/합성기는 포트 간의 위상차가 90도가 나며, 마이크로스트립 전송 선로를 이용해서 제작하기가 용이하다 또한, 신호의 위상과 크기의 차이에 크게 민감하게 변화하지 않는 것이 큰 특징이며, 그림 3은 위상 및 크기의 불일치로 인해 발생하는 결합 손실을 나타낸다. 그리고 입출력 임피던스 정합이 쉽고, 상하좌우 완전 대칭으로 어느 쪽으로든 입력이 가능하기 때문에 전체 전력 합성과 레이아웃이 쉬워지는 큰 장점이 있다. 인터페이스는 RF 입력/출력단, TTL Enable 신호와 전원단자로 이루어져 있다.

기존 레이더 장비의 신뢰성 저하로 문제되어 오던 레이더 송신기의 클라이스트론과 고전압 공급기 대신에 반도체 증폭기인 SSPA를 사용하고, 디지털 신호처리를 수행하여 동등 이상의 탐지 성능을 발휘케 함으로써 레이더의 피탐 가능성을 줄이고, 예열 시간을 줄여 교전 대응시간이 짧아졌을 뿐만 아니라 신뢰성이 3배 이상 향상되었으며, 사용 주파수 대역 증대와 간섭 신호 회피 기능을 구현함으로써 인접 장비와의 주파수 간섭 현상을 제거하고, 탁월한 대전자전 기능을 보유허게 되었다.

펄스 변조기는 시스템 운용 모드에 맞게 증폭기 드레인 전원의 고속 스위칭을 갖도록 설계하였다. 일반 Class-A RF 증폭기를 이용하고, 펄스 변조기는

그림 1. X-대역 63 watts pulsed SSPA의 블록도

Fig. 1. The block diagram of X-band 63 watts pulsed SSPA.

그림 2. 90도 hybrid 평형 증폭기 구조
Fig. 2. The structure of 90-degree hybrid coupler.

그림 3. 위상과 이득 불일치에 따른 결합 손실 등치선
Fig. 3. Combiner loss contours for phase and amplitude imbalance.

시스템으로부터 트리거를 받은 후 일정 시간 이내에 동작되도록 하였다. 송신단 전체의 효율을 높이기 위해서 트리거 Off시(RF 신호 OFF) 전력을 소모하지 않도록 하였다. 즉, 트리거 ON시 RF 증폭기 구동, 트리거 Off시 RF 증폭기를 Off하는 방식으로 구동되는

그림 4. Pulsed SSPA의 동작 원리
Fig. 4. The operation principle of pulsed SSPA.

것이 펄스 변조기의 역할이다. pulsed SSPA의 동작 원리는 그림 4와 같다.

III. 블록별 설계

3-1 RF 기판 선정

고출력 SSPA 블록별 설계에 앞서서, 기판 선정을 신중하게 고려하여야 한다. 특히, 마이크로스트립 전송 선로상에서 허용 전력은 주로 두 가지 측면으로 고려되어진다. 첫 번째가 CW 모드인 경우이고, 나머지 하나는 펄스 모드 동작일 경우로 나뉘어진다. CW 모드인 경우는 주로 열 문제이고, Pulse 모드 경우는 유전체의 breakdown에 영향을 받게 된다. 본 설계에서는 펄스 모드로 동작되나, 허용 전력 측면에서 보다 열악한 조건인 CW 모드의 허용 전력 개념을 적용하여 기판을 선정하였다.

먼저 50 Ω 마이크로스트립 전송 선로상의 최대 평균 허용 전력은 도체 손실과 유전체 손실에 의해서 야기되는 열 증가와 열 전달 특성에 의해서 결정되어지며, 다음 식 (1), (2)와 같다.

$$\Delta T = \frac{0.2303h}{K} \left[\frac{\alpha_c}{w_{eff}} + \frac{\alpha_d}{2w_{eff}(f)} \right] \text{ } ^\circ\text{C/W} \quad (1)$$

$$P_{ma} = \frac{(T_{max} - T_{amb})}{\Delta T} \quad (2)$$

여기서 α_c 와 α_d 는 유전체 기판의 도체 손실, 유전체 손실이고, h 는 유전체 높이, w_{eff} 와 $w_{eff}(f)$ 는 실효 마이크로스트립 라인 폭과 주파수에 따른 폭 증감이며, K 는 유전체의 열전도성이다. 그리고, T_{max} 와 T_{amb} 는 최대 동작 온도와 주변 온도를 나타낸다. 식 (1), (2)에서와 같이 고출력용 RF 기판 선택 시 저손실과 높은 열전도성을 가지는 것이 좋다.

하지만, CW 고출력 증폭기 경우 RF 경로보다는 DC 바이어스 라인 쪽에 보다 더 신중한 고려가 필요하다^[3]. 회로상에서 DC 바이어스 라인(GaAs FET 경우, 드레인단)은 RF적으로 open 상태가 되어야 하고, 광대역 특성을 가지기 위해서는 높은 임피던스(좁은 패턴 폭)를 가져가야 한다. 그래서 대역폭 특성과 DC 전류를 허용할 수 있는 정도를 Trade-off하여야 한다. 마이크로스트립 전송 선로상의 DC 허용 전류는 다음과 같다.

표 1. RF 기판 특성(RT-duroid 6002)

Table 1. The property of the RF substrate(RT-duroid 6002).

항목	RT-duroid 6002 특성
기판 두께	20 mil(0.508 mm)
유전체 손실	0.0012
열전도	0.6 W/m/°K
RF 평균 허용 전력	72.3 W(@12 GHz, 50 Ω 기준)
DC 허용 전력	3.54A(97 Ω 기준)

$$I = W \cdot \sqrt{(K \cdot TC \cdot \Delta T / (G \cdot h))} \quad (3)$$

여기서, W 는 전송 선로의 폭이고, C 는 전송 선로 도체 두께이며, G 는 전송 선로 도체의 저항율이다. 실제 고출력 증폭기 설계 시 요구되는 전류 용량의 1.5배가 되도록 출력단 바이어스 라인을 설계하여 적용한다. 그리고, 고려해야 할 또 다른 항목은 유전체 상수 변동 범위이다. 상용 유전체 기판들은 유전체가 허용 변동 범위를 가지기 때문에 대역폭의 중심 주파수가 움직이게 된다. 특히, 유전율 상수 값이 높아지면 상대적으로 유전율 변동 범위가 커지게 되므로, HMC회로 설계 시 적절한 유전체 기판을 선정해야 한다. 상기의 변수들을 바탕으로 선정한 기판은 Rogers사 RT-Duroid 6002 기판을 선정하였으며, 이 기판의 가지는 평균 허용 전력 및 DC 허용 용량은 표 1과 같다.

3-2 RF 회로 설계

RF 증폭기 부분은 초단증폭기, 구동증폭기, 최종 출력단 증폭기로 구성하고 있다. 사용된 트랜지스터는 고출력 GaAs FET 소자를 사용하였다. 구동증폭부와 최종 출력 증폭부는 그림 1에서와 같이 90도 하이브리드 평형 증폭기 구조의 전력 분배/합성기를 적용하였다. 그리고 써미스터(thermistor)를 사용하여 온도 보상회로를 구현하였다. 입/출력단에는 역방향 전력 입력으로 인한 손상을 방지하기 위해서 아이솔레이터(isolator)들을 삽입하였다.

최근 RF 고출력 증폭기 설계에 대한 기술 수준이 상당히 발전하였지만, 설계 시 허용 오차에 대한 해석을 간과하여 실제 설계치와 실험치가 다른 경우를 경험하곤 한다. 여기서 허용 오차는 PCB 패턴 폭, 길이의 변화량, 그리고 하우징 제작상 오차로 인해 실

그림 5. RF 바이어스 회로

Fig. 5. RF bias circuit.

제 설계치와 측정치 사이에는 상당한 편차가 존재하게 된다. 본 논문에서는 이러한 허용 오차를 최대한 줄여 전체 SSPA 재현성, 안정성을 확보할 수 있도록 하였다. 특히 하우징에 대한 오차로 인해 야기될 수 있는 부분과 RF 고출력 트랜지스터가 부착되는 부분의 평탄도는 방열문제와 그라운드 성능을 좌우하는 중요 포인트이므로 신중한 설계가 요구된다.

RF 경로에서 DC 바이어스 라인은 개방(open)처럼 보이게 설계하여야 한다. 그림 5는 설계된 RF 바이어스 회로이며, 그림 6에 시뮬레이션 결과를 나타내었다. 해석 결과, 포트 1에서 2로 가는 경로는 RF 경로이고, 포트 3에서 1로는 DC 경로로써 전기적으로 단락처럼 동작하게 되는 것을 알 수 있다. 그림 7과 그림 8은 각각 Agilent사의 ADS Momentum을 이용하여 설계한 최종 출력단 전력합성기와 시뮬레이션 결과를 보여주고 있다. 그림 8을 보면 중심 주파수에서 삽입 손실이 각각 -3.418 dB와 -3.258 dB로 이득 차이가 0.16 dB로 양호한 설계 특성을 보였다.

초단증폭기 1, 2는 0.1 W급 트랜지스터를 이용하였고, 초단증폭기 3, 4는 1 W급 트랜지스터를 이용

그림 6. RF 바이어스 회로 시뮬레이션 결과

Fig. 6. Simulated results of RF bias circuit.

그림 7. 2단 전력합성기 레이아웃

Fig. 7. The layout of the 2-way power combiner.

그림 8. 2단 전력합성기의 시뮬레이션 결과

Fig. 8. The simulated result of 2-way power combiner.

그림 9. 설계된 HPA 펄스 gating 구조도

Fig. 9. The designed pulse gating schematic of HPA.

하여 설계하였다. 구동증폭기 1은 4 W급의 내부 50 Ω 매칭이 되어 있고, DC 바이어스 라인을 추가하여 설계하고, 구동증폭기 2, 3과 최종 출력단 증폭기는 내부 50 Ω 매칭된 8 W 소자를 평형 증폭기 형태로 적용하여 설계하였다.

그림 9에서와 같이 증폭기 소자를 안정적으로 구동시키기 위해서 전원 및 전류를 공급할 수 있는 바이어스 회로와 펄스 구동 회로를 통해 pulsed SSPA를 구현하였다. 또한, 극한의 온도에서도 균일한 출력 특성을 갖기 위해서 게이트(gate) 단에 온도가 높아지면 저항값이 감소하는 NTC 써미스터(Negative

그림 10. 제작된 전력합성기

Fig. 10. The fabricated power combiner.

그림 11. 전력합성기 측정 결과

Fig. 11. The result of power combiner.

Temperature Coefficient Thermistor)를 두어 고온에서 저하되는 RF 출력을 높이는 효과를 가지게 했다.

고출력 전력증폭기 구현에 있어서 전력 합성에 가장 중요한 90도 하이브리드 전력합성기의 단품을 측정하였다. 그림 10과 그림 11은 각각 제작된 전력합성기와 측정된 결과를 보여주고 있다. 그림 11를 보면 삽입 손실이 0.5 dB 정도로 아주 양호한 특성을 얻을 수 있었다. 0.5 dB에는 커넥터 손실까지 포함된 값이기 때문에 실제 0.3 dB 정도의 삽입 손실 특성을 보였다.

Pulsed SSPA의 초단 증폭기의 증폭기는 그림 12와 같이 0.1 W급으로 설계/제작되었고, 그 다음 증폭기는 그림 14와 같이 1 W급으로 설계/제작하였다. 측정 결과는 각각 그림 13, 15로 동작 주파수 대역에서 각각 8 dB 정도의 이득을 얻을 수 있었고, 출력

그림 12. 제작된 0.1 W 전력증폭기
Fig. 12. The fabricated 0.1 W power amplifier.

그림 13. 0.1 W 전력증폭기 측정 결과
Fig. 13. The result of 0.1 W power amplifier.

그림 14. 제작된 1 W 전력증폭기
Fig. 14. The fabricated 1 W power amplifier.

그림 15. 1 W 전력증폭기 측정 결과
Fig. 15. The result of 1 W power amplifier.

또한, 예측대로 각각 0.1 W 및 1 W를 얻을 수 있었다. 그림 16은 내부 50 Ω 매칭이 되어 있는 4 W 전

그림 16. 제작된 4 W 전력증폭기
Fig. 16. The fabricated 4 W power amplifier.

그림 17. 4 W 전력증폭기 측정 결과
Fig. 17. The result of 4 W power amplifier.

그림 18. 제작된 8 W 전력증폭기
Fig. 18. The fabricated 8 W power amplifier.

그림 19. 8 W 전력증폭기 측정 결과
Fig. 19. The result of 8 W power amplifier.

력증폭기를 입/출력단에 바이어스 회로를 추가하여 설계/제작하였다. 측정 결과는 그림 17과 같다.

그림 20. 제작된 16 W 평형 전력증폭기
Fig. 20. The fabricated 16 W balanced power amplifier.

그림 21. 16 W 평형 전력증폭기 측정 결과
Fig. 21. The result of 16 W balanced power amplifier.

그림 18은 8 W 전력증폭기, 그림 20은 8 W 전력증폭기를 평형증폭기 구조로 설계하여 16 W급 전력증폭기로 설계/제작하였으며, 측정 결과는 그림 19, 21과 같다.

IV. X-대역 63 W Pulsed SSPA 측정 및 분석

본 논문에서는 전체 모듈 특성을 분석하기 위해 주요 측정 파라미터들을 통해 측정/분석하였다. 그림 22는 전체 모듈의 송신 출력 펄스 특성을 보여주고 있다. 펄스 폭 500 ns에서 최대 47.85 dBm(75 watt)으로 측정되었다. 중심 주파수에서 시간상의 pulsed RF 송신 출력을 측정한 결과이다. 그림 23은 온도 변화에 따른 송신 출력을 측정한 것이다. 저온 -40도에서 고온 +70도까지 범위에서 균일한 송신 출력을 얻기 위해 게이트 단에 NTC 써미스터를 두었다. 고온에서 써미스터 저항값이 작게 되어 게이트 전압을 높여 드레인 전류를 조금 많이 흐르게 하여 전 온도 구간에서 균일한 송신 출력을 얻을 수 있

그림 22. 송신 출력 파형
Fig. 22. Waveform of the transmit output.

그림 23. 온도 변화에 따른 송신 출력
Fig. 23. Transmit power as the variation of temperature.

었다. 온도간 송신 출력 편차는 0.2 dB로 아주 양호한 결과를 얻을 수 있었다.

그림 24는 전체 pulsed SSPA의 입출력 반사계수 측정 결과이며, -20 dB 이하의 우수한 특성을 보였다. 그림 25는 전체 모듈의 스펙트럼 특성을 보여주고 있다. 펄스 도플러 레이더에서 일정 펄스 반복주기를 가지는 시스템에서 이상적으로 양쪽 2번째 부엽 레벨이 13.3 dB로 나타나게 된다. 측정 결과 또한, 이에 근접한 수치를 볼 수 있어 양호한 특성을 보임을 알 수 있다.

그림 26은 전체 모듈의 송신 지연 시간을 측정한 것이다. 송신 구동 구간 동안 드레인 전원을 인가하는 신호가 pulsed SSPA에 들어가지만 실제 RF 신호는 전력증폭기들의 안정화 시간을 지나고 나서 증폭

그림 24. 측정된 입출력 포트의 반사계수

Fig. 24. The measured return loss of input and output port.

그림 25. Pulsed SSPA 스펙트럼

Fig. 25. The pulsed SSPA spectrum.

그림 26. Pulsed SSPA의 송신 지연 시간

Fig. 26. Transmit delay time of pulsed SSPA.

된다. 그림 26은 송신 출력 On 신호를 인가하고 모
들 입력단에 RF CW 신호를 주입하여 송신 인가 신

(a) 상부 모듈

(a) Upper module

(b) 하부 모듈

(b) Lower module

(c) 외부 형상

(c) External view

그림 27. 제작된 pulsed SSPA

Fig. 27. The fabricated pulsed SSPA.

표 2. X-대역 63 W pulsed SSPA 성능

Table 2. The performance of X-band 63 watt pulsed SSPA.

항목	설계 목표치	측정치
대역폭	3 %	3 %
이득	37 dB 이상	37.3 dB
송신 출력	47 dBm 이상	47.8 dBm
듀티	1.5 % 이하	1.5 % 이하
전력 소모	12 watt (28 VDC/428 mA)	11 watt (28 VDC/400 mA)

호 후 얼마 동안 지연되어 RF 신호가 증폭되는지를
측정한 것이다. 지연 시간은 104 ns 정도 지연됨을
알 수가 있다. 이 시간을 기준으로 하여 RF 신호가
들어오는 시간보다 송신 출력 On 인가 신호 타이밍
을 104 ns 빨리 인가하도록 레이더 시스템을 구현함
으로써 고속의 pulsed SSPA를 구현할 수 있다.

고전력 GaAs FET 소자들을 HMIC화하여 제작된
레이더용 X-대역 63 watt pulsed SSPA의 형상은 그림
27과 같고, 크기는 $7.5'' \times 7.9'' \times 1.6''$ 이다. 그리고 제작된
pulsed SSPA의 전체 성능 대비 측정 결과는 표 2와
같다.

V. 결 론

본 논문에서는 레이더용 X-대역 63 watt pulsed

SSPA를 설계, 제작하였다. 실험 결과, 모든 대역에서 47.8 dBm(63 watt) 이상의 송신 출력과 37.3 dB 이상의 전력이득을 보여, 설계 목표치를 모두 만족하였다. 그리고, 레이더 시스템에서 요구되어지는 고속 펄스 변조기 특성도 만족하였다. 특히 전력 분배/합성기의 특성이 우수하여, 제작된 pulsed SSPA의 재현성 및 안정성을 확인할 수 있었다. 특히 증폭기 게이트단에 써미스터를 두어 온도에 따라 저하되는 송신출력을 보상하는 회로를 두어 전 온도 범위에서 송신 출력 편차가 0.2 dB의 성능을 보였다. 또한, AB 급 바이어스 조건 하에서 증폭기 드레인 스위칭을 통해 효율을 높이는 구조를 적용하여 소모전력 12 watt를 만족할 수 있었다.

최근 pulsed SSPA는 소형 경량, 저 전력 소모를 필요로 하는 각종 레이더, 위성 통신 등에 사용되는

경향이 증가하고 있는 추세이다. 특히, 반도체 기술의 발달로 SSPA를 적용하는 시스템이 증가하고 있고, 유지 보수뿐만 아니라 수명이 반영구적이어서 tube 송신기 대응으로 아주 각광을 받고 있다. 또한, 출력 크기를 높인다면 선배열 능동 위상 배열 레이더 시스템에 적용할 수 있을 것으로 기대된다.

참 고 문 헌

- [1] John L. B. Walker, *High-power GaAs FET Amplifier*, Artech House, Inc., 1993.
- [2] Merrill I. Skolnik, *Introduction to Radar System*, 3th Ed, McGraw-Hill, 2001.
- [3] T. C. Eward, *Foundations for Microstrip Circuit Design*, John Wiley & Sons, Inc., 1992.

정 민 길

1994년 2월: 경상대학교 전자공학과 (공학사)
1996년 2월: 경상대학교 전자공학과 (공학석사)
1996년 7월~현재: LIG넥스원(주) 수석연구원
[주 관심분야] 초고주파 회로 및 시스템, 능동 위상배열 레이더

나 형 기

1991년 2월: 포항공과대학교 전자전기공학과 (공학사)
1993년 2월: 포항공과대학교 전자전기공학과 (공학석사)
1996년 2월: 포항공과대학교 전자전기공학과 (공학박사)
1996년 1월~현재: LIG넥스원(주), 선임연구원, 책임연구원, 수석연구원(ISR연구센터 5팀장)
[주 관심분야] 안테나 및 능동위상배열 레이더