무전해 식각법으로 합성한 Si 나노와이어 Field Effect Transistor 유연소자의 특성

이상훈 · 문경주 · 황성환 · 이태일 · 명재민[†]

연세대학교 신소재공학과 정보전자재료연구실

Electrical Properties of Flexible Field Effect Transistor Devices Composed of Si Nanowire by Electroless Etching Method

Sang-Hoon Lee, Kyeong-Ju Moon, Sung-Hwan Hwang, Tae-Il Lee and Jae-Min Myoung[†]

Information and Electronic Materials Research Laboratory, Department of Materials Science and Engineering,
Yonsei University, 134 Shinchon-Dong, Seoul 120-749, Korea

(2010년 12월 23일 접수 : 2011년 1월 7일 최종수정 : 2011년 1월 10일 채택)

Abstract Si Nanowire (NW) field effect transistors (FETs) were fabricated on hard Si and flexible polyimide (PI) substrates, and their electrical characteristics were compared. Si NWs used as channels were synthesized by electroless etching method at low temperature, and these NWs were refined using a centrifugation method to get the NWs to have an optimal diameter and length for FETs. The gate insulator was poly(4-vinylphenol) (PVP), prepared using a spin-coating method on the PI substrate. Gold was used as electrodes whose gap was 8 μm . These gold electrodes were deposited using a thermal evaporator. Current-voltage (I-V) characteristics of the device were measured using a semiconductor analyzer, HP-4145B. The electrical properties of the device were characterized through hole mobility, $I_{\text{on}}/I_{\text{off}}$ ratio and threshold voltage. The results showed that the electrical properties of the TFTs on PVP were similar to those of TFTs on SiO_2 . The bending durability of SiNWs TFTs on PI substrate was also studied with increasing bending times. The results showed that the electrical properties were maintained until the sample was folded about 500 times. But, after more than 1000 bending tests, drain current showed a rapid decrease due to the defects caused by the roughness of the surface of the Si NWs and mismatches of the Si NWs with electrodes.

Key words Si nanowire, FET device, flexible substrate, electrical properties.

1. 서 론

최근의 나노기술은 물리학, 화학, 공학 및 의학 등 모든 학문 분야에서 초미의 관심사로써 가까운 미래에 정보전자, 소재, 의학, 환경 및 에너지 등의 전 응용 분야에서 기술적 진보의 방향을 획기적으로 바꿀 수 있는 돌파구로 인식 되고 있다.¹⁻³⁾ 이러한 기술적인 관심 속에서 나노와이어는 기존의 재료들의 역할을 대신하면서 트랜지스터를 포함한 많은 분야에서의 발전에 일조 하고 있다.^{4,5)}

기존의 3차원 혹은 2차원 형태의 무기재료의 경우 형태가 변형되거나 외부에서 힘이 가해질 경우 재료의 결함으로 인하여 소자가 손상되기 때문에 이를 방지하기 위하여 단단한 기판을 이용한 트랜지스터가 제작되었다. 하지만 다양한 산업 기반에 트랜지스터 소자가 접목되면서 접을 수 있고 구길 수도 있는 재료에 대한 요구가 증가

하고 있다. 이러한 기류를 바탕으로 기존의 무기 트랜지스터 구조 대신 유연한 성질을 갖는 1차원 무기 나노와이어를 트랜지스터의 재료로 사용함으로써 유연한 소자에 대한 응용의 가능성이 기대되고 있다.^{6,7)}

본 연구에서는 유연한 성질을 갖는 반도체 물질로서 무전해 식각법을 이용한 p-type Si 나노와이어를 합성하여 field-effect transistor (FET) 소자를 제작하고 그 전기적 특성을 평가하였다. 유연한 성질을 갖는 polyimide (PI) 기판을 사용하여 유연소자의 구조를 설계하고 제작하였으며 기존의 단단한 Si 기판을 이용한 소자와의 전기적 특성을 비교하였다. 제작된 유연소자의 안정성을 평가하기 위한 bending 실험으로 bending 횟수를 변화시켜가면서 전기적 특성의 변화를 분석하였다.

2. 실험 방법

나노와이어 합성을 위한 Si 기판은 기판 위의 유기물과

[†]Corresponding author

E-Mail : jmmyoung@yonsei.ac.kr (J. -M. Myoung)

산화물을 제거하기 위하여 각각 RCA 세척법과 10% HF 용액을 이용하여 준비하였다. 나노와이어 합성에 사용된 Si 기판은 B가 도핑 된 $1-10 \Omega \cdot \text{cm}$ 저항을 갖는 p-type의 (100) 방향의 기판을 사용하였다. 무전해 식각법을 이용한 Si 나노와이어 합성을 위한 촉매로 사용될 Ag 나노입자는 무전해 금속 증착법을 이용하여 Si 기판 위에 증착하였다. 10%의 HF와 0.02 M의 AgNO_3 혼합용액에 세척된 Si 기판을 넣어 1분 동안 Ag 나노입자를 코팅한 후 여분의 Ag 나노입자는 deionized (DI) water로 씻어 제거하였다. Si를 무전해 식각하기 위하여 10%의 HF와 0.6%의 H_2O_2 혼합용액을 만들고, Ag 나노 입자가 증착된 Si 기판을 이 혼합용액 속에 50°C 에서 2시간 동안 넣어 식각해 주었다. 식각을 통하여 합성된 Si 나노와이어는 10% HF용액에 넣어 산화 막을 제거해 주고 DI water를 이용하여 HF용액을 제거한 다음 N_2 로 건조하였다.

제작된 Si 나노와이어의 전기적 특성을 파악하기 위하여 FET 소자를 제작하였다. 과도핑된 p-type Si 기판을 하부 게이트로 사용하였고 그 위에 건식 산화된 SiO_2 300 nm를 게이트 절연막으로 이용하였다. 합성된 Si 나노와이어는 기판에서 떼어 내어 이소프로필 알코올에 넣고 초음파를 이용하여 분산시켜 준 후, 채널로서 사용하기 위하여 SiO_2 산화 막 위에 떨어뜨려주었다. 전극은 source와 drain의 간격이 $8 \mu\text{m}$ 인 shadow 마스크를 이용하여 Au를 200 nm 두께로 thermal evaporation 방법을 통하여 증착시켰다.

유연기판 위에서 Si 나노와이어를 이용한 FET 소자의 안정성을 평가하기 위하여 기판으로 PI를 사용하였다. 하부 게이트로는 PI 기판 위에 Al을 thermal evaporation 방법을 이용하여 200 nm 두께로 증착시켰다. 게이트 절연막은 poly(4-vinylphenol) (PVP)을 polypylene glycol monomethyl ether acetate (PGMEA) 용매와 poly(melamin-co-formaldehyde) (MMF) 경화제를 혼합하여 만든 10 wt%의 용액을 Al 게이트 위에 스핀코팅 하였다. 코팅된 PVP층은 175°C 의 오븐에서 1시간 동안 열처리하여 경화시켰다. Si 나노와이어를 게이트 절연막 위에 분포시키기 위한 방법으로, 나노와이어가 분산된 용매인 이소프로필 알코올에 의한 게이트 절연막의 손상을 막기 위하여 슬라이드 유리 위에 나노와이어를 먼저 분포 시킨 후 이를 poly(dimethylsiloxane) (PDMS)에 찍어 낸 다음 PVP 층 위로 옮겨주었다. 마찬가지로 source와 drain 전극은 간격이 $8 \mu\text{m}$ 인 Au를 이용하였다.

합성된 Si 나노와이어의 구조를 확인하기 위하여 field-emission scanning electron microscopy (FESEM, Hitachi S2400)를 이용하여 분석하였다. 제작된 FET 소자의 경우 반도체 소자 분석기인 HP-4145B를 이용하여 상온에서 전압을 인가하여 전류-전압(I-V) 곡선을 측정하였다. 유연기판에 제작한 FET 소자는 bending 횟수를 1500회까지 증

가시켜가며 I-V를 측정하면서 전기적 특성 변화를 관찰하였다.

3. 결과 및 고찰

Fig. 1(a)는 무전해 식각법을 이용하여 합성된 Si 나노와이어를 SEM으로 관찰한 미세구조이다. 50°C 의 온도에서 2시간 동안 나노와이어를 식각하였을 때, 길이 $100 \mu\text{m}$, 지름 10-300 nm의 나노와이어가 기판으로부터 수직배열된 상태로 합성되었음을 확인할 수 있다. Fig. 1(b)는 합성된 Si 나노와이어를 이용하여 Si 기판 위에 만든 FET소자를 위에서 본 SEM 사진이다. 채널로 사용된 Si 나노와이어가 SiO_2 게이트 절연막 위에 놓여있고, 그 나노와이어를 $8 \mu\text{m}$ 간격으로 경계된 source와 drain의 Au 전극이 덮여 있고 있는 모습을 확인할 수 있다. 그리고 이때의 전극 사이에서 유효한 나노와이어 채널 영역은 약 $10 \mu\text{m}$ 길이를 갖고, 나노와이어의 지름은 150 nm 임이 확인되었다.

이렇게 Si 기판 위에서 제작된 FET의 전기적 특성은 I-V 측정을 통하여 분석하였다. Fig. 1(c)는 게이트 전압(V_g)을 0 V 부터 -40 V 까지 -10 V 의 단계로 변화시켜가며 측정한 output 곡선 ($I_{ds}-V_{ds}$) 그래프 이다. 이를 통하여 합성된 Si 나노와이어는 전형적인 p-type 특성을 갖는 것을 확인할 수 있다. 또한 무전해 식각법을 이용하여 합성된 Si 나노와이어는 Au와 Ohmic contact 갖는다. Transfer 곡선 ($I_{ds}-V_g$)은 -0.5 V 의 source-drain 전압(V_{ds})에서 측정하였다(Fig. 1(d)). Transfer 곡선 분석을 통하여 I_{on}/I_{off} ratio, 문턱전압(V_{th})은 각각 8×10^5 과 5 V 임을 확인할 수 있었다. 나노와이어에 적용되는 capacitance (C)는 식 $C = 2\pi\epsilon\epsilon_0 L / \ln(2h/r)$ 으로 주어지는데, ϵ 는 유전 상수, ϵ_0 는 자유공간에서의 유전율, h 는 절연막의 두께, 그리고 r 과 L 은 각각 나노와이어의 반지름과 채널 영역의 길이를 나타낸다. 이때, SiO_2 의 ϵ 는 유효 유전상수 값을 적용하였으며 그 값은 2.2 이다.⁸⁾ 이를 바탕으로 나노와이어의 hole concentration (n_h)은 식 $n_h = CV_{th} / e\pi r^2 L$ 으로부터 계산할 수 있으며 C와 전하량(e)을 대입하였을 때 $1.1 \times 10^{17} \text{ cm}^{-3}$ 값을 갖는다. 한편 나노와이어의 이동도(μ_{eff})는 식 $dI/dV_g = \mu_{eff} \times (C/L^2) \times V_{ds}$ 으로부터 계산할 수 있으며 $30 \text{ cm}^2/\text{V} \cdot \text{s}$ 값을 갖는다.⁹⁾ 그리고 이때의 subthreshold swing (S)는 $S = dv_g/d(\log I_{ds})$ 로부터 6.2 임을 확인할 수 있다.¹⁰⁾

Si 나노와이어의 유연소자에서 특성을 분석하기 위하여 Fig. 2(a)와 같은 구조의 FET 소자를 제작하였다. 기판은 PVP의 경화온도에서도 손상이 없고 유연한 성질을 갖는 PI 기판을 사용하였으며 그 위에 하부 게이트 전극으로 Al을, 그리고 게이트 절연막은 유연한 성질의 유기물인 PVP를 사용하였다. Output 곡선은 게이트 전압(V_g)을 0 V 부터 -40 V

Fig. 1. (a) SEM image of Si nanowires fabricated by aqueous solution method, (b) SEM image of the Si nanowire FET segment, (c) output curve and (d) transfer curve of FET on Si substrate.

Fig. 2. (a) Schematic diagram of Si nanowire FET devices, (b) output curve and (c) transfer curve of FET on PI substrate.

Fig. 3. (a) Image of bending stability test system and (b) transfer curves of Si nanowire FET on the PI substrate with different bending times.

까지 -10 V의 단계로 변화시켜 가며 측정하였고, Au 전극을 사용하였을 때 Ohmic contact를 갖는 것을 확인하였다 (Fig. 2(b)). Transfer 곡선은 -0.5 V의 source-drain 전압 (V_{ds})에서 측정하였으며 (Fig. 2(c)), I_{on}/I_{off} ratio와 V_{th} 는 각각 2×10^5 과 10.7 V임을 확인 할 수 있었다. PVP의 유전상수 4.1값을 적용하였을 때, 나노와이어의 n_h 와 μ_{eff} , 그리고 S 값은 각각 $2.2 \times 10^{17} \text{ cm}^{-3}$, $27 \text{ cm}^2/\text{V} \cdot \text{s}$, 그리고 8.1 이다.

유연 기판을 이용하여 제작한 FET 소자의 경우 Si 기판을 이용한 소자에 비하여 μ_{eff} 의 차이는 크게 나타나지 않았지만, V_{th} 및 S 값이 상당히 커진 것을 확인 할 수 있었다. V_{th} 값의 변화는 일반적으로 나노와이어의 결함이 증가함에 따라 그 값이 커지게 되는데,¹¹⁾ 나노와이어와 게이트 절연막 사이의 계면에 있어서 SiO_2 막에 비하여 PVP 막의 거친 표면이 나노와이어와 게이트 절연막 사이의 결함을 증가시킴으로써 나타나는 결과라고 판단된다. 또한 S 값의 증가는 Au의 나쁜 접촉특성에 의하여 나노와이어와

전극 계면 사이 결함의 증가에 의한 것으로 예상된다.

유연 기판을 사용한 FET 소자의 안정성을 평가하기 위해서 bending 횟수를 증가시켜 가며 I-V를 측정하였다. Bending 시험은 Fig. 3(a)와 같이 2×2 cm의 기판을 기준으로 끝 단의 간격을 1 cm까지 좁히는 왕복운동으로 진행하였다. Bending 횟수에 따른 Si 나노와이어 FET 소자의 전기적 특성 변화를 transfer 곡선 그래프로 Fig. 4(b)에 나타내었다. 그 결과, 500 회까지의 bending 시험에서는 전기적 특성이 초기의 특성과 크게 차이가 없었지만, 1000회 이상부터 전류량이 감소하기 시작하여 1500회까지 I_{on}/I_{off} ratio와 μ_{eff} 가 8×10^3 과 $16 \text{ cm}^2/\text{V} \cdot \text{s}$ 으로 크게 감소되었다. 이는 bending에 따른 나노와이어 자체의 결함의 증가와 나노와이어와 게이트 절연막, 그리고 나노와이어와 전극사이의 계면에서의 결함에 의한 것으로 판단된다.

4. 결 론

단단한 Si 기판 대신 유연한 PI 기판을 사용한 FET 소자의 경우 나노와이어의 이동도 차이는 크게 없었으나 V_{th} 와 S 값이 크게 증가하는 것을 확인 할 수 있었다. 이는 PVP와 나노와이어 사이의 계면 및 전극과 나노와이어 사이의 계면에서 결함이 증가한 때문으로 생각된다. 유연 기판에 제작한 FET 소자의 안정성을 시험한 결과, 500회의 bending 횟수에서는 안정적인 전기적 특성을 보였지만 1000회 이상부터 전기적 특성이 감소하기 시작하여 1500회의 bending 횟수에서는 초기 소자보다 약 1/2배만큼 이동도와 I_{on}/I_{off} ratio가 감소하는 것을 확인 할 수 있었다. 이는 나노와이어의 결함 증가뿐만 아니라 나노와이어와 절연막 및 전극 사이의 계면에서의 결함에 의한 것으로 판단된다. 이러한 특성 변화를 방지하기 위해서는 소자의 passivation 및 구조 변화를 통하여 안정성을 보다 높일 수 있을 것으로 기대된다.

감사의 글

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음 [10030559, 차세대 고성능 유기나노 소재 및 프린팅 공정기술 개발].

참 고 문 헌

1. M. H. Huang, S. Mao, H. Feick, H. Yan, Y. Wu, H. Kind, E. Weber, R. Russo and P. Yang, Science, **292**, 1897 (2001).
2. X. Duan, Y. Huang, Y. Cui, J. Wang and C. M. Lieber, Nature, **409**, 66 (2001).

3. K. J. Moon, J. H. Choi, J. P. Kar and J. M. Myoung, Kor. J. Mater. Res., **19**(1), 33 (2009) (in Korean).
4. A. Dodabalapur, L. Torsi and H. E. Katz, Science, **268**, 270 (1995).
5. C. D. Dimitrakopoulos, A. R. Brown and A. Pomp, J. Appl. Phys., **80**(4), 2501 (1996).
6. J. Chen and R. Könenkamp, Appl. Phys. Lett., **82**, 4782 (2003).
7. K. J. Lee, J. Lee, H. Hwang, Z. J. Reitmeier, R. F. Davis, J. A. Rogers and R. G. Nuzzo, Small, **1**, 1164 (2005).
8. O. Wunnicke, Appl. Phys. Lett., **89**, 083102 (2006).
9. J. W. Lee, K. J. Moon, M. H. Ham and J. M. Myoung, Solid State Comm., **148**, 194 (2008).
10. K. J. Moon, J. H. Choi, T. I. Lee, M. H. Ham, W. J. Maeng, I. Hwang, H. Kim and J. M. Myoung, Microelectron. Eng., **87**, 2407 (2010).
11. W. K. Hong, D. K. Hwang, I. K. Park, G. Jo, S. Song, S. J. Park, T. Lee, B. J. Kim and E. A. Stach, Appl. Phys. Lett., **90**, 243103 (2007).