구리 박막의 표면형상과 물성에 대한 전류밀도 영향

우태규* · 박일송* · 정광희* · 설경원***†

*전북대학교 공과대학 신소재공학부

**전북대학교 공과대학 신소재개발연구센터

Property and Surface Morphology of Copper Foil on the Current Density

Tae-Gyu Woo*, Il-Song Park*, Kwang-Hee Jung* and Kyeong-Won Seol***†

*Division of Advanced Materials Engineering, College of Engineering, Chonbuk National University, Chonju, Chonbuk, 561-756, Korea

**Research Center of Advanced Materials Development, College of Engineering, Chonbuk National University, Chonju, Chonbuk, 561-756, Korea

(2010년 9월 18일 접수 : 2010년 10월 11일 최종수정 : 2010년 10월 12일 채택)

Abstract This study examined the effect of current density on the surface morphology and physical properties of copper plated on a polyimide (PI) film. The morphology, crystal structure, and electric characteristics of the electrodeposited copper foil were examined by scanning electron microscopy, X-ray diffraction, and a four-point probe, respectively. The surface roughness, crystal growth orientation and resistivity was controlled using current density. Large particles were observed on the surface of the copper layer electroplated onto a current density of 25 mA/cm². However, a uniform surface and lower resistivity were obtained with a current density of 10 mA/cm². One of the important properties of FCCL is the flexibility of the copper foil. High flexibility of FCCL was obtained at a low current density rather than a high current density. Moreover, a reasonable current density is 20 mA/cm² considering the productivity and mechanical properties of copper foil.

Key words current density, peel strength, resistivity, flexibility, plating.

1. 서 론

반도체 소자의 성능이 향상되고 고밀도화, 고속도화 및 다기능화 됨에 따라 각기 새로운 재료와 공정기술의 개발을 필요로 하고 있다.¹⁾ 특히, 소자간의 전기적 연결을 위한 금속배선 형성 공정에 있어서 접촉부 및 금속선의 선평이 10 μm 이하로 작아짐에 따라 기존의 배선 재료와 공정 기술을 적용하는데 많은 문제점이 나타나고 있다.²⁾ 배선재료가 갖추어야 할 조건은 전도성, 오믹접촉(Ohmic contact)형성, 기지와와의 결합력, 공정의 용이성, 신뢰성, electromigration (EM)에 대한 내성 등 여러 가지가 있다.^{2,3)} 그러나 소자 크기의 감소로 인한 배선 전류밀도의 증가로 생기는 소자 구동 전압의 손실을 줄이고 배선과 기관과의 정전 용량으로 인한 신호 전달지연(RC delay)을 감소시키기 위하여 배선 재료의 비저항을 줄이는 것이 매우 중요하다.^{1,4)}

현재 배선 물질로 사용되고 있는 구리의 경우 Al의 경우 보다 좋은 특성을 가지고 있어 차세대 반도체 집적회로의 상부배선 재료로서 각광을 받고 있으며 이에 대한 연구가 활발히 이루어지고 있으나⁵⁻¹⁰⁾ 반드시 해결해야 하는 몇 가지 문제점들을 갖고 있다. 그 중 하나는 유전막(고분자 수지)이나 Si를 통해 확산함으로써 소자의 전기적 특성을 떨어뜨린다는 문제이다.¹¹⁾ 이를 방지하기 위해 확산 방지막 및 고분자 수지와와의 계면 결합력을 높이기 위하여 Ti, Ni, Cr, W, Ta 등의 재료들이 연구되고 있다.¹¹⁻¹⁴⁾

전해도금법은 결정 성장속도가 빠르며, 화학적 반응이 비교적 간단하고 취급이 쉬우며 양호한 막질을 얻을 수 있으므로 유지보수 비용도 매우 낮은 장점을 가지고 있다.¹⁵⁾ 이러한 전해도금법을 이용하여 구리 박막 제조시 표면 형상과 구조 및 전기적 특성은 음극 전압, 전류밀도, 첨가제, 전해액의 조성 등과 같은 다양한 도금 변수에 영향을 받는다. 또한 어떤 금속을 기지로 사용하느냐에 따라 구리 핵 생성 및 결정성장에 영향을 미치고 동일 금속을 사용하는 경우에도 기지의 표면 상태에 따라 전착층의 표면형상 및 결정구조에 영향을 미치는 것으로 알려져 있

†Corresponding author
E-Mail : kwseol@jbnu.ac.kr (K. -W. Seol)

다.¹⁶⁻¹⁸⁾ 따라서 본 논문에서는 폴리이미드 베이스 필름 위에 스퍼터 방식을 이용하여 seed layer 형성한 후 전해도금법을 이용하여 배선금속을 전착하였다. 이때 전류밀도를 달리하여 전착층의 결정구조 및 전기적 특성에 미치는 영향에 대하여 살펴 보았다.

2. 실험 방법

플라즈마 표면처리를 하기 위하여 38 μm 두께의 폴리이미드 필름 (Kapton E, Du Pont, U.S.A.)을 플라즈마 장치의 챔버속에 장입한 다음 초기진공을 2×10^{-2} torr 이하로 떨어뜨린 후 99.999%의 N_2 기체를 100 sccm으로 흘려 압력을 1.5×10^{-1} torr로 유지하게 하였다. 플라즈마 처리는 RF 플라즈마 장치를 이용하여 500 W, 5분간 실시하였다. 스퍼터 공정은 니켈과 구리 모두 RF 마그네트론 스퍼터 (Magnetron Sputter)를 이용하여 PI필름 위에 니켈은 50 nm로 구리는 200 nm로 증착하였으며, 전해도금은 1000 mL의 전해액을 이중 비이커를 이용하여 도금이 진행되는 동안 50°C로 일정하게 유지하였다. 전해액의 조성은 Cu 50 g/L, H_2SO_4 100 g/L이었으며, 반응 촉진제인 첨가제 A를 20 ppm, leverler인 첨가제 B를 100 ppm을 첨가하였다. 전류밀도를 10~25 mA/cm^2 로 증가시키면서 10 μm 두께의 구리층을 형성하였다. 구리 전착층의 표면형상을 관찰하기 위하여 주사전자현미경(SEM, JSM-5900, JEOL, Japan)을 사용하였으며, 결정구조를 관찰하기 위하여 XRD (Dmax III-A type, Rigaku Co., Japan)장치를 이용하였다. 표면조도와 비저항을 측정하기 위하여 표면조도 측정기(SV-3000M4, Mitutoyo, Japan)와 four-point probe (CMT-SR1000N, AIT, Korea)장치를 사용하였다. PI 필름과 금속층간의 계면 결합력을 측정하기 위하여 만능시험기(Instron 5569, Instron, U.S.A)를 이용하여 T-peel 테스트를 진행하였다. 또한 전류밀도에 따른 물성 영향성을 평가하기 위하여 Minitab 통계프로그램을 활용하였다.

3. 결과 및 고찰

Fig. 1은 전해액 조성 50/100, 전해액 온도 50°C, 첨가

Fig. 1. SEM micrographs of 10 μm thickness copper foil deposited on the various current density; (a): 10 mA/cm^2 , (b) 20 mA/cm^2 and (c) 25 mA/cm^2 .

제 A 20 ppm, 첨가제 B 100 ppm을 첨가한 전해액을 사용하여 전류밀도를 달리 하여 구리 전해도금한 표면을 SEM장치를 이용하여 분석한 결과이다. 전류밀도가 증가되면서 전착층 표면의 결정들의 크기가 증가 되면서 표면 요철이 심화 되는 현상을 보이고 있다. 이러한 표면의 거칠기를 Fig. 2에 나타내었다. 전류밀도 증가함에 따라 표면의 큰결정의 수와 크기가 증가되면서 표면 거칠기가 선형적으로 증가되고 있다.

Fig. 3은 전착층의 결정구조를 알아보기 위하여 XRD 장치를 이용하여 측정된 결과이다. 전해도금시 전류밀도의 증가함에 따라 (111), (200) peak이 감소하고 (220) peak이 증가하였다. 좀더 구체적인 결정방위에 대하여 알아보기 위하여 Yoshimura 등⁵⁾이 제안한 orientation index (M)을 통하여 평가하여 Fig. 4에 나타내었다. (111)면을 갖는 시편의 경우 다음과 같은 방법으로 orientation index (M)를 계산되었다.

$$\text{IFR}(111) = \text{IF}(111) / \{\text{IF}(111) + \text{IF}(200) + \text{IF}(220) + \text{IF}(311)\}$$

$$\text{IR}(111) = \text{I}(111) / \{\text{I}(111) + \text{I}(200) + \text{I}(220) + \text{I}(311)\}$$

$$\text{M}(111) = \text{IR}(111) / \text{IFR}(111)$$

IF(111)은 JCPDS cards 에서의 XRD 강도이며 I(111)은 실험값이다. 만약 M 값이 1보다 큰 수를 가지고 있으면, 이것은 (111)면에 평행한 우선방위를 가지는 것이고, M 값

Fig. 2. Surface roughness (R_z) of 10 μm thickness copper foil deposited on the various current density.

Fig. 3. Surface XRD spectra measured on the electrodeposited copper surface for the various current density.

Fig. 4. Orientation index (M) of copper foil on the various current density.

이 1보다 작은 값을 가지는 경우에는 우선방위가 감소한다는 것을 나타낸다. 전류밀도 증가는 주성장 방향을 (111) 면에서 (220)면으로 변화를 야기 시키며 이러한 현상은 전류밀도 20 mA/cm²에서 25 mA/cm²로 증가되면서 급격하게 진행 되었다. 이러한 결정구조의 변화는 전착층의 표면의 형상과 밀접한 상관관계를 가지는 것으로 보여 진다.

Fig. 5는 전류밀도 증가에 따른 구리 전착층의 비저항을 측정한 결과이다. 전류밀도가 증가되면서 구리 전착층의 비저항은 증가하고 있으며, 이는 일반적인 벌크상태의 구리의 비저항 1.67 $\mu\Omega\cdot\text{cm}$ 에 대하여 매우 높은 수치이다. Kuan 등¹⁹⁾에 따르면 표면 거칠기를 상수 S를 근사식에 사용하여 전기 비저항 값을 산출 할 수 있다고 제안하였다. 이 S는 실험에 근거를 둔 상수로 1보다 크며 표면산란에 관한 식에 곱해서 나타낸다. Kuan 등이 제안한 식 1에 따르면 표면 거칠기 S가 증가할수록 전기 비저항은 증가한다 하였다. 이러한 경향은 본 연구결과와 일치하였다. 표면조도 및 비저항이 동일 현상으로 전류밀

Fig. 5. Resistivity of copper foil on the various current density.

Fig. 6. Peel strength of PI/Ni interfaces.

도가 증가되면서 선형적으로 증가되는 현상을 보이고 있다. 또한, 결정립의 주성장 방위가 (111)에서 (220) 방위로 변환하게 되는데 이러한 결정방위와의 상관관계에 대한 추가적인 연구가 필요하다 생각된다.

$$\frac{\rho_{film}}{\rho_0} \approx \left\{ 1 + 0.375(1-p)\frac{S\lambda}{t} + 1.5 \left\{ \frac{R}{(1-R)} \right\} \frac{\lambda}{g} \right\} \quad (1)$$

Fig. 6은 기지층의 PI 계면과 금속층과의 계면 결합력을 측정한 결과이다. 전류밀도가 증가되면서 박리강도는 증가하였다. 전류밀도가 증가하면 결정립의 크기가 감소되고, 금속층의 경도가 증가하게 되며, 이로 인하여 소성 변형에너지가 증가하게 된다. 박리강도는 계면에서의 결합력과 소성변형에너지로 구분되는데 전류밀도에 의한 박리강도 증가는 후자의 소성변형에너지의 영향이 지배적이라 생각된다.

Fig. 7은 구리 전착층의 유연성을 확인하기 위하여 굴곡성 테스트한 결과이다. 전류밀도의 증가로 인하여 결정립의 크기 감소와 표면에서의 큰 결정들에 의한 영향으로 전착층의 굴곡성이 감소되는 것으로 생각된다. 또한 FCC 결정구조인 구리의 경우 슬립면인 (111) 면의 결정

Fig. 7. Flexibility index of copper foil on the various current density.

성장의 감소로 인한 결과라 생각된다.

4. 결 론

FCCL 제조를 위하여 전해도금시 전류밀도에 의한 구리 전착층의 표면의 형상과 기계적, 전기적인 특성에 관하여 연구한 결과 다음과 같은 결과를 얻을 수 있었다.

1. PI 계면과 금속층간의 계면 결합력을 향상시키기 위한 방법으로서는 전착층 형성시 전류밀도를 높게 유지 하기 보다는 저전류를 이용하여 전착을 하는 것이 유리 하리라 생각된다.

2. 전류밀도를 낮게 설정함으로써 결정들의 주성장방위를 (111)방위에 평행한 방향으로 성장 시킴으로써, Electromigration에 대한 저항력을 증가시키며, 표면조도 또한 고 전류밀도 보다 저전류밀도에서 낮고 이로 인하여 전착층의 비저항이 감소되는 효과를 얻을 수 있었다.

3. FCCL 에서 중요시 요구하는 물성중의 하나는 전착층의 유연성이다. 전착층의 높은 유연성을 확보하기 위해서는 높은 전류로 구리전착층을 형성하는 경우 보다 저 전류를 이용하여 전착층을 형성하는 경우에 좀더 높은 유연성을 가진 전착층이 형성되었다.

위와 같은 결과를 종합해 볼 때, 구리 전착층을 형성하기 위한 전류밀도로는 10 mA/cm² 로 전착층을 생성시키는 것이 타당하나, 전류밀도가 너무 낮은 경우에는 연속생산 시 생산성 저하의 문제가 야기 되기에 전류밀도는 20 mA/cm² 정도로 전해도금을 하는 것이 타당하리라 생각된다.

참 고 문 헌

1. T. G. Chung, Y. H. Kim and J. G. Na, J. Kor. Inst. Met. & Mater., **29**(11), 1097 (1991).
2. K. H. Hwang, K. I. Lee, S. K. Joo and T. Kang, J. Kor. Cryst. Growth & Cryst. Tech., **1**(2), 80 (1991).
3. S. M. Sze, VLSI Technology, 2nd Ed, p. 373, McGraw Hill, USA (1988).
4. G. F. McGuire, Semiconductor Materials and Process Handbook, p. 587, Noyes Publication, (1988).
5. E. J. Lee and J. S. Kim, Journal of the Institute of Industrial Technology, **6**(2), 11 (1998) (ISSN : 1229-1773).
6. J. J. Kim and M. S. Kang, Hwahak Konghak, **39**(6), 721 (2001).
7. B. S. Min, W. S. Chung and I. G. Kim, J. Kor. Inst. Met. & Mater., **40**(12), 12 (2002).
8. A. Ibanez and E. Fatas, Surf. Coating. Tech., **191**, 7 (2005).
9. T. X. Liang, Y. Q. Liu, Z. Q. Fu, T. Y. Luo and K. Y. Zhang, Thin Solid Films, **473**, 247 (2005).
10. Y. J. Song, J. H. Seo, Y. S. Lee and S. K. Rha, Kor. J. Mater. Res., **19**(6), 344 (2009) (in Korean).
11. H. S. Lee, H. S. Kim and C. M. Lee, J. Kor. Inst. Met. & Mater., **39**(8), 920 (2001).
12. J. W. Choi, T. S. Oh and Y. H. Kim, J. Kor. Inst. Met. & Mater., **35**(5), 542 (1997).
13. T. G. Woo, I. S. Park, H. W. Lee, M. H. Lee, E. K. Park, Y. K. Hwang, and K. W. Seol, J. Kor. Inst. Met. & Mater, **45**(7), 423 (2007).
14. S. C. Park, K. J. Min, K. H. Lee, Y. S. Jeong and Y. B. Park, Kor. J. Mater. Res., **18**(9), 486 (2008) (in Korean).
15. H. J. Kang, B. N. Park, S. J. Park and S. Y. Choi, Journal of the Institute of Electronic Technology, **23**, 8, (2003) (ISSN : 1225-214X).
16. P. V. Brande and R. Winand, Surf. Coating. Tech., **52**, 1 (1992).
17. Z. Zhou and T. J. O'Keefe, J. Appl. Electrochem., **28**, 461 (1998).
18. J. J. Yang, Y. L. Huang and K. W. Xu, Surf. Coating. Tech., **201**, 5574 (2007).
19. T. S. Kuan, C. K. Inoki, G. S. Oehrlein, K. Rose, Y. P. Zhao, G. C. Wang, S. M. Rossnagel, and C. Cabral, Mater. Res. Soc. Symp. Proc. 612, D7.1.1 (2000), ed. K. Maex, Y-C. Joo, G.S. Oehrlein, S. Ogawa, J.T. Wetzel (Materials Research Society, San Francisco, April, 2000).