Ga₂Se₃ 층을 Cu-In-Ga 전구체 위에 적용하여 제조된 Cu(In,Ga)Se₂ 박막의 Ga 분포 변화 연구

정광선 · 신영민 · 조양희 · 윤재호* · 안병태†

한국과학기술원 신소재공학과, *한국에너지기술연구원

Ga Distribution in Cu(In,Ga)Se₂ Thin Film Prepared by Selenization of Co-Sputtered Cu-In-Ga Precursor with Ga₂Se₃ Layer

Gwang Sun Jung, Young Min Shin, Yang Hwi Cho, Jae Ho Yun* and Byung Tae Ahn†

Department of Materials Science and Engineering, KAIST, Daejeon 305-701, Korea

*Korea Institute of Energy and Research, Daejeon 305-343, Korea

(2010년 6월 16일 접수 : 2010년 8월 6일 최종수정 : 2010년 8월 6일 채택)

Abstract The selenization process has been a promising method for low-cost and large-scale production of high quality CIGS film. However, there is the problem that most Ga in the CIGS film segregates near the Mo back contact. So the solar cell behaves like a CuInSe₂ and lacks the increased open-circuit voltage. In this study we investigated the Ga distribution in CIGS films by using the Ga₂Se₃ layer. The Ga₂Se₃ layer was applied on the Cu-In-Ga metal layer to increase Ga content at the surface of CIGS films and to restrict Ga diffusion to the CIGS/Mo interface with Ga and Se bonding. The layer made by thermal evaporation was showed to an amorphous Ga₂Se₃ layer in the result of AES depth profile, XPS and XRD measurement. As the thickness of Ga₂Se₃ layer increased, a small-grained CIGS film was developed and phase separation was showed using SEM and XRD respectively. Ga distributions in CIGS films were investigated by means of AES depth profile. As a result, the [Ga]/[In+Ga] ratio was 0.2 at the surface and 0.5 near the CIGS/Mo interface when the Ga₂Se₃ thickness was 220 nm, suggesting that the Ga₂Se₃ layer on the top of metal layer is one of the possible methods for Ga redistribution and open circuit voltage increase.

Key words Ga distribution, Cu(In,Ga)Se₂, thin-films, selenization.

1. 서 론

Cu(In,Ga)Se₂ (CIGS) 박막 태양전지는 19%이상의 높은 효율을 기록하고 있으며 결정질 실리콘 태양전지와 함께 고효율 태양전지로 많은 관심을 받고 있다.¹⁾ CIGS 박막을 제조하는 방법 중의 하나인 Selenization 공정이란 먼저 기판 위에 Cu, In, Ga의 적정 조성 비율을 갖는 전구체를 증착한 후, 이를 셀레늄 분위기에서 열처리하는 2가지 단계의 공정이다. 통상적으로 전구체는 스퍼터링을 이용해 증착하고 selenization 공정은 H₂Se의 독성기체를 이용하게 된다.^{2,3)} 이 방법은 저가공정이 가능하고 조성 조절이 용이하기 때문에 3단계 동시 진공증발법 공정에 비해 매우 간단하며 대면적화가 가능한 공정으로 CIGS 모듈을 제조하는 회사에서 주로 채택하고 있는 방법이다. 하지만 selenization 공정 중에 In의 Se과

의 반응성이 Ga보다 빠르기 때문에 박막 내에서 Ga이 CIGS/Mo 계면 쪽으로 쏠리는 현상이 일어난다.⁴⁾ 이로 인해 CIGS 태양전지 제조 시 CIGS의 접합부분에 Ga의 부족으로 인한 밴드갭 상승 효과와 이로 인한 개방전압 증가가 힘들어 CuInSe₂와 같이 거동하게 되고 CuGaSe₂가 생겨 상이 분리되는 단점이 있다.^{5,6)} 이런 문제점을 Cu-In-Ga 금속전구체를 이용하여 selenization 공정한 CIGS의 [Ga]/[In+Ga] 조성분포를 Fig. 1에서 볼 수 있다.⁷⁾ 따라서 본 연구에서는 Ga이 CIGS/Mo 계면 쪽으로 쏠림을 막고 CIGS 표면에 존재하기 위해 Cu-In-Ga의 금속 전구체 위에 Ga이 Se과 결합되어 있는 Ga₂Se₃를 진공증발법으로 상온의 기판온도에서 공급해 줌으로써 기존의 selenization의 Ga의 분포 문제를 해결하고자 하였다. 먼저 금속 전구체 위에 Ga₂Se₃가 증착된 막의 특성을 분석하고 금속 전구체 위에 증착된 막의 두께를 변수로 selenization 공정을 하여 제조된 CIGS 박막의 특성과 Ga 분포의 변화를 관찰하고자 하였다.

†Corresponding author
E-Mail : btahn@kaist.ac.kr (B. T. Ahn)

Fig. 1. AES depth profile of CIGS film by selenization process.⁷⁾

2. 실험 방법

금속 전구체의 모식도는 Fig. 2에 나와 있다. 이는 Cu₄₀-In₆₀, Cu₅₀Ga₅₀과 Cu 타겟을 동시 스퍼터링하여 금속 전구체를 증착한 후, 이 위에 Ga₂Se₃ 층을 증착한 구조이다. 금속 전구체는 초기진공 2×10^{-6} torr 이하에서 Ar 분위기의 3 mtorr 에서 압력을 유지하며 상온의 기판온도에서 40분 동안 증착하였다. 일반적으로 CIGS 박막의 [Cu]/[In+Ga]의 조성비가 약 0.9, [Ga]/[In+Ga]의 조성비가 약 0.3일 때 광흡수층으로 적합하다고 알려져 있다. 하지만 실험에서의 금속 전구체는 Ga이 후속 공급되는 것을 고려하여 [Ga]/[In+Ga]의 조성비는 약 0.15, [Cu]/[In+Ga]의 조성비는 약 1.15 이고 두께는 570 nm로 고정하였다. Ga₂Se₃를 증착한 막은 금속 전구체 위에 초기진공 2×10^{-6} torr 이하에서 상온의 기판온도로 증착하였다. Ga₂Se₃의 flux는 850°C에서 3.3Å/s로 증착두께는 160, 220, 400 nm의 변수를 주었다. Ga₂Se₃를 증착한 막의 특성을 AES depth profile과 XRD, XPS를 이용하여 분석하였다. CIGS

Fig. 2. Schematic diagram of precursor when Ga₂Se₃ layer is located at the top layer in the Cu-In-Ga metal precursor.

Fig. 3. Temperature profile of selenization process.

Fig. 4. AES depth profile of 220 nm Ga₂Se₃ layer on Cu-In-Ga metal precursor.

박막을 제조하기 위해 앞서 만들어진 전구체를 2×10^{-6} torr 이하로 유지된 main chamber 안에 넣어 30분간 selenization 공정을 하였으며, 기판의 온도는 530°C로 Se의 flux는 39Å/s로 유지하였다. Selenization 공정의 시간에 따른 온도 profile은 Fig. 3과 같다. 기판으로는 2.5×5 cm²의 크기로 된 Mo가 증착된 soda-lime glass를 사용하였다. 기판 위에 전구체 또는 CIGS 박막 제조 후 미세 구조는 SEM, 조성은 EDS, 결정구조는 XRD로 분석하였고, CIGS 박막 내 Ga 분포는 AES depth profile을 이용하여 관찰하고자 하였다.

3. 결과 및 고찰

3.1 Cu-In-Ga 금속 전구체 위에 Ga₂Se₃를 증착한 막의 특성

먼저 금속 전구체 위에 Ga₂Se₃를 220 nm 증착한 막을 준비하였다. Fig. 4에 Cu-In-Ga 금속 전구체 위에 Ga₂Se₃를 증착한 막이 Ga와 Se의 조성비가 2:3으로 균일하게 올라간 것을 확인할 수 있다. 증착된 막이 실험에서 유

Fig. 5. X-ray diffraction pattern of metal precursor (a) and Ga₂Se₃ deposition layer on metal precursor (b). phase: 1. Cu₁₆(In₁₋₃Ga_y)₉, 2. Mo. ($y \sim 0.3$).

도하고자 하는 Ga의 결합 상태를 확인하기 위해 XRD 분석을 Fig. 5와 같이 해보았다. 금속 전구체 위에 Ga₂Se₃를 증착한 막과 금속 전구체의 X선 회절패턴이 일치하는 것을 확인할 수 있다. 이로써 Ga와 Se를 공급한 막이 비정질 형태로 증착된 것을 알 수 있다. 위와 같이 증착한 막이 어떤 상으로 존재하는지 X선 회절 결과에서 확인을 할 수 없었지만, Fig. 6과 같이 XPS 분석을 함으로써 결합상태를 확인 할 수 있었다. Table 1의 참고 peak와 비교하면서 각 막의 결합을 분석하면, Ga₂Se₃를 증착한 막의 경우, Ga이 Ga₂Se₃와 Ga₂O₃의 형태로 Se은 Ga₂Se₃와 Se의 형태로 존재하는 것으로 보인다. Fig. 4의 AES depth profile에서 볼 수 있듯이 실제 박막 내부에서는 Ga₂Se₃의 결합을 하고 있는 것으로 보인다. 단지 XPS 분석 결과 Ga₂O₃ 결합이 보이는 이유는 표면에서 Ga₂Se₃의 결합이 부분적으로 산화되어 일어난 현상으로 보인다. 위의 결과로 보면 Ga₂Se₃를 증착한 박막은 XRD 분석 결과 비정질 상태로 되어 있고, XPS 분석 결과 Ga₂Se₃로 결합으로 존재하는 것을 확인할 수 있었다.

3.2 CIGS 박막 특성

Cu-In-Ga 금속 전구체 위에 Ga₂Se₃ 막을 160, 220, 400 nm 두께 별로 증착 한 후 selenization 공정으로 CIGS 박막을 제조 후 특성을 분석해 보았다. 먼저 미세구조를 살펴보기 위해 SEM 사진을 측정한 결과가 Fig. 7에 나타나 있다. 큰 결정립의 CIGS 박막을 얻었지만 Ga₂Se₃의 두께가 400 nm인 [Cu]/[In+Ga] 조성비가 0.73에서는 결정립 크기가 작아지고 pore가 있는 것을 볼 수 있다. 이

Fig. 6. XPS surface analysis of Ga₂Se₃ layer on metal precursor. Chemical binding energy of (a) Ga 3d_{5/2} and (b) Se 3d_{5/2}.

Table 1. Reference for determination of chemical states.

Element	Chemical state reference	Binding Energy (ev)
Ga	Ga	18.7
	Ga ₂ Se ₃	19.7
	Ga ₂ O ₃	20.5
	Se	55.6
Se	Ga ₂ Se ₃	54.4
	SeO ₂	58.8

는 Cu_{2-x}Se로 인한 liquid assisted grain growth를 충분히 할 수 없는 Cu의 조성비로 인해 기인한 것으로 사료된다. 또한 박막이 하부의 작은 결정립과 상부의 큰 결정립의 두 층으로 나뉘어 있는 것을 확인 할 수 있는데, 이것에 대한 분석은 뒷부분에서의 XRD 분석과 AES Depth Profile 분석에서 더 다루도록 하겠다. X선 회절패턴의 경우(Fig. 8), CIGS 박막이 (110) 우선배향성을 보이고 400

Fig. 7. Microstructure of selenized film with various deposition depth of Ga₂Se₃ layer. (a) 160 nm, (b) 220 nm and (c) 400 nm.

Fig. 8. X-ray diffraction patterns with various depth of Ga₂Se₃ layer. phase: 1. Cu(In_{0.7}Ga_{0.3})Se₂, 2. Cu(In_{0.4}Ga_{0.6})Se₂, 3. CuSe, 4. Mo.

nm를 제외하고 모두 CIGS 박막으로 반응이 잘 일어난 것을 보이고 있다. 400 nm 조건에서 Cu(In_{0.7}Ga_{0.3})Se₂와 Cu(In_{0.4}Ga_{0.6})Se₂로 나뉘어진 것을 보이는데 이는 단면 SEM 사진에서의 결과와도 일치한다. 또한 160 nm 조건에서는 CuSe가 존재하는 것으로 보인다. CIGS 박막 내 Ga의 분포를 분석하기 위한 AES Depth Profile 결과가 Fig. 9에 나타나 있다. 분석결과 Ga이 박막내 비교적 균일하게 분포함을 알 수 있다. 반면, 160 nm 조건에서는 앞

Fig. 9. AES depth profiles of CIGS with various depth of Ga₂Se₃ layer. (a) 160 nm, (b) 220 nm and (c) 400 nm.

서 XRD에서 확인해 보았듯이 CuSe가 존재할 수 있는 조성이 CIGS 내부에 Cu 조성이 많은 구간이 존재한다. 400 nm 조건에서는 Mo계면 쪽에 Ga-rich한 CIGS와 표면 쪽에 상대적으로 Ga-poor한 CIGS가 존재하는 것을 확인할 수 있다. Ga의 grading 현상에 있어서 특히 주목해야 할 것은 [Ga]/[In+Ga]의 비율이다. Fig. 10은 CIGS 박막의 깊이에 따른 Ga 분포를 보여준다. 앞서 분석한 [Cu]/

Fig. 10. $[Ga]/[In+Ga]$ of CIGS film from (a) Ga_2Se_3 220 nm condition and (b) previous selenization condition.

$[In+Ga] \sim 0.89$, $[Ga]/[In+Ga] \sim 0.31$ 의 조성과 단일 CIGS의 결정구조를 가지고 있는 태양전지를 만들기에 적합한 220 nm의 Ga_2Se_3 를 증착한 조건에서 $[Ga]/[In+Ga]$ 조성비 역시 가장 균일한 분포를 보였다. Fig. 1에서의 Ga 분포와 비교를 해보면 CIGS 박막 표면에서 약 0.2, CIGS/Mo 계면에서 약 0.5로 Ga grading을 줄이면서 표면에서의 Ga 분포가 향상된 것을 보여주었다.

4. 결 론

본 연구에서 Cu-In-Ga 금속 전구체 위에 Ga_2Se_3 를 증착하여 selenization 공정을 하여 CIGS 박막을 제조하였다. 먼저 금속 전구체 위에 증착된 Ga_2Se_3 막은 비정질의 Ga_2Se_3 결합을 하고 있었고, 이를 160, 220, 400 nm의 두께 조건으로 selenization 공정 후 CIGS 박막을 제조 후

분석한 결과, 220 nm 조건에서 태양전지의 흡수층으로 적합한 조성과 결정구조를 얻을 수 있었다. 또한 이 조건에서 CIGS 박막 내 Ga 분포도 표면에서 약 0.2와 CIGS/Mo 계면에서는 0.5로 Ga grading을 줄이고, 표면에서 Ga 조성비가 상승되는 효과를 얻을 수 있었다. 향후 selenization 공정을 이용한 CIGS 태양전지의 개방전압 상승을 통한 효율 상승의 가능성을 보여주었다.

감사의 글

이 논문은 2008년도 한국과학재단의 지원(No. 2008-0062289)과 한국에너지기술기획평가원의 지원(No. 2008-N-BL-HM-E-03-0000)을 받아 수행된 연구임.

참 고 문 헌

1. T. J. Park, D. H. Shin, B. T. Ahn and J. H. Yun, Kor. J. Mater. Res., **19**(8), 452 (2009) (in Korean).
2. A. Romeo, M. Terheggen, D. Abou-Ras, D. L. Batzner, F. -J. Haug, M. Kalin, D. Rudmann, and A. N. Tiwari, Prog. Photovoltaics, **12**, 93 (2004).
3. V. Alberts, Semicond. Sci. Tech., **19**, 65 (2004).
4. G. M. Hanket, W. N. Shafarman, B. E. McCandless, R. W. Birkmire, J. Appl. Phys., **102**, 074922 (2007).
5. M. Marudachalam, R. W. Birkmire, H. Hichri, J. M. Schultz, A. Swartzlander and M. M. Al-Jassim, J. Appl. Phys., **82**, 2896 (1997).
6. M. S. Kim, R. B. B. Chalapathy, K. H. Yoon and B. T. Ahn, J. Electrochem. Soc., **157**, B154 (2010).
7. M. S. Kim, J. C. Lee, J. H. Yun and B. T. Ahn, in proceedings of International Conference on Microelectronics and Plasma Technology (Jeju, Korea, Aug 2008) p. 224.