

ESD 기술 및 연구 동향

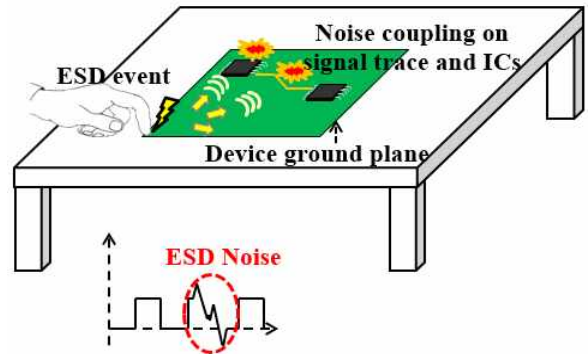
김진국

울산과학기술원

I. 서론

정전기 방전(Electrostatic Discharge; ESD) 현상은 고대시대부터 마찰전기 현상과 관련되어 잘 알려진 물리 현상이었다. 현재 각종 접화 장치에서는 정전기 방전을 압전 효과로부터 의도적으로 발생시켜서 매우 유용하게 이용하고 있지만, 원치 않는 정전기 방전은 종종 심각한 사고 및 비용을 발생시켜 왔다. 19세기 미국 Minnesota에서의 밀가루 공장 폭발 사고나 2차 세계 대전 중 독일 Hindenburg 호의 폭발 사고에 의한 많은 인명 피해가 원치 않는 ESD에 의한 대표적인 사고이다. 그리고 20세기 들어서 집적회로(Integrated Circuit; IC) 산업이 시작되면서 수많은 IC가 ESD 때문에 제조 공정 중에 물리적으로 손상 및 파괴되어 막대한 비용이 들고 있다^[1]. 이를 막기 위해 IC 제조 라인에는 ESD가 발생하지 않도록 ionizer 등 각종 보호 설비를 설치하고 있고, IC 내부에는 ESD 보호 회로를 기본적으로 장착하고 있다. 하지만 제조 공정의 미세화, 전자기기의 소형화, 집적화, 고성능화에 따라 IC의 ESD에 대한 저항성(immunity)이 지속적으로 감소하고 있어, ESD 발생을 보다 효율적으로 억제하고, IC를 보호하기 위한 연구가 지속적으로 필요한 상황이다.

IC 및 전자기기에 ESD가 미치는 영향은 크게 다음과 같이 두 가지로 분류될 수 있다. 즉, IC의 제작이나 assembly 중에 발생하여 IC에 물리적 손상(hard failure)을 일으키는 chip level ESD와, 완성된 시스템의 동작 중에 발생하여 오동작(soft failure)을 일으키는 system level ESD로 분류될 수 있다. Hard failure는 IC에 영구적 손상을 일으키므로 더 심각하게 여겨졌고, 그 동안 ESD 연구는 주로 칩 레벨 보호 회로나 제조 공정상의 이슈에 더 치중해 왔다. 하지만 최근에 들어 모바일 및 웨어러블 휴대기기의 증가에 따라 전자 기기 시스템과 사람의 접촉이 점점 더 빈번해짐에 따라, [그림 1]에 나타낸 바와 같이 시스템 레벨 ESD에 의해 발생한 전자기적 노이즈가 내부 집적회로(IC)에 전달되어 오동작이



[그림 1] 시스템 레벨 ESD에 의한 IC 오동작

빈번히 발생하고 있어, 시스템 레벨 ESD에 대한 연구의 필요성이 크게 대두되고 있다.

제조과정 중 ESD 발생에 의한 IC의 물리적 파괴를 막기 위한 IC 내의 ESD 보호 회로나 메커니즘에 대한 연구는 반도체 공정 및 회로분야 연구자들에 의해 오랜 기간 활발히 연구되어 왔다. 하지만 시스템 레벨 ESD 문제는 시스템의 전체 동작 중 IC가 오동작하는 현상을 다루는 문제이기 때문에, 그 메커니즘이나 현상이 칩레벨 ESD 연구와는 매우 다르며, 전통적인 전자기와 간섭(EMI/EMC) 연구에 가깝다. 하지만 EMI/EMC가 작은 소신호 노이즈를 주로 주파수 영역에서 다루는 것이라면, 시스템 레벨 ESD는 시간축 영역의 transient 노이즈 현상에 대한 문제이며, 입사되는 신호의 크기도 짧은 시간 동안 매우 크기 때문에 통상적인 EMI/EMC 문제와도 상당히 다르며, 물리적 현상이나 정확한 측정이 더 어렵고 복잡하다. 따라서 공정, 회로 분야 연구자나 전자기학분야 EMI/EMC 연구자 모두에게 이해하기 수월하지 않은 물리 현상으로서 연구가 많지 않았고, 축적된 노하우도 상대적으로 미흡한 상태이다.

본고에서는 칩 레벨 ESD와 시스템 레벨 ESD 분석 시에 사용되는 ESD 모델, 테스트 방법, 보호 회로와 기술 등을 먼저 소개하고, EMC 전자파 기술과 밀접한 관련이 있는 시스

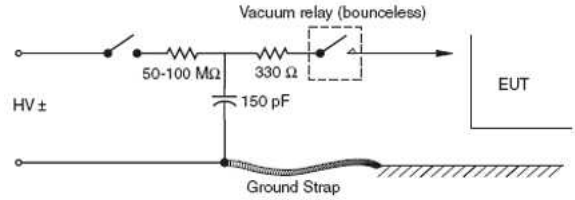
템 레벨 ESD 기술 및 연구 동향과 이슈를 소개하고자 한다.

II. ESD 발생 모델 및 테스트 방법

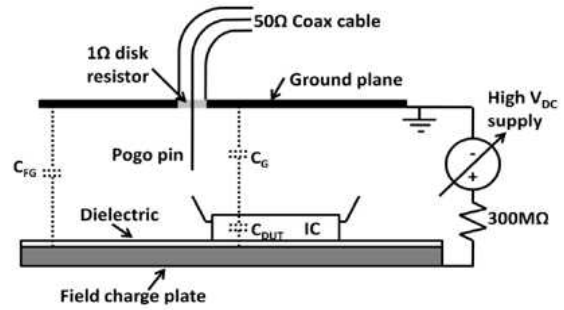
전통적으로 ESD 현상은 사람의 접촉에 의해 발생하였기 때문에, ESD 발생 모델로서 사람이 연관된 Human-Body Model (HBM) 또는 human hand-metal model이 규격화 되었다. 칩 레벨에서는 HBM외에 Machine Model(MM) 규격도 사용하는데, 이는 충전된 사람과의 접촉으로 인해 2차로 충전된 도체 장비나 가구에 의해 발생하는 ESD 현상을 모델링한다. 시스템 레벨에서는 [그림 2] (a)에 보이는 바와 같이, IEC 61000-4-2의 human hand-metal model을 표준으로 사용하는데, 이는 사람이 금속을 통해서 접촉하는 경우에 발생하는 worst case 전류를 고려하기 위한 모델이고, 이 경우 동일전압 HBM보다 전류 최대치가 5배 이상이나 된다^[2].

최근에 들어서는 IC 제조나 조립과정이 대부분 자동화가 되어, 사람과의 접촉에 의한 ESD보다는 IC가 이동이나 조립 중의 마찰로 인해 스스로 충전되었다가 접지면과의 갑작스런 접촉에 의해 발생하는 ESD 현상이 더욱 빈번해졌다. 따라서 이를 테스트하는 칩레벨 ESD 규격으로 [그림 2] (b)와 같은 Charged Device Model(CDM)이 개발되었고^[3], 현대의 칩레벨 ESD 규격으로 HBM보다 더욱 중요하게 사용되고 있다. CDM에 의한 ESD 전류 파형은 [그림 3]에서 보이는 것처럼 HBM이나 MM 보다 총 충전 전하량은 작지만, 방전 경로에 저항과 인덕턴스가 매우 작아 ESD 전류 펄스의 rise time이 매우 빠르고, 전류 최고값은 더욱 높게 되어 IC의 물리적 손상을 쉽게 일으킬 수 있어, 이를 막기 위해 많은 주의가 필요하다. 그 외 최근에는 조립된 Printed Circuit Board (PCB) 전체가 충전되었다가 방전되면서 보드 위 IC에 물리적 손상이 일어나는 Charged Board Event(CBE) 현상도 대두되고 있는데, 대표적 예로는 LCD 보드 전체가 충전되었다가 driver IC를 통해 방전되어 해당 IC에 물리적 손상이 오는 경우이다^[4].

IEC 61000-4-2에는 [그림 4]에 보이는 바와 같이, ESD 모의 발생기(ESD gun simulator)의 특성을 테스트하기 위한 ESD current target 셋업과 시스템 레벨 ESD 테스트 셋업도 함께 규격화가 되어 있고, JESD22-C101E에는 field induced

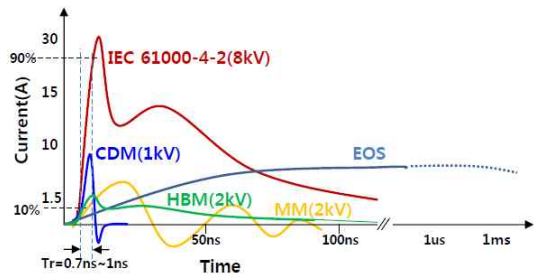


(a) IEC 61000-4-2 human hand-metal model



(b) JESD22-C101E charged device model

[그림 2] ESD 발생 모델의 예

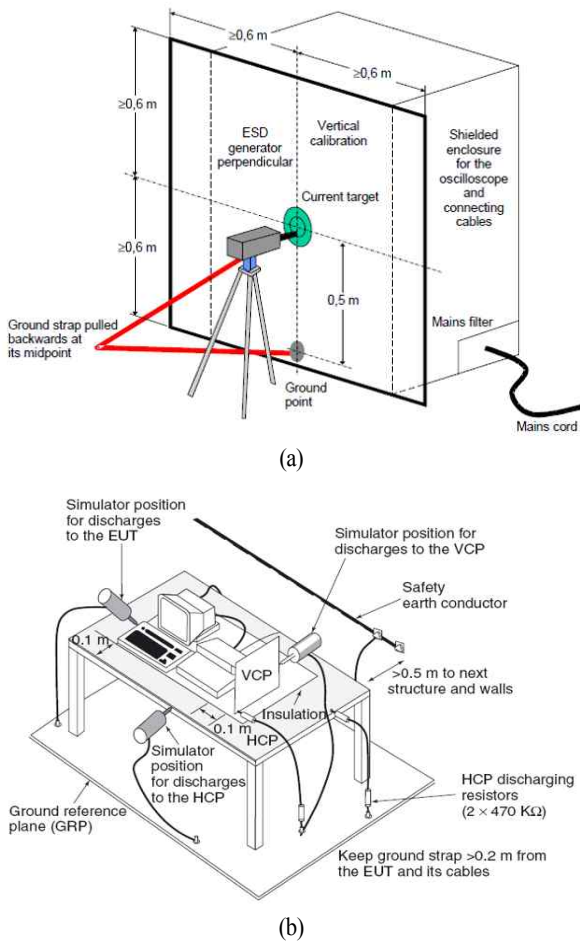


[그림 3] 각종 ESD 규격의 전류 파형

CDM 테스트 방법이 규격화 되어 있다.

III. ESD 보호 회로 및 방법

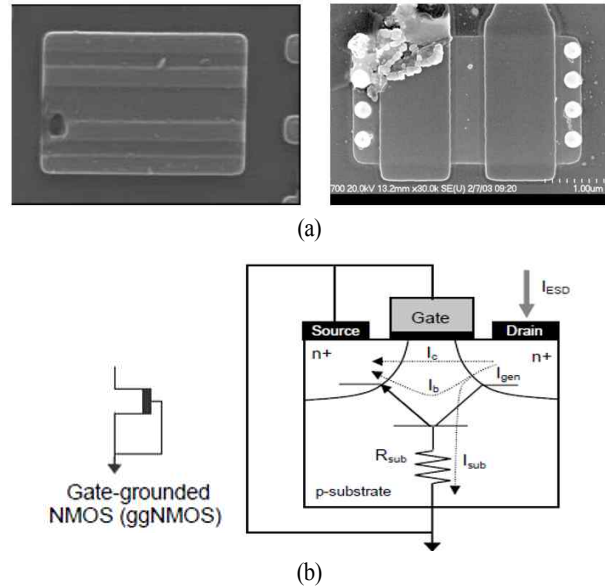
Chip level ESD에 의한 IC의 물리적 손상을 막기 위해 IC가 외부로 연결되는 I/O 핀에는 ESD 보호 회로를 필수적으로 장착하게 된다. 특히 MOSFET gate 입력에 두께가 얇은 gate oxide 층에는 전기장이 매우 크게 걸리게 되어 ESD에 매우 취약하다. [그림 5] (a)에 ESD에 의해 발생한 gate breakdown의 예시 사진이 나타나 있는데, 이러한 물리적 손상의 여부는 IC 내부 보호 회로, 공정 프로세스, discharge



[그림 4] (a) ESD current target 셋업, (b) 시스템 레벨 ESD 테스트 셋업

point, chip 내부의 layout에 따라 달라진다. 대표적인 ESD 보호 회로로는 gate-grounded NMOS(GGNMOS), gate-VDD PMOS (GDPMOS), n/p -well diodes, silicon controlled rectifier(SCR) 등이 있고, [그림 5] (b)에 CMOS 회로에 널리 쓰이는 GGNMOS의 회로를 나타내었다⁵⁾.

ESD 보호 회로의 성능이나 IC I/O pin의 ESD immunity를 효율적으로 테스트하기 위해서는 Transmission Line Pulse(TLP)를 이용하여 dynamic I-V 커브를 측정한다. [그림 6] (a)와 같은 셋업으로 TLP으로 인가되는 전압 펄스의 크기를 조절하면서 전압 전류를 측정하면 [그림 6] (b)와 같은 과정을 반복하여 dynamic I-V 커브를 얻을 수 있다⁶⁾. [그림 6] (c)에 대



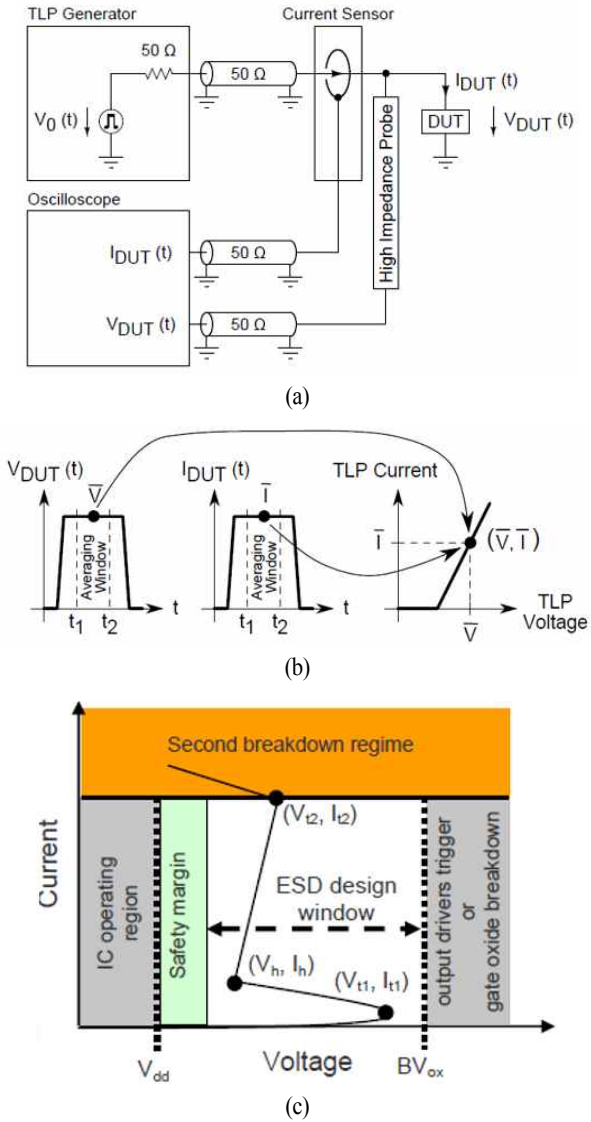
[그림 5] (a) ESD에 의해 발생한 gate breakdown, (b) GGNMOS ESD 보호 회로

표적인 GGNMOS의 dynamic I-V 특성을 나타내었고, 그에 따라 ESD 보호가 가능한 전압 전류 영역을 확인할 수 있다. TLP는 ESD 보호 회로의 I-V 커브 측정 이외에 시스템 레벨 ESD의 테스트를 위해서도 사용될 수 있다. 즉, 시스템의 ESD immunity를 알아보기 위해 다양한 위치에 TLP를 인가하면서 system failure가 일어나는 TLP 전압 레벨을 확인한다.

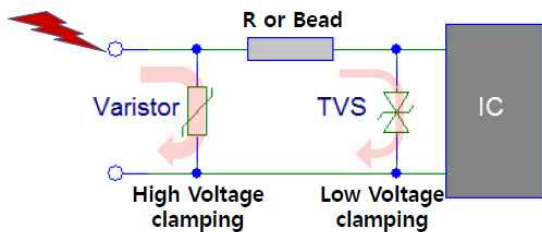
칩레벨 ESD 규격을 통과해도 시스템 레벨 IEC 61000-4-2 규격 테스트에서 문제가 발생하는 경우가 많기 때문에, IC I/O 포트 내부에 적용되는 ESD 보호 회로 외에 시스템 상에서 추가적으로 ESD 대책 소자를 배치하는 경우도 많다. 흔히 [그림 7]과 같이 Transient Voltage Suppressor(TVS)나 Metal Oxide Varistors(MOV)를 IC 핀 앞이나 시스템 상의 외부 커넥터 앞에 추가적으로 달아주게 된다. 둘 다 전압 클램핑 특성을 가지는 소자이며, ESD뿐만 아니라 surge나 burst-Electrical Fast Transients(EFT) 보호의 기능도 한다.

IV. 시스템 레벨 ESD 기술 동향

앞서 얘기한 바와 같이 IC의 물리적 손상을 다루는 칩레벨 ESD 문제 외에, 노트북이나 핸드폰 등의 시스템에 ESD



[그림 6] (a) TLP 테스트 셋업, (b) Dynamic I-V 커브 추출과정, (c) GGNMOS의 I-V 커브

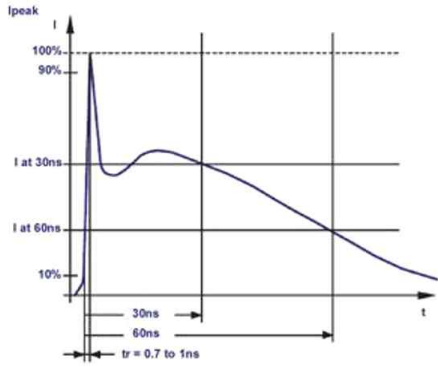


[그림 7] TVS 및 varistor 등 ESD 대책 소자 활용 예시

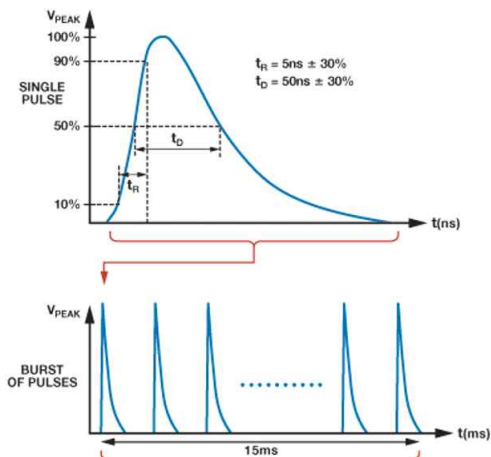
가 발생할 때 내부 IC가 오동작하여 시스템이 꺼지거나 re-boot되는 soft error 현상이 발생할 수 있다. 시스템 제조사는 IEC61000-4-2 규격에 따라 시스템 ESD 테스트 시 안정적인 동작을 보장해야 판매가 가능한데, 만약 오동작을 하여 규격 테스트를 통과하지 못하면 해결 대책을 강구해야 한다. 가장 손쉬운 대책 방법으로는 오류가 있는 IC 근처에 TVS 다이오드 등을 배치할 수 있겠지만, 추가 부품과 비용이 필요하다. 보다 본질적 대책을 위해서는 시스템 설계 단계부터 전체적으로 ESD 내성이 좋게 설계를 하여야 할텐데, 이를 위해서는 충분한 설계 노하우와 시간이 필요하다. 따라서 시스템 제조사는 가장 간단한 방법으로 해당 IC를 문제가 없는 다른 제조사 IC 제품으로 바꾸어 문제를 해결하고자 하기 때문에, 시스템 ESD 문제는 결국 IC 제조사의 문제로도 이어지게 된다. 결국 IC 제조사도 타 경쟁사보다 시스템 ESD에 대한 내성이 강한 IC를 설계해야 하는데, 이를 위해서는 시스템 ESD 노이즈에 의해 IC 오동작이 어떻게 발생하는지를 파악해야 한다.

시스템 ESD 규격은 EMC immunity 규격에 속해 있으며, 이와 유사한 문제로 burst-electrical fast transients(EFT) 및 surge가 있다. 각각 IEC 61000-4-2, IEC 61000-4-4, IEC 61000-4-5에 규격화 되어 있고, 각 해당 전류 파형을 [그림 8]에 비교하여 나타내었다. Burst EFT는 유도성 부하나 스위치의 on-off 시 발생할 수 있고, surge는 번개나 대용량 파워 시스템의 on-off에서 발생할 수 있는데, 둘 다 가전보다는 산업 영역에서 중요하며, 통상 Electric Over Stress(EOS)로 불리운다. ESD 전류는 burst, surge에 비해 빠르고 순간적이어서 EOS에 비해 열적 물리적 손상은 일으키지 않고, 주로 오동작만 일으키기 쉽다. 하지만 burst나 surge는 전력선이나 신호선에만 테스트를 하는 반면에 ESD는 주 인가 대상이 접지 도체면이라 오동작에 미치는 영향은 상당히 크다.

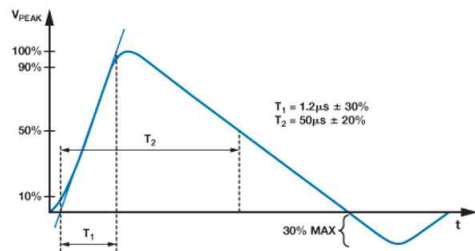
ESD 발생 시에는 매우 짧은 시간에 큰 에너지가 발생하며, 방전 시 발생하는 아크(arc)는 비선형적인 전압-전류 특성을 가지므로 통상적인 전자기와 간섭문제보다 해석이나 측정이 어렵고 복잡하다. ESD 아크 모델 및 simulator gun 모델, 각종 측정 방법 등에 대해서 미국 Missouri University of Science and Technology의 EMC Lab.에 David Pommerenke 교수가 많은 연구를 수행하였다^{[7]-[10]}. Arc의 저항값은 arc 발



(a) IEC 61000-4-2 ESD



(b) IEC 61000-4-4 burst-EFT



(c) IEC 61000-4-5 surge

[그림 8] EMC (ESD/EOS) immunity 규격의 전류 파형

생 거리에 의해 비선형적으로 결정됨을 실험적으로 규명하였고, 아래와 같은 Rompe-Weizel formula로 가장 잘 표현됨을 보였다.

$$R(t) = \frac{d}{\sqrt{2a \int_0^t i(\xi)^2 d\xi}}$$

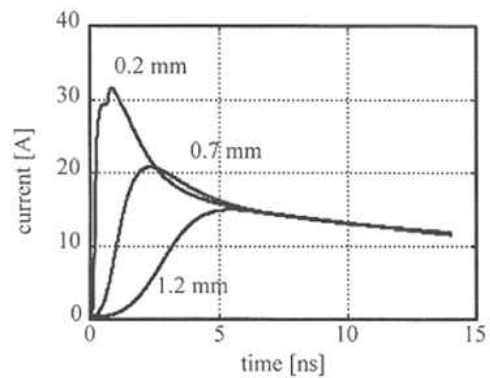
위에서 d 는 아크 발생거리, a 는 $0.5 \times 10e^{-4} \text{ m}^2/\text{V}^2$ 의 실험적 상수값이다. 아크 발생 거리에 따른 5 kV ESD에 의한 전류의 변화를 Rompe-Weizel formula로 얻으면 [그림 9]와 같다^[8].

아크 발생 거리는 ESD 발생 지점의 이동 속도에 따라 달라지며, 정지 상태에서 가장 긴데, 정지 상태에서 ESD breakdown 전압(U)과 아크 발생거리 (d)에는 아래와 같은 관계가 성립한다.

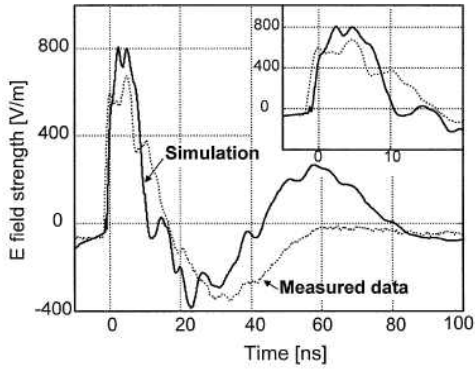
$$U = 25.4d + 6.64 \sqrt{d}$$

아크의 발생 거리는 외부 조건에 따라 정확히 정해져 있지 않고 확률적으로 발생하기 때문에, ESD 측정결과는 매번 정확히 재현되지 않는다. 아크 발생거리가 매우 짧은 contact mode discharge 상황에서만 어느 정도 재현이 가능하고, 측정 셋업 자체에도 많은 노하우가 필요하다. 즉, 공통 모드 필드가 계측 장비나 케이블에 직접 커플링이 되어 정확한 측정을 방해할 수 있으므로 이를 차폐하기 위한 셋업을 필수적으로 해야 하고, 측정 프로브도 전기장, 자기장, 전도성 노이즈의 용도별로 따로 고안해서 측정해야 한다. [그림 10]에 전기장, 자기장 용도별로 따로 고안된 프로브로 측정한 각 field 결과와 full-wave 수치해석법(Finite Difference Time Domain; FDTD)으로 해석된 결과의 예시를 나타내었다^[9].

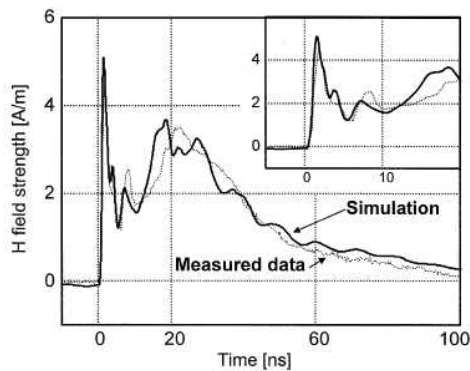
최근에는 본 필자 그룹에서 시스템 ESD에 의해 발생하는 노이즈를 Partial Element Equivalent Circuit(PEEC) 방법으



[그림 9] 아크 발생 거리에 따른 5 kV ESD 전압에 의한 전류 변화^[8]



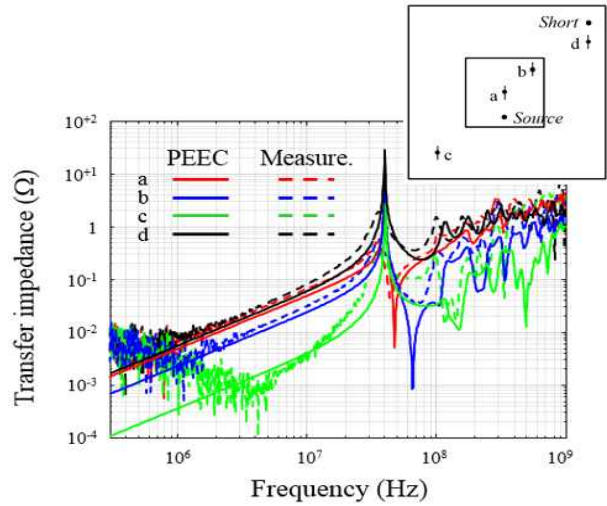
(a) 전기장 프로브 이용



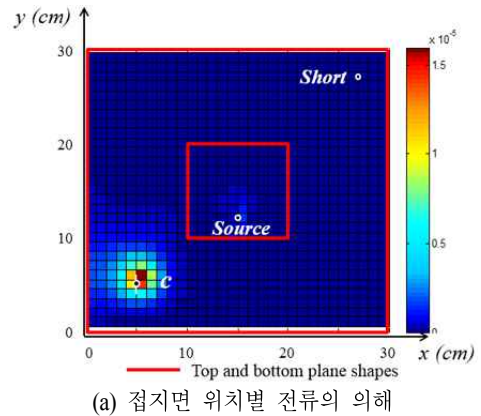
(b) 자기장 프로브 이용

[그림 10] ESD에 의한 field의 측정과 시뮬레이션^[9]

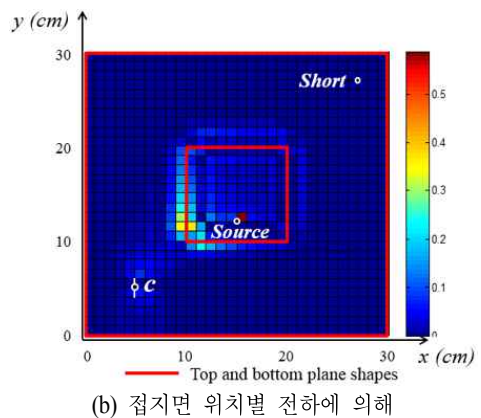
로 효율적으로 계산하는 방법을 제안하였다^{[11],[12]}. 즉, 이 방법을 이용하면 ESD 접지 도체나 gun strap 등 사이즈가 큰 aggressor 구조와 IC나 패키지의 작은 victim 구조를 효율적으로 나누어 해석할 수 있다. 그리고 시간 축 ESD 노이즈의 측정 검증 전에 먼저 EMC 분야의 연구자에게 익숙한 Vector Network Analyzer(VNA) 장비를 이용하여 [그림 11]과 같이 주파수 영역의 임피던스 파라미터로 ESD 노이즈 커플링 현상을 예측하고 검증하였다. 또한 이 해석방법으로 특정 victim 구조에 전달되는 노이즈의 원인을 aggressor 구조상의 전하, 전류, 전압 흔들림의 3가지로 나누어 파악이 가능하다. 그리하여 [그림 12]에서와 같이 ESD 접지면 상 어느 지점의 전하나 전류에 의해 노이즈가 많이 발생하는지 위치별 기여도를 계산할 수 있다. 이렇게 주파수 영역에서 먼저 해석하고 검증한 Modified Nodal Analysis(MNA) 행렬식을 변형하여 일정한 전류 source 대신에 ESD 발생 초기 전압을 source 조건



[그림 11] Source 지점의 ESD 입력 전류로부터 victim 위치별 노이즈 커플링을 나타내는 임피던스 파라미터^[11].



(a) 접지면 위치별 전류의 의해



(b) 접지면 위치별 전하에 의해

[그림 12] C 위치에 있는 victim에 전달되는 노이즈 기여도

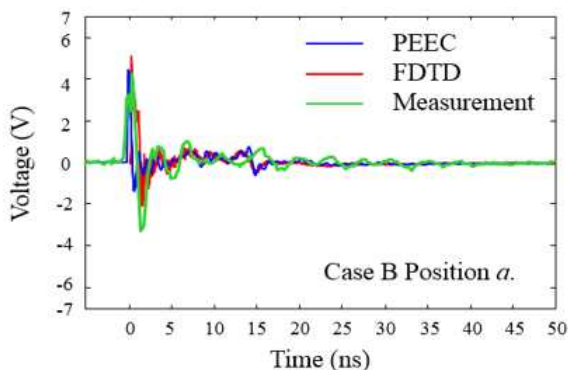
으로 인가하여 풀면, ESD로 인해 발생하는 노이즈 전압의 주파수 스펙트럼을 얻을 수 있다. 이를 시간 축으로 옮기면 ESD 발생에 의해 victim 구조에 발생하는 transient 노이즈를 얻을 수 있고, 이를 측정 및 상용 FDTD solver를 이용하여 얻은 파형과 [그림 13]에 각각 비교하였다. 계산 시간은 상용 툴에 비해 10배 이상 빠르다. 이 경우 2 kV ESD에 의해 특정 victim 구조에서 5 V 정도까지 노이즈가 발생하는 것을 알 수 있다.

시스템 ESD에 의한 IC 회로의 오동작 발생 경로로는 크게 3가지 원인을 추측할 수 있는데, 첫째, ESD로 방출된 전하에 의한 전기장으로 IC 특정 신호핀의 전압을 크게 흔들어 잘못된 데이터가 들어갈 수 있다(E-field or capacitive coupling). 둘째, 근처에 흐르는 강한 ESD 전류에 의해 IC 패키지 및 모듈 내 loop 구조에 전압이 발생하여 데이터가 바뀔 수 있다(H-field or inductive coupling). 셋째, ESD 발생 시 접지전압이 크게 흔들리는데, 접지 전압을 기준으로 하는 전력선이나 신호선의 전압이 그와 동일하지 않게 흔들려서 데이터에 오류가 발생하는 경우이다(conduction coupling). 이 3가지 종류의 노이즈 크기는 IC 패키지 및 모듈 구조에 따라 달라지므로 각 원인별로 그 크기를 파악하여야 IC 오동작을 일으키는 가장 주된 원인을 찾아낼 수 있고, IC 제조사 입장에서 그를 막기 위한 효율적인 대처 방안을 찾아낼 수 있다.

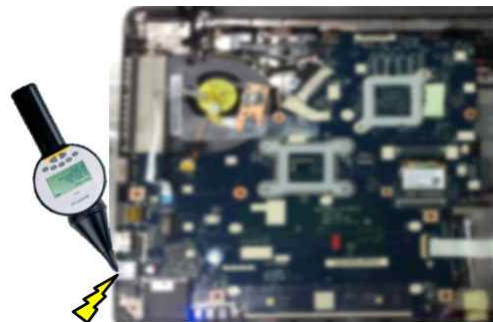
특정 IC 구조로 전달되는 노이즈 성분에서 전기장 커플링이 주된 경우에는 패키지 shielding이나 각종 쉴딩 구조가 내성 개선에 큰 도움이 될 것이고, 자기장 커플링이 주된 경

우에는 패키지나 모듈 내의 신호선 배치를 최대한 ESD 자기장의 자속이 통과하는 loop이 생기지 않도록 설계하면 도움이 될 것이다. 한편, 전도성 커플링이 주된 경우에는 전압이 흔들리지 않도록 전력/접지 decoupling capacitor를 보강하거나 배치를 개선하거나, 노이즈를 차단하는 ferrite bead 등의 노이즈 필터의 삽입 등을 생각해볼 수 있다. 시스템에 인가된 ESD 노이즈의 전달 경로를 체계적, 이론적으로 해석하게 되면 이로부터 내성 개선책과 설계 가이드라인을 용이하게 찾아낼 수 있어, IC, 패키지, 모듈 및 시스템 설계 시에 시간과 비용을 크게 줄일 수 있을 것이다.

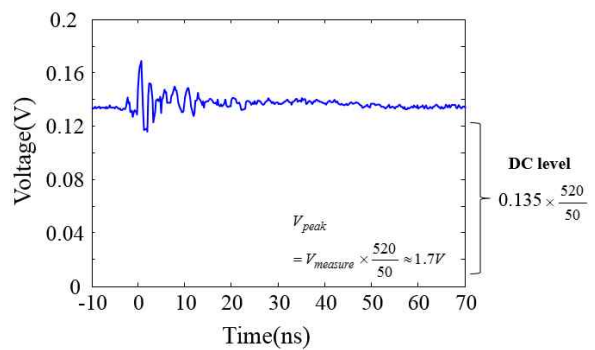
[그림 14]에는 실제 노트북 컴퓨터의 USB 포트 접지 커넥터에 4 kV ESD를 인가하는 경우, 동작 중인 DRAM 모듈 내의 전력/접지 전압 사이에서 측정되는 노이즈를 플롯하였다^[13]. 공통모드(Common-Mode; CM) 전기장이 계측 장비나 케이블에 직접 커플링이 되지 않도록 차폐를 하고, CM 초크를 충분히 달은 후 고주파수 대역 10:1 high-impedance 프로브



[그림 13] 2 kV ESD에 의해 특정 victim 구조에 발생하는 노이즈 전압(제안된 방법 vs. 측정 vs. 상용 FDTD solver).



(a)



(b)

[그림 14] 동작 중 노트북 컴퓨터의 USB 포트에 4 kV ESD 인가 시 DRAM 전력/접지에 발생하는 노이즈 전압

로 측정하면 1.35 V V_{dd} 전압이 1.15~1.7 V 정도로 흔들리는 것을 볼 수 있고, 노이즈 위치 및 경우에 따라 전도성 노이즈에 의해 DRAM이 동작 오류를 일으킬 수 있음을 알 수 있다.

V. 시스템 레벨 ESD 연구 전망 및 결론

시스템의 동작 중 ESD 발생에 의해 IC가 오동작하는 현상을 다루는 시스템 레벨 ESD 연구는, IC 반도체 소자 및 보호 회로와 노이즈 커플링에 대한 전자기학적 지식이 모두 필요하여 그동안 다소 다루기 쉽지 않은 물리 현상으로 여겨져 왔다. 그에 따라 국내 연구자도 많지 않고, 축적된 노하우도 상대적으로 미흡한데, 최근에 들어 모바일 및 웨어러블 휴대기기의 증가에 따라 시스템 레벨 ESD에 의한 IC 오동작이 빈번히 발생하고 있어 그 중요성이 부각되고 있다.

시스템 ESD 문제 해결을 위해서는 ESD 보호회로 및 소자 연구와 burst-EFT, surge 등의 EMC immunity 문제를 함께 아울러 전체적인 이해가 필요할 것으로 보이며, 아직까지 복잡한 실제 시스템에서 시스템 ESD 노이즈가 어떤 경로로 커플링 되는지에 대해서는 명확하게 파악은 되어 있지 못하고 있어, 반도체 회로 및 EMC 분야 연구자들에 의해 지속적으로 연구가 필요할 것으로 예상된다.

참 고 문 헌

- [1] M. Mardiguian, "Electrostatic discharge: Understand, simulate, and fix ESD problems", *IEEE Wiley*, 2009.
- [2] Electromagnetic Compatibility (EMC), "Testing and Measurement Techniques-Electrostatic Discharge Immunity Test", IEC 61000-4-2, 2008.
- [3] JEDEC Standard JESD22-C101F, "Field-induced charged-device model test method for electrostatic discharge-Withstand thresholds of microelectronic components", 2013.
- [4] M-D. Ker, Y. Hsiao, "Investigation on board-level CDM ESD issue in IC products", *IEEE Transactions on Device and Materials Reliability*, 8(4), pp. 694-704, Dec. 2008.
- [5] J-H Chun, "ESD protection circuits for advanced CMOS technologies", Ph D. Dissertation, Stanford University.
- [6] Application Note AN210, "Effective ESD Protection Design at System Level Using VF-TLP Characterization Methodology", Infineon Technologies.
- [7] D. Pommerenke, "ESD: Transient fields, arc simulation, and rise time limit", *J. Electrostatics*, 36(1), pp. 31-54, Nov. 1995.
- [8] D. Pommerenke, M. Aidam, "ESD: Waveform calculation, field and current of human and simulator ESD", *J. Electrostatics*, 38(1,2), pp. 33-51, Oct. 1996.
- [9] K. Wang, D. Pommerenke, and R. Chundru, "Numerical modeling of electrostatic discharge generators", *IEEE Trans. Electromagn. Compat.*, 45, pp. 258-271, May 2003.
- [10] J. Koo, Q. Cai, G. Muchaidze, K. Wang, and D. Pommerenke, "Frequency-domain measurement method for the analysis of ESD generators and coupling", *IEEE Trans. on EMC*, 49(3), pp. 504-511, Aug. 2007.
- [11] J. Park, J. Lee, B. Seol, and J. Kim, "Efficient calculation of inductive and capacitive coupling due to electrostatic discharge (ESD) using PEEC method", *IEEE Trans. on EMC*, 57(4), pp. 743-753, Aug. 2015.
- [12] J. Park, J. Lee, S. Kim, B. Seol, and J. Kim, "Fast calculation of system-level ESD noise coupling to a microstrip line using PEEC method", *2015 IEEE EDAPS Symposium*, Seoul, Korea, Dec. 2015.
- [13] M. Park, J. Park, M. Seung, J. Choi, C. Lee, and J. Kim, "Measurement and modeling of system-level ESD noise voltages in real mobile products", Submitted, *2016 APEMC Symposium*, Shenzhen, China, May 2016.

≡ 필자소개 ≡

김진국



2000년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)

2002년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)

2006년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)

2006년 7월~2008년 12월: 삼성전자 DRAM 설

계팀 책임연구원

2009년 1월~2011년 7월: Missouri S&T EMC Lab. 포닥연구원

2011년 8월~2015년 8월: 울산과학기술원 조교수

2015년 9월~현재: 울산과학기술원 부교수

[주 관심분야] EMC, ESD, Signal Integrity