

## 나노튜브 직경과 산화막 두께에 따른 탄소나노튜브 전계 효과 트랜지스터의 출력 특성

박종면<sup>1,a</sup>, 홍신남<sup>1</sup>

<sup>1</sup> 한국항공대학교 항공전자공학과

### Output Characteristics of Carbon-nanotube Field-effect Transistor Dependent on Nanotube Diameter and Oxide Thickness

Jong-Myeon Park<sup>1,a</sup> and Shin-Nam Hong<sup>1</sup>

<sup>1</sup> Department of Electronic Engineering, Korea Aerospace University, Goyang 412-791, Korea

(Received November 14, 2012; Revised December 6, 2012; Accepted January 2, 2013)

**Abstract:** Carbon-nanotube field-effect transistors (CNFETs) have drawn wide attention as one of the potential substitutes for metal-oxide-semiconductor field-effect transistors (MOSFETs) in the sub-10-nm era. Output characteristics of coaxially gated CNFETs were simulated using FETToy simulator to reveal the dependence of drain current on the nanotube diameter and gate oxide thickness. Nanotube diameter and gate oxide thickness employed in the simulation were 1.5, 3, and 6 nm. Simulation results show that drain current becomes large as the diameter of nanotube increases or insulator thickness decreases, and nanotube diameter affects the drain current more than the insulator thickness. An equation relating drain saturation current with nanotube diameter and insulator thickness is also proposed.

**Keywords:** CNFET, Carbon nanotube, Nanotube diameter, FETToy

#### 1. 서 론

1991년 최초로 발견된 이후 탄소 나노튜브(CNT)의 기계적, 열적, 전기적으로 우수한 특성이 지속적으로 밝혀지고 있다. CNT는 강도가 매우 높으며 열전도도는 다이아몬드보다 두 배 정도 크다. 또한 CNT의 전기 저항은 매우 낮으며, 전류 수송 능력은 구리의 약 1,000배에 이르는 것으로 밝혀지고 있다 [1,2]. 이러한 장점들로 인하여 CNT를 이용한 연구가 다양한 분야

에서 이루어지고 있다.

실리콘 MOSFET의 채널 길이가 감소됨에 따라 터널링 등의 단채널 효과가 발생하였으며, 이러한 문제점을 해소하여 나노급 영역에서도 우수한 특성을 갖는 트랜지스터를 제작하기 위해 CNT를 전계효과 트랜지스터의 채널 지역에 사용하는 것에 대한 연구가 활발히 진행되고 있다 [3]. CNFET는 누설전류의 감소, 탄도성 전송 (ballistic transport), 높은 온 (on) 전류 등의 장점이 있어 나노 실리콘 MOSFET의 훌륭한 대안 중에 하나가 될 수 있을 것으로 기대되고 있다.

CNFET의 전기적 특성을 예측하고 분석하기 위한 여러 모델이 제안되었다. 비평형 그린 함수 방법은 물리적인 개념을 이용하여 정확한 결과를 제공하지만

a. Corresponding author; myeon@kau.ac.kr

시뮬레이션이 오래 걸리며 계산이 복잡하다 [4]. Compact model은 반복 계산을 회피하기 위해 표면전위를 근사하여 SPICE 등의 회로 시뮬레이터에 사용할 수 있도록 하는 방법으로 [5-9], 시뮬레이션 시간이 단축되는 장점이 있지만 정확성이 떨어지는 단점이 있다. 수치 모델 (numerical model)은 시뮬레이션 시간과 정확도 면에서 두 모델의 중간 정도이며, 소자의 동작원리를 이해하기 용이한 해석적 방법이나 표면전위와 양자 커패시턴스를 구하기 위해서는 반복 계산이 필요하다 [10].

탄소나노튜브를 게이트로 사용한 여러 구조의 CNFET 중에 가장 우수한 특성을 나타낼 것으로 예측되는 동축 게이트 구조의 CNFET는 공정상의 이유로 현재 제작되지 못하고 있지만, 실제 구현되기 전에 CNFET의 전기적 특성을 예측하기 위하여 시뮬레이션이 선행되어야 한다. 본 논문에서는 수치 모델을 도입한 FETToy 시뮬레이터를 [11] 이용하여 시뮬레이션 하였으며, 이때 입력한 파라미터는 탄소나노튜브 직경, 산화막 두께, 산화막 종류, 문턱전압,  $a_G$ ,  $a_D$  등이다. 게이트 산화막은  $ZrO_2$ ,  $a_G = 1$ ,  $a_D = 0$ 으로 설정하였으며, 탄소나노튜브 직경과 산화막 두께를 변화시키며 CNFET의 출력 특성 분석하였다.

## 2. 실험 방법

### 2.1 CNFET 모델링

본 논문에서는 동축 게이트 구조의 CNFET에 대해 시뮬레이션 하였으며, 단면도를 그림 1에 나타내었다.

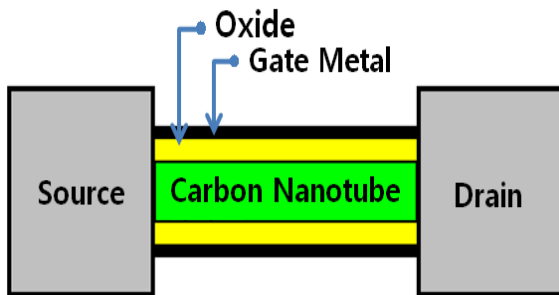


Fig. 1. Cross section of a coaxially gated CNFET.

그림 2에는 수치 모델을 이용하여 drain 전류를 구하는 순서를 나타내었다. 수치 모델로 드레인 전류를

구하려면 우선  $V_{GS}$ 와  $V_{DS}$ ,  $\Delta$  값을 선택해야 한다.  $\Delta$ 는 평형 상태일 때 전도대의 최솟값을 의미하며 다음과 같이 정의된다.

$$\Delta_p = \Delta_1 \frac{6p-3-(-1)^p}{4} \quad (1)$$

$p$ 는 전도대의 수를 의미하며, 본 논문에서는 첫 번째 전도대의 최솟값을 사용하였으므로  $p=1$ 이다.  $\Delta_1$ 은 다음과 같다.

$$\Delta_1 = E_G/2 \quad (2)$$

다음 식 (3)은 CNFET의 문턱전압을 구하는 식이며, 식 (3a)는 식 (3b)와 같이 근사될 수 있다 [12].

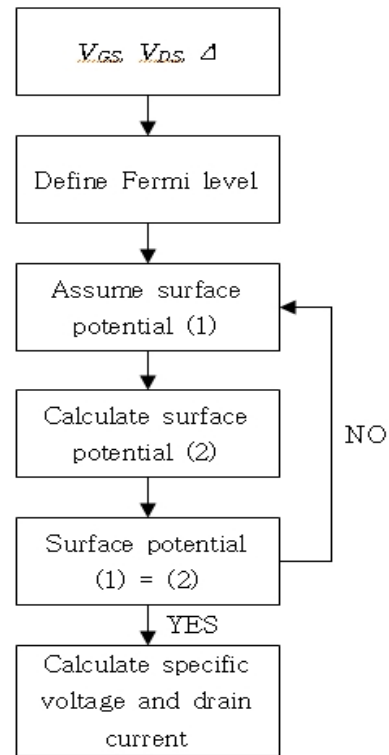


Fig. 2. Sequence of calculating  $I_{DS}$ .

$$V_T \approx kT \left[ \frac{1}{12} e^{\frac{E_g + e\alpha V_D}{2kT}} \left( \sqrt{24 + e^{\frac{e\alpha V_D}{kT}}} - e^{e\alpha V_D/2kT} \right) \right] \quad (3a)$$

$$\approx \frac{1}{2d_{CNT}} \quad (3b)$$

다음에는 라플라스 퍼텐셜  $U_L$ 과 운동전하에 의한 퍼텐셜  $U_P$ 의 합으로 정의되는 표면전위  $\Psi_S$ 를 계산해야 한다.

$$\Psi_S = U_L + U_P \quad (4)$$

$U_L$ 은 채널 내의 운동전하는 무시하였을 때 단자 전압에 의한 퍼텐셜이며,  $U_P$ 는 세 단자는 접지시켰을 때의 운동전하에 의한 퍼텐셜을 의미한다.

$$U_L = \alpha_G V_{GS} + \alpha_D V_{DS} + \alpha_S V_{SS} \quad (5)$$

$$U_P = -\frac{q}{C_\Sigma} (N_S + N_D) \quad (6)$$

식 (5)에서  $\alpha_G = C_G/C_\Sigma$ ,  $\alpha_D = C_D/C_\Sigma$ ,  $\alpha_S = C_S/C_\Sigma$ 이며,  $C_\Sigma = C_G + C_D + C_S$ 이다.  $N_S$ ,  $N_D$ 는 소스와 드레인의 에너지 장벽 최상층에서의 전자밀도를 나타낸다.

$$N_S = \int_0^{+\infty} D_0 \frac{|E|}{\sqrt{E^2 - (\frac{E_G}{2})^2}} f(E + q\Psi_S - \mu_S) dE \quad (7)$$

$$N_D = \int_0^{+\infty} D_0 \frac{|E|}{\sqrt{E^2 - (\frac{E_G}{2})^2}} f(E + q\Psi_S - \mu_D) dE \quad (8)$$

식 (7)과 (8)의 상태 밀도  $D_0 = 8/(3\pi a_\alpha V_{II})$ 이다.  $a_\alpha$ 는 C-C 결합 거리이며,  $V_{II}$ 는 C-C의 결합 에너지를 나타낸다.  $\mu_S$ ,  $\mu_D$ 는 소스와 드레인의 페르미 레벨이며, 각각 0과  $-qV_{DS}$ 이다. 표면전위를 구하려면 일단 적절한 값의 표면전위를 가정하고 식 (4)에서 (7)을 이용하여 구한 값과 같아질 때까지 반복 계산하여야 한다.  $\Psi_S$ 를 구한 후 다음 식으로 고유전압을 구한다.

$$\xi_S = \frac{\Psi_S - (\Delta_1 + \mu_S)/q}{kT} \quad (9)$$

$$\xi_D = \frac{\Psi_S - (\Delta_1 + \mu_D)/q}{kT} \quad (10)$$

최종적으로 다음 식에 고유전압을 적용하여 드레인 전류를 구한다.

$$I_{DS} = \frac{4qkT}{h} \Sigma [\ln \{1 + \exp(-\xi_S)\} - \ln \{1 + \exp(-\xi_D)\}] \quad (11)$$

본 논문에서는 탄소나노튜브 직경과 산화막 두께가 1.5 nm, 3 nm, 6 nm인 CNFET의 특성을 시뮬레이션하여 분석하였다.

### 3. 결과 및 고찰

그림 3에는 산화막 두께를 1.5 nm로 일정하게 유지하고 나노튜브 직경을 변화시켰을 때의 드레인 전류와 게이트 전압 간의 관계를 나타내었다. 나노튜브 직경이 커질수록 문턱전압이 작아지며, 이는 식 (3b)에서  $V_T$  값이 나노튜브 직경에 반비례하는 관계와 일치하는 결과이다. 그림 4에서 6까지의 CNFET 특성은 이 문턱전압 값을 적용하여 시뮬레이션한 결과이다.

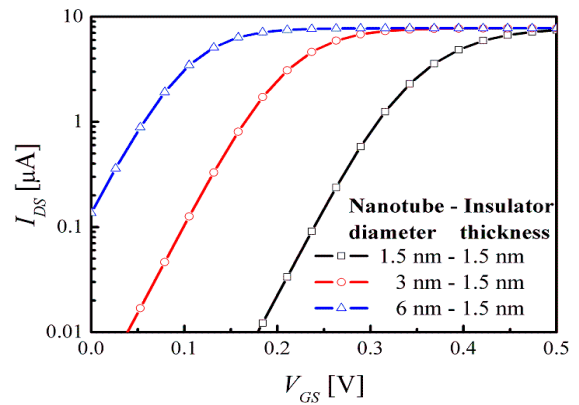


Fig. 3. Drain current as a function of gate voltage at  $V_{DS} = 0.05$  V.

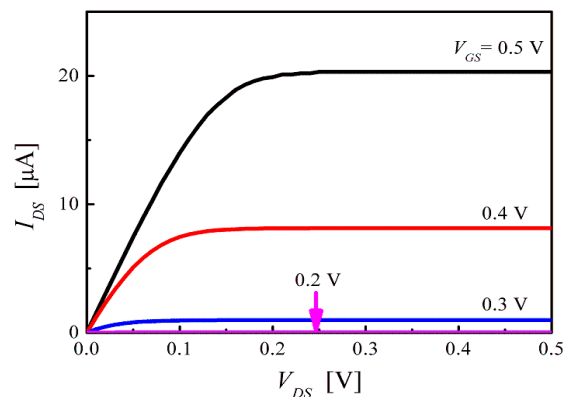
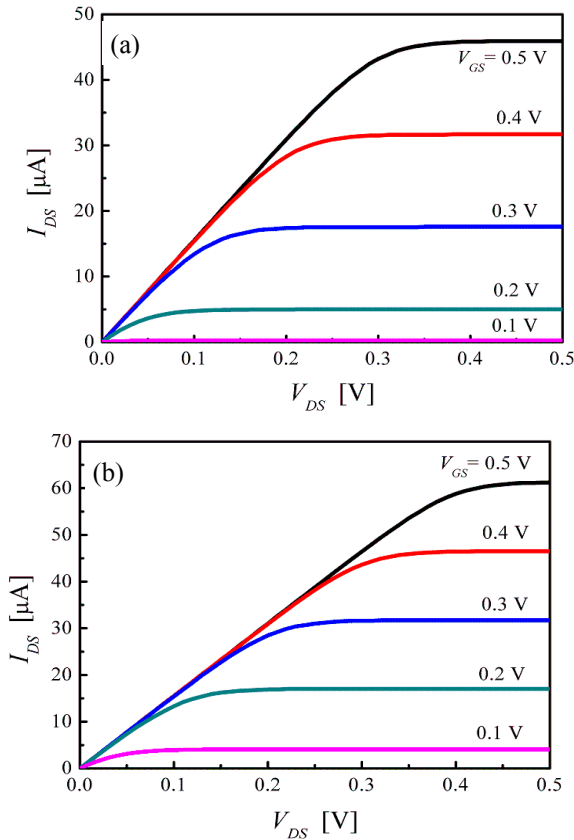


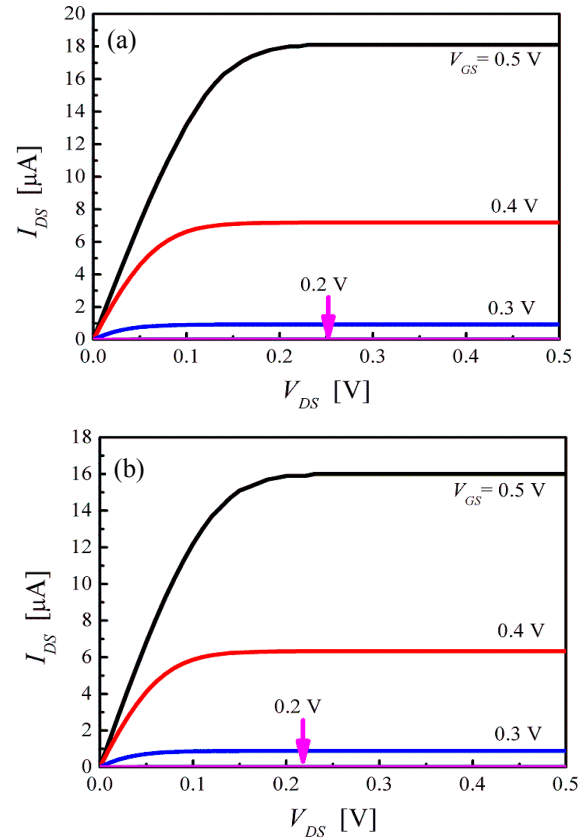
Fig. 4. Output characteristics simulated for a CNFET with a 1.5-nm-diameter nanotube and a 1.5-nm-thick gate insulator.



**Fig. 5.** Output characteristics simulated for CNFETs with (a) a 3-nm-diameter nanotube and a 1.5-nm-thick gate insulator and (b) a 6-nm-diameter nanotube and a 1.5-nm-thick gate insulator.

그림 4는 나노튜브 직경과 산화막 두께가 1.5 nm 인 CNFET의 출력 특성이다.  $V_{GS}$ 가 0.5 V일 때 드레인 포화전류는 20.3  $\mu\text{A}$ 이다.

그림 5의 (a)와 (b)는 산화막 두께는 1.5 nm로 동일하게 유지하고 나노튜브 직경은 각각 3 nm와 6 nm로 설정하여 시뮬레이션한 CNFET의 출력 특성 곡선이다.  $V_{GS}$ 가 0.5 V일 때, 드레인 포화전류는 나노튜브 직경이 3 nm와 6 nm일 때 각각 45.9  $\mu\text{A}$ , 61.2  $\mu\text{A}$ 이다. 그림 4, 그림 5(a), 그림 5(b)를 비교하면 나노튜브 직경이 커질수록 드레인 전류가 커지는 것을 알 수 있다. 이는 나노튜브 직경이 커지면 표면적이 커져 전류를 흘릴 수 있는 용량이 증가하며 또한  $E_g = 0.852/d_{CNT}$  [11]에 따라 밴드갭이 작아져 나노튜브를 통하여 이동할 수 있는 전자의 양이 증가하기 때문이다. 나노튜브 직경이 커질수록 나노튜브를 통

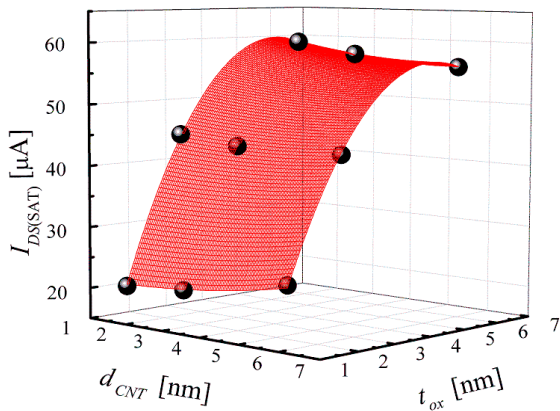


**Fig. 6.** Output characteristics simulated for CNFETs with (a) a 1.5-nm-diameter nanotube and a 3-nm-thick gate insulator and (b) a 1.5-nm-diameter nanotube and a 6-nm-thick gate insulator.

하여 이동할 수 있는 전자의 양이 증가하여 드레인 전류가 커지는 것을 알 수 있다.

다음 그림 6의 (a)와 (b)는 나노튜브 직경은 1.5 nm로 동일하게 설정하고 산화막 두께는 각각 3 nm와 6 nm로 설정하여 시뮬레이션한 CNFET의 출력 특성 곡선이며, 0.5 V의  $V_{GS}$ 가 인가되었을 때 드레인 포화 전류는 각각 18.1  $\mu\text{A}$ 와 16  $\mu\text{A}$ 이다. 산화막 두께가 증가하면 게이트 산화막 커패시턴스가 작아지고 표면전위가 감소하여 드레인 전류가 감소하는 것을 알 수 있다.

앞의 5개 조건에 대한 출력 특성 이외에도  $d_{CNT}$ 와  $t_{ox}$ 가 3 nm와 6 nm일 때의 나머지 네 조합에 대한 특성을 추가로 시뮬레이션하였다.  $V_{GS} = 0.5$  V일 때의 드레인 포화전류와 나노튜브 직경과 산화막 두께 간의 관계를 다음 그림 7에 나타내었다.  $I_{DS(sat)}$ 는  $t_{ox}$ 에



**Fig. 7.** Drain saturation currents as functions of nanotube diameter and oxide thickness. Applied  $V_{GS}$  is 0.5 V.

따라 완만하게 감소하지만  $d_{CNT}$ 에 따라 급격히 증가하는 것을 알 수 있다.  $I_{DS(sat)}$ 를  $d_{CNT}$ 와  $t_{ox}$ 의 함수로 표시하기 위해 이차원 포물선 함수를 이용하여 곡선 적합하였으며, 결과는 다음 식 (12)와 같다.

$$I_{DS(sat)} = -12.67 + 28.01d_{CNT} - 2.26t_{ox} - 2.53d_{CNT}^2 + 0.15t_{ox}^2 \quad (12)$$

이 때  $d_{CNT}$ 와  $t_{ox}$ 는 nm 단위로 대입하면  $I_{DS(sat)}$ 는  $\mu A$  단위로 주어진다.

#### 4. 결론

CNFET의 문턱전압과  $I-V$  특성은 나노튜브의 직경과 게이트 산화막의 두께에 따라 달라진다. 문턱전압은 나노튜브 직경에 반비례하였다.

나노튜브 직경이 커짐에 따라 나노튜브를 지나가는 전자들의 수가 많아져 출력 전류는 더 커지는 반면에 게이트 산화막의 두께가 커지면 산화막의 커패시턴스가 작아지고 표면전위가 작아져 출력 전류가 작아지게 된다. 드레인 전류의 증가·감소폭은 산화막 두께 변화보다는 나노튜브 직경 변화에 따라 더 많이 좌우되는 것을 알 수 있었다.

#### REFERENCES

- [1] M. P. Anantram and F. Leonard, *Rep. Prog. Phys.*, **69**, 507 (2006).
- [2] H. Li, C. Xu, N. Sricastava, and K. Banerjee, *IEEE Trans. Elec. Dev.*, **56**, 1799 (2009).
- [3] J. Appenzeller, *Proc. IEEE*, **96**, 201 (2008).
- [4] M. C. Shin, *J. Korean Phys. Soc.*, **52**, 1287 (2008).
- [5] A. Raychowdhury, S. Mukhopadhyay, and K. Roy, *IEEE Trans. Comput. Aided Des. Integr. Circuits Syst.*, **23**, 1411 (2004).
- [6] B. C. Paul, and T. Lee, *ACM Journal on Emerging Technologies in Computing System*, **3**, 12:1 (2007).
- [7] A. Aouaj, A. Bouziane, and A. Nouacry, *Proc. Int. Conf. Multimedia Computing and Syst. ICMCS '09* (Ouarzazate, Morocco, 2009) p. 236.
- [8] F. Pregaldiny, C. Lallement, and J. B. Kammerer, *Proc. IEEE Int. Conf. Design Test Integr. Syst. (DTIS) Nano. Technol.* (Tunis, Tunisia, 2006) p. 34.
- [9] J. M. Park, J. H. An, and S. N. Hong, *J. Korean Phys. Soc.*, **61**, 410 (2012).
- [10] A. Rahman, J. Guo, S. Datta, and M. S. Lundstrom, *IEEE Trans. Elec. Dev.*, **50**, 1853 (2003).
- [11] *NANO HUB Online Simulation and More*. Available <http://www.nanohub.org> (2006).
- [12] D. Akinwande, J. Liang, S. Chong, Y. Nishi, and H. S. P. Wong, *J. Appl. Phys.*, **104**, 124514 (2008).