

이중 일함수 구조를 적용한 N-채널 EDMOS 소자의 항복전압 및 온-저항 특성

김민선¹, 백기주², 김영석², 나기열^{1,a}

¹ 충북도립대학 전자정보계열

² 충북대학교 반도체공학과

Breakdown Voltage and On-resistance Characteristics of N-channel EDMOS with Dual Work Function Gate

Min-Sun Kim¹, Ki-Ju Baek², Yeong-Seuk Kim², and Kee-Yeol Na^{1,a}

¹ School of Electronics & Information, Chungbuk Provincial College, Okcheon 363-806, Korea

² Department of Semiconductor Engineering, Chungbuk National University, Cheongju 361-763, Korea

(Received July 2, 2012; Revised July 17, 2012; Accepted July 17, 2012)

Abstract: In this paper, TCAD assessment of 30-V class n-channel EDMOS (extended drain metal-oxide-semiconductor) transistors with DWFG (dual work function gate) structure are described. Gate of the DWFG EDMOS transistor is composed of both p- and n-type doped region on source and drain side. Additionally, lengths of p- and n-type doped gate region are varied while keeping physical channel length. Two-dimensional device structures are generated through TSUPREM-4 and their electrical characteristics are investigated with MEDICI. The DWFG EDMOS transistor shows improved electrical characteristics than conventional device - i.e. higher transconductance (g_m), better drain output current (I_{ON}), reduced specific on-resistances (R_{ON}) and higher breakdown characteristics (BV_{DSS}).

Keywords: Breakdown voltage (BV_{DSS}), DWFG (dual work function gate), EDMOS (extended-drain metal-oxide-semiconductor), On-resistances (R_{ON})

1. 서론

고전압 반도체 소자는 디스플레이 구동회로, 전원 관리회로, 비휘발성 메모리 등과 같은 분야에서 폭넓게 사용되는 반도체 소자이다 [1-4]. 이러한 고전압 반도체 소자들의 주요 기능중 하나는 스위칭 동작이며, 우수한 스위칭 동작을 위해서는 높은 드레인 항복전압 (BV_{DSS})과 낮은 온-저항 (on-resistance) 특성이 필수적으로 요구된다. 그런데 고전압 소자의 구조

에서 항복전압과 온-저항은 일반적으로 trade-off의 관계가 존재한다. 즉, 높은 항복전압을 유지하기 위해서는 고전압 인가되는 접합 영역의 도핑을 낮게 유지하여야 한다. 그러나 이렇게 접합 영역의 도핑 농도를 낮게 하면, 반도체 소자 동작 과정에 온-저항 값이 증가하게 된다. 반대로 온-저항을 낮추기 위해서는 드레인 도핑을 높여야 하고, 이 경우에는 소자의 드레인 항복전압 값이 감소하게 된다. 이와같이 고전압 소자에서 항복전압과 온-저항의 관계는 쉽게 해결하기 어려운 점이 있다 [1-4].

지금까지 고전압 소자의 항복전압과 온-저항을 개

a. Corresponding author: keeyeol@cpu.ac.kr

선하기 위한 다양한 노력들이 발표되어왔다 [1-7]. 일부 문헌들에서 제안된 항복전압 및 온-저항 개선 방법들로는 드리프트 (drift) 영역의 길이를 변화시키고, 도핑농도를 조절함으로써 항복전압 및 온-저항을 개선한 연구들이 발표되었다 [1-3]. 이러한 드리프트 영역 길이와 도핑농도 조절을 통한 시도는 소자의 크기를 증가시킬 가능성이 있다는 단점이 존재한다.

일부 문헌에서는 게이트 산화막의 두께 조절을 통하여 항복전압 및 온-저항을 개선한 사례도 발표되었다 [4]. 이러한 접근 방식은 채널영역에 서로 다른 게이트 산화막이 필요하므로 공정 단계가 증가하고 소자의 신뢰성 측면에서 추가적인 연구들이 요구된다.

최근 들어서는 여러 층의 다결정실리콘들을 게이트 전극으로 조합하여 사용함으로써 게이트 물질의 일함수 (work function) 변화를 유도하여 소자의 온-저항을 개선한 사례들도 발표되었다 [5]. 그러나 이러한 방식도 여러 층의 게이트 물질을 사용하므로 공정 비용이 증가한다는 치명적인 단점이 존재한다.

또 다른 방식으로는 게이트 물질의 일부를 건식각한 후 Ni-FUSI (nickel fully silicide) 공정을 후속 적용한 방법이 있다 [6]. 그러나 이러한 방식에서는 게이트 물질의 식각량의 정확한 조절이 어렵다는 점과 FUSI 게이트에 의한 게이트 산화막의 품질 확보가 어려울 수 있다는 잠재적인 단점이 존재한다.

본 논문에서 다루고 있는 고전압 EDMOS 소자는 일반적인 액정 디스플레이 장치에서 게이트 구동회로 (gate driver IC) 분야에 응용하고자 개발하였다 [8]. 이와 같은 응용분야에 사용되는 고전압 EDMOS 소자는 항복전압 및 온-저항 특성들이 중요한 소자 변수이며, 이 변수들을 동시에 개선할 수 있는 방법으로 게이트 물질의 일함수 값을 두 가지 값으로 조정하는 DWFG (dual work function gate) EDMOS 소자 구조를 제안하고, 소자의 전기적인 특성을 TCAD 시뮬레이션으로 검증하였다. 본 논문에서 제안된 DWFG EDMOS 소자는 채널 방향을 따라 게이트 물질의 일함수 값을 변화시키는 구조이다. 이중 일함수 게이트를 구현하기 위해서는 게이트 물질에 도핑되는 불순물을 서로 다른 물질을 사용하였다. 이와 같은 일함수 조절방법은 일반적인 이온주입 공정을 적용하며, 이 방식은 CMOS 파운드리 (foundry) 공정에서 일반적으로 사용되는 방법이다. 즉, 이중 일함수 게이트를 구현하기 위하여 추가적인 공정이 요구되지 않으므로 기존 문헌들에서 제안된 방법에 비해 공정 비용측면에서 유리하다. 이러한 이중 일함수 게이트 구

조는 저전압 CMOS 소자에서 트랜스컨덕턴스 ($g_m = \partial I_{DS} / \partial V_{GS}$) 및 드레인 컨덕턴스 ($g_{ds} = \partial I_{DS} / \partial V_{DS}$) 을 개선하기 위해서 시도되었던 방식이기도 하다 [7]. 실험과정에서는 2-D 공정 시뮬레이터인 TSUPREM-4 를 이용하여 DWFG EDMOS 소자를 구현하였고, 2-D 소자 시뮬레이터인 MEDICI를 이용하여 전기적 특성을 조사하였다 [9,10].

2. 실험 방법

2.1 소자 구조 및 공정 순서

2.1.1 소자구조

그림 1은 기존의 EDMOS 소자와 본 논문에서 제안한 DWFG EDMOS 소자들의 구조이다. 두 개의 소자 모두 드레인 구조는 높은 항복전압을 유지하도록 낮은 도핑 농도 값을 갖는 드리프트 (drift) 구조로 구성되어 있다. 일반적으로 게이트와 드리프트 사이의 중첩 길이가 길어지면 드리프트 표면에 존재하는 높은 전계를 완화시키는 효과가 있어 소자의 항복전압을 증가시키는 효과가 있다. 그러나 이러한 중첩 영역에 얇은 산화막이 존재하게 되면 드레인에 높은 전압이 인가될 때 얇은 산화막의 항복현상이 발생할 수 있으므로 그림에서 보는 바와 같이 두꺼운 산화막을 성장시키는 구조를 모두 적용하였다.

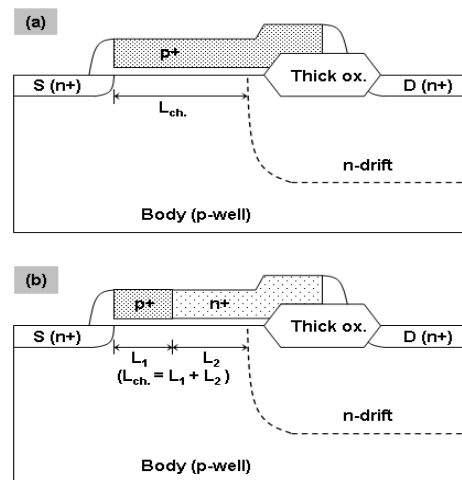


Fig. 1. Cross sectional view of (a) conventional EDMOS, (b) proposed DWFG EDMOS.

기존 EDMOS 소자와 제안된 DWFG EDMOS 소자 사이의 가장 큰 차이점은 게이트 도핑 형태이다. 그림 1(b)에서 보는 바와 같이 제안된 DWFG EDMOS 소자의 게이트 물질은 소스와 드레인 측의 도핑이 서로 다른 불순물로 도핑 되어있다. 즉, 소스 측의 게이트 물질은 p-형, 드레인 측의 게이트 물질은 n-형으로 도핑되므로, 소스 측의 게이트 물질은 드레인 측에 비해 높은 일함수 값을 갖도록 되어있다. N-형 및 p-형 실리콘의 일함수는 도핑 물질 및 도핑 농도에 의해 결정되므로, 기존의 EDMOS 소자와는 달리 제안된 DWFG EDMOS의 게이트 물질은 서로 다른 두 개의 일함수 값을 갖는다.

이러한 DWFG EDMOS 소자의 장점은 다음과 같다. 소자 동작 시 채널 방향을 따라 게이트 물질의 일함수 값이 변화하므로, 일함수 값이 변화하는 지점에서 채널 전위 (potential)의 분포가 급격하게 변화하게 된다. 이러한 급격한 채널 영역의 전위가 변화하게 되면 수평 방향으로 전계 (electric field)가 증가하게 된다. 이와 같이 수평 전계의 크기가 증가하면 채널 캐리어의 표동 (drift) 속도를 증가시키는 효과가 있으므로 소자의 g_m 및 구동 전류가 증가한다. 또한, 채널 전위의 급격한 변화가 일어나는 지점은 드레인 바이어스가 소스 측으로 확장되는 것을 방지하는 ‘스크린 (screen)’ 효과가 있다 [7].

본 실험에서는 p-형과 n-형으로 도핑된 게이트 물질의 경계 지점의 위치를 변화시켜가면서 EDMOS 소자의 전기적 특성들을 확인하였다. 편의상 본 논문에서는 DWFG EDMOS 소자의 채널 길이, p-형 게이트 길이와 n-형 게이트 길이를 각각 L_{ch} , L_1 및 L_2 로 표현하기로 한다.

2.1.2 공정 순서

그림 2는 TSUPREM-4를 이용하여 제작한 DWFG EDMOS 소자의 주요 공정 flow이다. 그림 2와 같이 제안된 DWFG EDMOS 소자의 주요 공정 순서는 p-well 형성, n-드리프트 형성, 게이트 산화막 형성, 게이트 물질 증착, n-형 게이트 도핑, n-LDD 도핑, LDD spacer 형성, n+ 및 p+ 게이트 도핑, 콘택 및 금속배선 공정 등의 순서로 진행되었다.

2차원 공정 시뮬레이터를 이용하여 완성한 소자에서 드리프트 영역과 게이트 증착 영역에 존재하는 두꺼운 산화막과 게이트 산화막의 두께는 각각 360 nm 및 12.5 nm 이었다. 또한, 소스 접합에서부터 드리프트

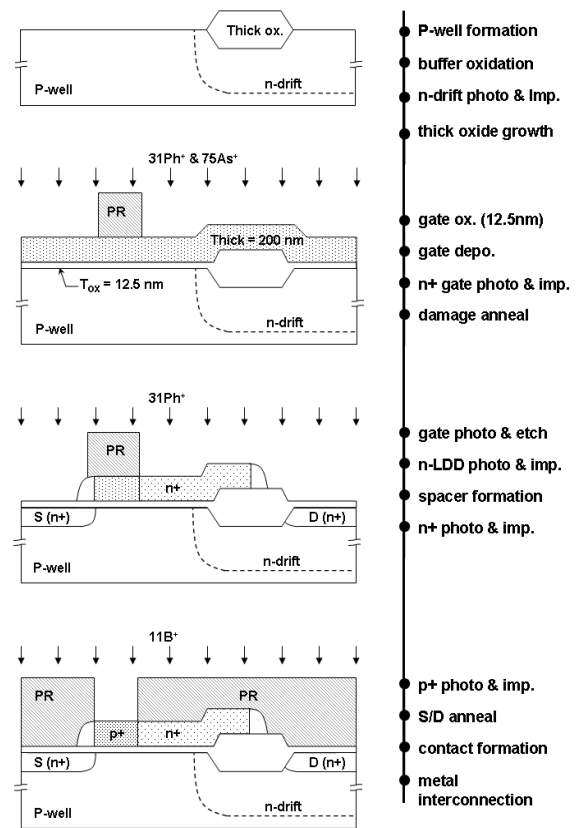


Fig. 2. Key process flow of the proposed DWFG EDMOS device.

트 접합까지의 거리인 유효채널길이 (L_{eff})는 $2.77 \mu m$ 이었다.

한편, 제안된 DWFG EDMOS 소자에서 L_1/L_2 의 비율 변화에 의한 소자의 전기적 특성을 확인하기 위하여, 채널 길이 $L_{ch}(=L_1+L_2=2.77 \mu m)$ 는 고정한 상태에서 L_1 의 길이를 변화시켰다. 즉, $L_1/L_2 = 0.5/2.5, 1.0/2.0, 1.5/1.5, 2.0/1.0$. 그리고 2.5/0.5 총 5종류의 DWFG EDMOS 소자 구조를 완성하였다. 한편, 전기적 특성의 상대 비교를 위하여 p-형으로만 도핑된 게이트 구조를 갖는 기존 EDMOS 소자를 함께 구현하였다.

3. 결과 및 고찰

이상과 같이 TSUPREM-4를 이용하여 구현된 EDMOS 소자들을 2차원 소자 시뮬레이터인 MEDICI

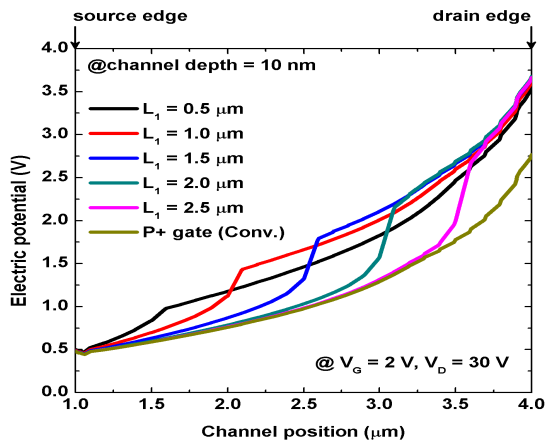


Fig. 3. Channel potential distribution of the proposed DWFG EDMOS devices with different L_1 lengths.

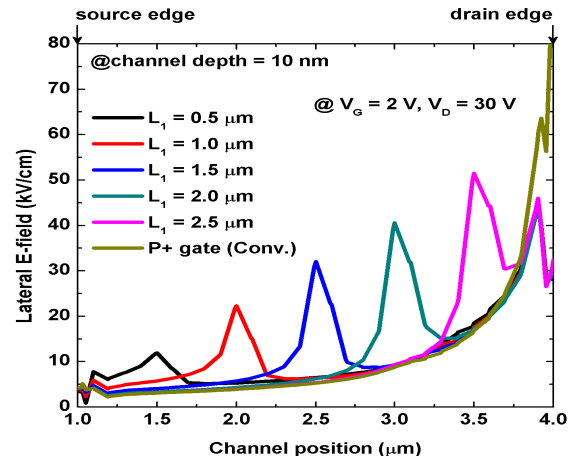


Fig. 4. Lateral electric field distribution of the proposed DWFG EDMOS devices with different L_1 lengths.

를 이용하여 전기적 특성을 조사하였다. 다음부터 소개하는 모든 소자 시뮬레이션 진행에서는 CONMOB, TFLDMOB, CONSRH, FLDMOB, AUGER, BGN, IMPACT.I 모델들이 사용되었다. 또한 총 시뮬레이션 소요 시간을 고려하여 TSUPREM-4에서 구현된 소자구조에서 깊이 방향으로 10 μm 이하의 영역은 제거한 후 시뮬레이션을 진행하였다.

그림 3은 제안된 DWFG EDMOS 소자 및 기존 EDMOS 소자의 채널 영역에서의 전위 분포이다. 전술한 바와 같이 제안된 DWFG EDMOS 소자에서는 다양한 길이의 L_1 (p형 도핑된 게이트 길이) 값을 갖도록 설계하였다. 그림 3에서 보는 바와 같이 기존 EDMOS 소자에서 전위 분포를 보면, 소스 영역으로부터 드리프트 접합까지 점차적으로 전위가 증가하다가 드리프트 접합 부근에서 가장 급격한 전위 변화를 보이고 있다. 그러나 제안된 DWFG EDMOS 소자들의 경우에는 L_1 과 L_2 의 경계 지점에서 전위의 급격한 변화가 발생하게 된다. 이렇게 채널 전위의 급격한 변화는 게이트 일함수의 차이에서 기인하는 것이고, 이러한 채널 전위의 분포는 그림 4에 보는 바와 같이 채널영역의 수평방향 전계 (electric field)의 피크 (peak)를 형성하게 된다.

그림 4는 채널영역의 수평방향 전계분포이다. 기존의 EDMOS 소자에서는 채널방향을 따라 전계의 분포가 완만하게 증가하다가, 드리프트 접합 영역에서 급격한 변화를 보인다. 그러나 그림 3에서 설명한 바

와 같이 제안된 DWFG EDMOS 소자는 채널 영역의 전위 분포가 급격하게 변화하는 지점에서 수평 방향 전계의 피크가 형성되는 것을 확인할 수 있다. 이렇게 채널 영역에서 급격하게 증가하는 수평 전계의 피크는 채널 캐리어의 표동 속도를 증가시키는 긍정적인 요인이 된다. 따라서 제안된 DWFG EDMOS 소자의 트랜스컨덕턴스 및 드레인 구동 전류는 기존의 EDMOS 소자에 비해 향상될 수 있는 것이다. 일반적으로 채널을 이동하는 캐리어의 표동속도는 전계에 의해 크게 좌우된다. 이러한 표동속도를 가능한 높이기 위해서는 가능한 소스 영역에 가까운 지점에서부터 전계의 피크가 발생할수록 표동속도를 개선하는 효과가 크다. 따라서 제안된 EDMOS 소자에서는 L_1 이 작을수록 전류 개선 효과가 클 것임을 예상할 수 있다. 부가적으로 드리프트 접합 부근 영역에서 전계의 최댓값을 관찰하면 제안된 DWFG EDMOS 소자들은 기존 EDMOS 소자에 비해 낮은 값을 보이고 있다. 제안된 DWFG EDMOS 소자의 경우 채널 영역에서 수평 전계의 피크가 발생하므로, 드리프트 부근에서는 수평 전계의 피크 값은 오히려 낮아진다. 이러한 효과는 후술하는 바와 같이 소자의 항복전압을 높이는 요인이기도 하다.

그림 5는 제안된 EDMOS 소자에서 드레인 전압을 0.1 V가 인가되었을 때 g_m 및 드레인 전류 특성이다. 그림에서 보는 바와 같이 이중 일함수 게이트 구조의 EDMOS 소자들은 기존 구조의 EDMOS 소자에 비해

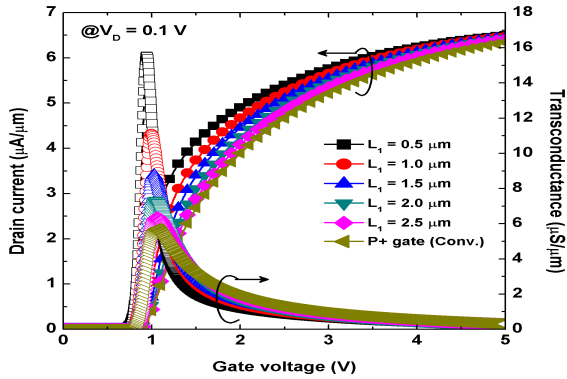


Fig. 5. Transconductance (g_m) and drain current characteristics of the proposed DWFG EDMOS devices with different L_1 lengths. ($V_D = 0.1$ V)

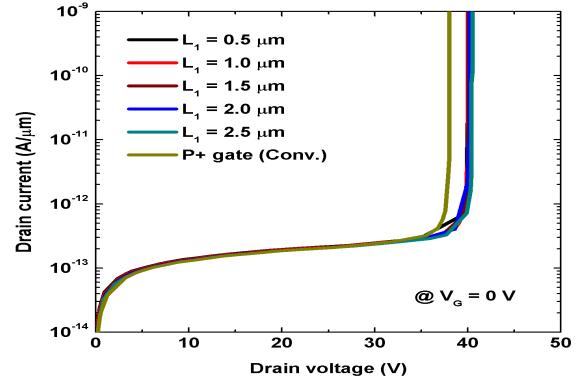


Fig. 7. Breakdown characteristics of the EDMOS devices for different L_1 lengths. (at $V_{GS} = 0$ V)

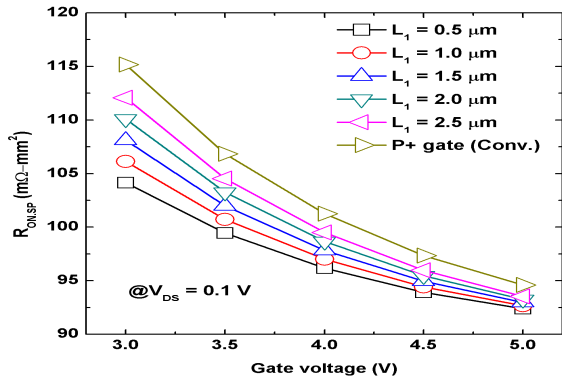


Fig. 6. On-resistance characteristics of the proposed DWFG EDMOS as a function of gate voltages for different L_1 lengths. (at $V_{DS} = 0.1$ V)

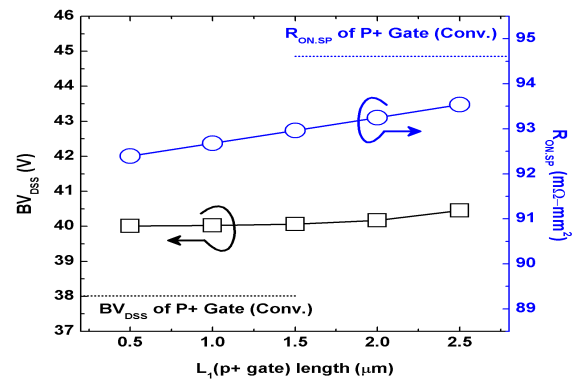


Fig. 8. BV_{DSS} and $R_{ON,SP}$ characteristics of the proposed DWFG EDMOS for different L_1 lengths. (at $V_{GS} = 5$ V)

개선된 g_m 특성을 보이고 있다. 그림에서 보는 바와 같이 L_1 이 작을수록 최대 g_m 값이 더욱 증가하는 것으로 관찰되었다. 이러한 경향은 앞서 채널 영역에서의 전위 분포 및 수평 전계 분포에 대한 설명에서 이미 설명하였다. 특히, 드레인에 0.1 V를 인가하였을 때 기존 EDMOS 소자에 비해 제안된 DWFG EDMOS 소자의 최대 g_m 값은 약 2.7배 증가하는 것으로 나타났다. 드레인 전류의 경우도 제안된 DWFG EDMOS 소자에서 더욱 개선된 특성들이 나타났으며 L_1 이 작을수록 드레인 전류 값이 높게 나타나는 것을 확인하였다.

그림 6은 EDMOS 소자의 온-저항 특성이다. 온-저항 특성은 스위칭 특성 중에서 턴-온 (turn-on) 상

태에서 소자의 전기적 특성을 판단할 수 있는 중요한 파라미터이다. 온-저항은 가능한 작은 값을 갖는 것이 바람직하다. 그림 6에서 보는 바와 같이 게이트 전압이 증가하면서 온-저항은 점차 감소하게 되며, 특히 DWFG EDMOS 소자의 온-저항 값이 기존 구조의 EDMOS 소자에 비해 낮은 값을 갖는 것으로

확인되었다. 특히, $L_1=0.5 \mu\text{m}$ 인 DWFG EDMOS 소자에서 가장 낮은 온-저항 값을 갖는 것이 확인되었으며, 이러한 경향은 그림 3 및 4의 설명에서 언급한 바와 같이 채널 캐리어들이 소스 영역 부근에서부터 가속될 경우 전류 특성이 개선된다는 예상과 정확히 일치한다.

그림 7은 제안된 DWFG EDMOS 소자와 기존

EDMOS 소자의 항복전압 특성을 보여주는 그림이다. EDMOS 소자의 오프 (off) 특성들 가운데 중요한 특성은 항복전압 특성이다. 항복전압에 의해서 EDMOS 소자의 최대 동작 전압이 제한되기 때문이다. 시뮬레이션 결과를 보면 기존 EDMOS 구조와 제안된 DWFG EDMOS 소자 모두 항복전압 이하의 영역에서 누설전류 특성은 거의 유사한 것으로 관찰되었다. 그리고 기존의 EDMOS 소자의 경우에는 38 V 수준의 항복전압이 관찰되었고, 제안된 DWFG EDMOS 소자들의 항복전압은 40 V 수준으로 나타났다. 그림 7에서 보는 바와 같이 제안된 DWFG EDMOS 소자의 항복전압이 기존 EDMOS 소자에 비해 2 V 정도의 차이를 보이는 것은 드리프트 접합 부근에서의 최대 전계 값의 차이에 의한 것으로 해석된다. 그림 4에서 소개된 바와 같이 제안된 DWFG EDMOS 소자는 드리프트 접합의 최대 전계 값들이 기존 구조 EDMOS에 비해서 낮다. 따라서 제안된 DWFG EDMOS 소자의 항복전압이 기존 EDMOS 소자의 항복전압에 비해서 높게 나타나는 것으로 해석된다.

그림 8은 제안된 DWFG EDMOS 소자의 L_1 길이 변화에 따른 항복전압 및 온-저항 특성을 함께 표시한 그림이다. 항복전압은 드레인 이외의 모든 전극은 접지에 연결하고, 드레인 전압을 증가시키면서 드레인 전류가 1 nA인 지점의 드레인 전압으로 측정하였다 (at. $V_D = \text{sweep}$, $V_S = V_B = V_G = GND$). 온-저항은 소스와 기판은 접지한 상태에서 게이트 및 드레인 전압을 각각 5 V 및 0.1 V 인가한 상태에서 드레인 전류를 추출하여 계산하였다 (at, $V_D = 0.1$ V, $V_S = V_B = GND$, $V_G = 5$ V). 상대적인 수치 비교를 위하여 기존 EDMOS 구조에서 관찰된 항복전압 및 온-저항 수치를 그림에 점선으로 표시하였다. 그림에서 보는 바와 같이 제안된 DWFG EDMOS 소자의 온-저항 특성은 기존 EDMOS 소자에 비해 낮은 값을 갖는 것으로 관찰되었고, L_1 값이 감소함에 따라 온-저항 값이 점차적으로 감소하는 것으로 나타났다. 항복전압의 경우 제안된 DWFG EDMOS 소자의 항복전압은 기존 EDMOS 소자에 비해 2.0 V 정도 높은 값을 가지고 있으며 L_1 길이의 변화에 대하여 크게 변화하지 않는 것으로 나타났다.

지금까지 살펴본 바와 같이 제안된 DWFG EDMOS 소자는 채널 방향으로 게이트 일함수 값의 변화를 통해 소자의 채널 영역에서 높은 수평 전계가 발생하게 된다. 이러한 수평 전계의 발생은 채널 캐

리어의 표동 속도를 높이고, 드레인 전류를 증가시키므로 온-저항을 감소시키는 효과가 있다. 또한, DWFG EDMOS 소자는 채널 영역 내부에서의 전계 상승과 반대로 드리프트 접합 영역에서는 최대 전계 수치가 감소하게 된다. 이러한 소자 특성의 변화들은 EDMOS 소자에서 항복전압을 개선하는 효과가 있는 것으로 확인되었다.

4. 결론

본 논문에서는 기존의 EDMOS 소자에서 온-저항 및 항복전압을 개선하기 위하여 DWFG 구조의 EDMOS 소자를 제안하고, TCAD 시뮬레이션을 이용하여 전기적 특성들을 비교 및 분석하였다. 소자의 구조를 구현하기 위하여 TSUPREM-4를 사용하였고, 전기적 특성을 비교 분석하기 위하여 MEDICI를 사용하였다. 실험 결과 제안된 DWFG EDMOS 소자는 기존의 EDMOS 소자에 비해서 온-저항 및 항복전압 측면에서 개선된 특성을 갖는 것으로 확인되었다.

감사의 글

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2011-0010084).

REFERENCES

- [1] H. S. Park and Y. K. Lee, *J. KIEEME*, **17**, 911 (2004).
- [2] J. B. Ha, K. Y. Na, K. R. Cho, and Y. S. Kim, *J. KIEEME*, **18**, 667 (2005).
- [3] H. W. Kim, S. C. Kim, W. Bahng, I. H. Kang, K. H. Kim, and N. K. Kim, *J. KIEEME*, **19**, 23 (2006).
- [4] W. Y. Jeong and K. M. Yi, *Trans. Electr. Electron. Mater.*, **10**, 1 (2009).
- [5] R. Sithanandam and M. J. Kumar, *Semicond. Sci. Technol.*, **25**, 193 (2010).
- [6] J. B. Ha, H. S. Kang, K. J. Baek, and J. H. Lee, *IEEE Electron Devices Lett.*, **31**, 848 (2010).
- [7] K. Y. Na and Y. S. Kim, *Jpn. J. Appl. Phys.*, **45**, 9033 (2006).
- [8] K. Mühlmann, *IEEE J. Solid-State Circuits*, **23**, 442 (1988).
- [9] *TSUPREM-4 User's Manual* (Synopsys, 2006)
- [10] *MEDICI User's Manual* (Synopsys, 2006)