

CMOS 공정을 이용한 2차원 SSIMT의 특성

Characteristics of the 2-D SSIMT using a CMOS Process

송윤귀¹, 류지구^{1,a}
(Youn-Gui Song¹ and Ji-Goo Ryu^{1,a})

Abstract

A novel 2-Dimensional Suppressed Sidewall Injection Magnetotransistor (SSIMT) with high linearity has been fabricated on the standard CMOS technology and experimentally verified. The novel 2-Dimensional SSIMT overcomes the restriction of the standard CMOS technology. Experimental results of the fabricated 2-Dimensional SSIMT show that the variation of each collector output currents are extremely linear as a function of magnetic field from -200 mT to 200 mT at $I_B = 1$ mA, $V_{CE} = 5$ V and $V_{SE} = 5$ V. The relative sensitivity shows up to 13 %/T. The measured nonlinearity of the fabricated device is about 0.9 %.

Key Words : SSIMT, Magnetotransistor, 2-dimensional, Guardring

1. 서 론

SSIMT(Suppressed Sidewall Injection Magnetotransistor)는 LMT(Lateral Magnetotransistor)의 보다 개선된 구조로서 중간이상의 자기장을 검출하는데 유용한 자기센서이다[1]. SSIMT는 대부분의 집적화 기술에서 부가적인 회로와 직접화가 쉽기 때문에 다른 자기소자들에 비해 많은 주목을 받고 있다[2]. SSIMT와 같은 반도체 자기센서는 반도체 내부의 전자와 자계의 물리적인 현상인 전류자기 효과(galvanomagnetic effect)를 이용한 것으로 초기의 반도체 자기센서는 자기장의 크기만을 감지하는 1차원 형태였다. 하지만 그 응용범위가 넓어져, 다양한 방향에서 존재하는 자기장의 세기와 방향을 측정할 수 있는 2차원 이상의 다차원 반도체자기검출 소자들이 활발히 연구되고 있다.

SSIMT는 에미터 양쪽에 있는 sidewall이 에미터에서 콜렉터로 직접적으로 흘러 들어가는 캐리어의 흐름을 최소화하고, 중성영역인 베이스 지역

에 수평한 전기장을 만들어 캐리어의 수평이동을 억제함으로써 감도를 증가시키는 구조를 가지고 있다[3-5].

SSIMT의 자기 반응은 중성 베이스 영역에서 로렌츠 힘에 의한 소수 캐리어 편향과 에미터 주입을 변화시키는 다수 캐리어의 편향이다. 이러한 편향의 정도는 캐리어의 이동도에 직접적으로 비례하므로 높은 이동도를 가진 전자가 홀에 비해 더욱 좋은 특성을 가지게 된다. 따라서 대부분의 SSIMT는 NPN형으로 만들어진다. 전통적인 NPN형의 SSIMT는 N-형 기판에 P-형 우물로 베이스 영역을 만든다. 에미터와 콜렉터는 MOS 트랜지스터에서 소스와 드레인을 형성하는 확산이나 주입공정을 통하여 만들어진다. 요즘 대부분의 표준 CMOS 공정에서는 P-형의 기판을 사용하고 있기 때문에 이런 전통적인 NPN SSIMT의 설계는 어렵다.

본 논문에서는 P-형 기판의 표준 CMOS 공정의 제한을 극복할 수 있을 뿐만 아니라 매우 우수한 선형성을 지닌 2차원 NPN형의 SSIMT를 제안하였다. 제안된 2차원 SSIMT는 칩 표면에 수평하게 인가되는 2차원 자기장의 세기를 각각 검출할 수 있으며, 매우 우수한 선형성을 가지고 있음을 실험 결과로 확인하였다.

1. 부경대학교 전자공학과

(부산시 남구 대연3동 599-1)

a. Corresponding Author : ryujg@pknu.ac.kr

접수일자 : 2007. 5. 7

1차 심사 : 2007. 7. 2

심사완료 : 2007. 7. 11

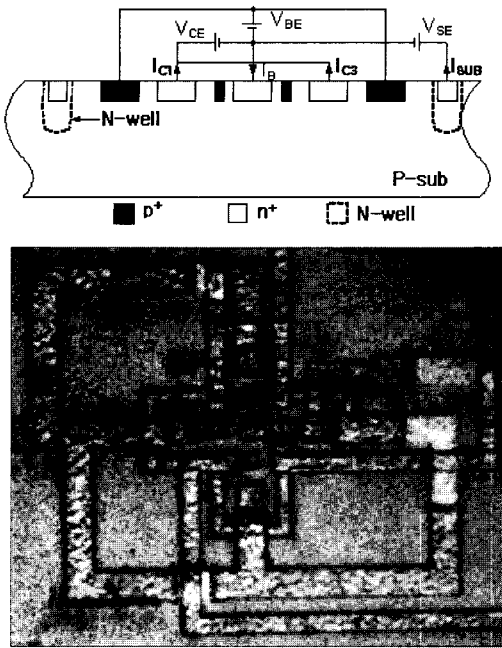


그림 1. 제안한 2차원 SSIMT의 구조.
Fig. 1. Proposed 2-D SSIMT structure.

2. 2차원 SSIMT의 설계 및 제작

본 논문에서 제안한 2차원 SSIMT는 에미터, 콜렉터 베이스 영역을 둘러싸고 있는 N-형 가상 기판(n-type pseudo substrate)으로 구성되어 있다. 제안한 2차원 SSIMT의 구조를 그림 1에 나타내었다. N-형 우물 가드링(n-type well guardring)으로 만들어진 N-형 가상 기판은 기판으로서의 역할 뿐만 아니라 SSIMT를 다른 소자들로부터 절연 분리시키는 역할과 외부의 잡음을 차단하는 역할을 하고 있다. 이러한 구조의 타당성은 1차원 SSIMT에서 확인되었다[6,7]. 베이스 영역은 P-형 기판을 P-형 우물처럼 동작하도록 만들어진다. 에미터는 자기 감도의 선형성을 높이기 위해 소수 캐리어의 수평적 이동을 억제하기 위한 p^+ 가드링으로 둘러싸여 있다. 콜렉터와 베이스는 중앙의 공통 에미터를 중심으로 완전 대칭으로 구성되어 오프셋을 최소화하였으며 각각 n^+ 과 p^+ 확산과 주입을 통해서만 들어왔다.

제안된 2차원 SSIMT는 $0.6 \mu\text{m}$ 표준 CMOS 공정을 이용하여 제작되었으며 그림 2에 등가회로를 나타내었다. I_{C1} , I_{C2} , I_{C3} , I_{C4} 그리고 I_{SUB} 은 각각 콜렉터와 기판에 흐르는 전류값을 나타내고 있다.

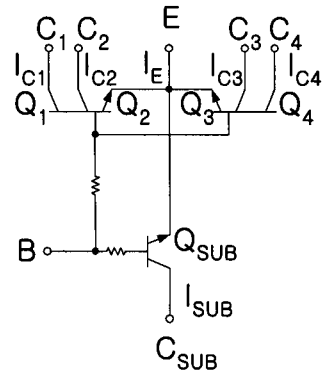


그림 2. SSIMT의 등가회로.
Fig. 2. Equivalent circuit of SSIMT.

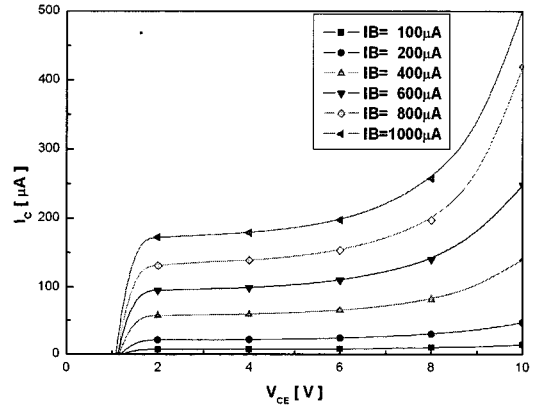


그림 3. $I_C - V_{CE}$ 특성.
Fig. 3. $I_C - V_{CE}$ characteristic.

3. 측정 및 논의

3.1 SSIMT의 전기적 특성

SSIMT의 전기적 특성 측정은 곧 트랜지스터의 전기적 특성을 조사하는 것과 같다. 그림 3은 자기장을 인가하지 않았을 때 V_{SE} 를 5 V로 고정된 후 V_{CE} 에 따른 총 콜렉터 전류 I_{C0} ($I_{C0} = I_{C10} + I_{C20} + I_{C30} + I_{C40}$)의 변화를 나타내고 있다. 이 그래프는 트랜지스터의 I-V 특성과 같은 형태로 제어전류인 I_B 와 V_{CE} 의 증가에 따라서 콜렉터 출력 전류가 증가하고 있음을 알 수 있다. 또한 V_{CE} 가 2 V 전에서 포화영역에 있음을 알 수 있다.

그림 4와 그림 5는 I_B 에 따른 콜렉터 전류 I_{C0} 와 N-형 가상 기판에 흐르는 기판 전류 I_{SUB} 를 각각 보이고 있다. 각각 출력 전류의 특성은 매우 선형

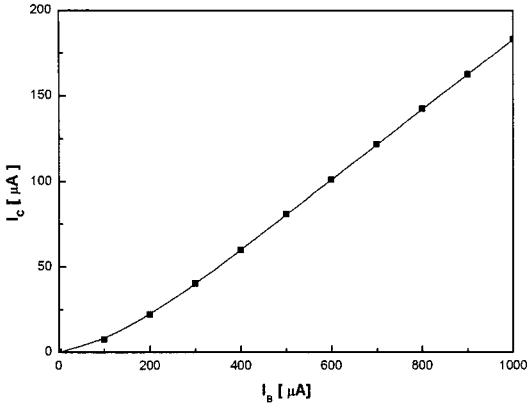


그림 4. IC - IB 특성.
Fig. 4. IC - IB characteristic.

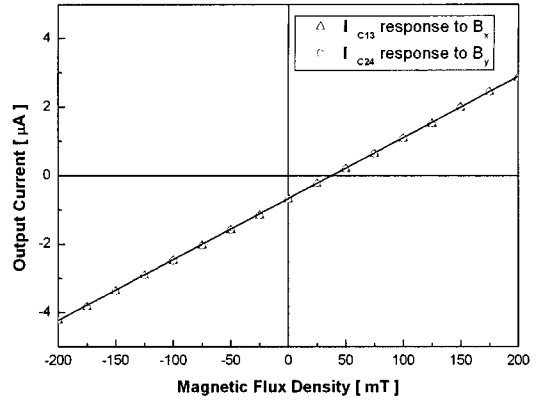


그림 6. 자기장의 변화에 따른 콜렉터 전류.
Fig. 6. Collectors current according to the magnetic induction.

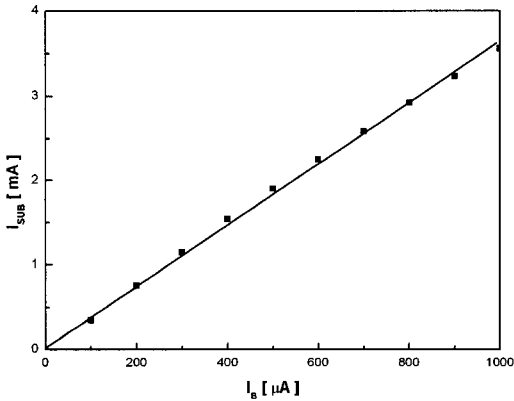


그림 5. Isub - IB 특성.
Fig. 5. Isub - IB characteristic.

적임을 알 수 있으며, 전통적인 SSIMT와 같이 많은 전류가 기관으로 흐르고 있음을 알 수 있다. 이는 SSIMT의 대부분의 전류가 기관에서 소비되고 있음을 의미하며, 결과적으로 본 논문에서 제안한 가상 N-형 가드링 기관이 완벽하게 기관으로서 동작함을 증명하는 것이다. 그림 3과 그림 4의 결과로 보아 상대적으로 높은 제어전류는 높은 콜렉터 전류를 보장해 줄 수 있지만 높은 기관전류를 생성하게 된다. 이런 높은 기관전류는 시스템을 불안정하게 하기 때문에 높은 성능과 안정성을 고려한 제어전류 선택은 매우 중요하다.

3.2 SSIMT의 자기적 특성

SSIMT의 자기 반응은 로렌츠 힘에 의한 것으로 콜렉터 전류의 비대칭을 야기한다. 자기장이 인

가되지 않은 상태에서는 모든 콜렉터에 동일한 전류가 흐른다. 하지만 칩 표면에 수평 방향으로 자기장이 인가되면 콜렉터 전류의 대칭성은 깨지고 각기 다른 값을 출력하게 된다. 콜렉터 전류의 차 $\Delta I_{CX} = I_{C3} - I_{C1}$ 그리고 $\Delta I_{CY} = I_{C4} - I_{C2}$ 는 각각 자기장의 x성분 Bx와 y성분 By에 각각 비례하여 나타난다. 2차원 SSIMT의 상대감도는 x성분과 y성분에 대하여 식(1)과 같이 각각 나타낸다.

$$S_{r,x} = \frac{|I_{C1} - I_{C3}|}{I_{C10} + I_{C30}} \frac{100}{B} (\%/T) \quad (1)$$

$$S_{r,y} = \frac{|I_{C2} - I_{C4}|}{I_{C20} + I_{C40}} \frac{100}{B} (\%/T)$$

여기서 IC1, IC2, IC3 그리고 IC4는 자기장이 인가된 상태에서 각 콜렉터의 전류이며 IC10, IC20, IC30와 IC40은 자기가 인가되지 않은 상태에서 각 콜렉터의 전류를 나타내며 B는 인가된 자기장을 의미한다.

그림 6은 ±200 mT 범위의 자기장의 변화에 대한 2차원 SSIMT의 각 성분의 콜렉터 전류 특성을 나타내고 있다. 자기장의 증가에 대하여 IC1, IC2는 감소하는 반면에 IC3, IC4는 선형적으로 증가하는 것으로 나타났다. 두 콜렉터 전류의 차이 ΔICX와 ΔICY가 SSIMT의 최종 출력으로서 자속의 증감에 대하여 선형적으로 증감하고 있음을 알 수 있다. 제작된 2차원 SSIMT의 상대감도는 13 %/T로 나타났다. 이는 자기장이 인가되지 않은 상태에서 흐르는 콜렉터의 초기 전류가 변화량에 비해 상대적으로 커 상대감도는 낮게 나왔다. 하지만 매우 우수한 선형성을 가지고 있음을 확인할 수 있었다. 소자의 비선형도는 약 0.9 %로 나타났다.

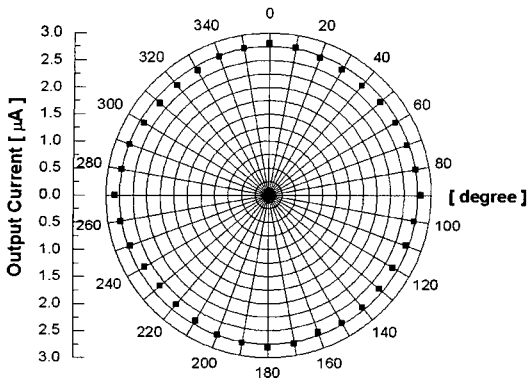


그림 7. 2차원 출력 특성.

Fig. 7. 2-Dimensional output characteristic.

3.3 2차원 SSIMT의 출력 특성

그림 7은 2차원 SSIMT의 2차원 출력 특성이다. 이것은 200 mT의 자속에서 $I_B = 1 \text{ mA}$, $V_{SE} = 5 \text{ V}$ 그리고 $V_{CE} = 5 \text{ V}$ 에서 스테핑 모터를 이용하여 10° 단위로 센서를 회전시키면서 각 콜렉터의 전류를 측정하여 x축과 y축의 출력으로 나타낸 그림이다. 중심축을 잡는 어려움과 측정오차가 수반되었지만 비교적 양호한 특성을 나타내었다.

4. 결 론

본 연구에서는 표준 CMOS 공정을 이용하여 NPN형 2차원 SSIMT를 설계 및 제작하는데 있어 공정의 제한을 극복하며 높은 선형성을 갖는 새로운 구조를 제안하여 제작, 그 특성을 조사하였다.

$0.6 \mu\text{m}$ 표준 CMOS 공정으로 제작된 SSIMT는 $I_B = 1 \text{ mA}$, $V_{CE} = 5 \text{ V}$ 그리고 $V_{SE} = 5 \text{ V}$ 의 조건에서, $\pm 200 \text{ mT}$ 의 자기장 변화에 대해 매우 선형적으로 변화하였으며, 비교적 양호한 2차원적 특성을 나타내었다. 비선형도는 약 0.9 % 그리고 상대감도는 약 13 %/T 이상으로 나타났다.

제안된 SSIMT의 감도는 N-형 기판을 사용하는 전통적인 NPN형의 SSIMT 보다 작게 나타났다. 하지만 현재 주류를 이루고 있는 P-형 기판을 사용

하는 표준 CMOS공정을 센서를 위한 추가적인 공정 없이 그대로 이용할 수 있으며, 신호처리 회로와 같은 부가적인 회로를 하나의 칩에 함께 집적화할 수 있다는 장점을 가지고 있다.

감사의 글

이 논문은 2005년도 부경대학교 기성회 학술연구비에 의하여 연구되었음(PK-2005-065).

참고 문헌

- [1] L. Ristic, H. Baltes, T. Smy, and I. Filanovsky, "Suppressed Sidewall Injection Magnetotransistor with Focused Emitter Injection and Carrier Doubledeflection", IEEE Electrondevice Lett., p. 395, 1987.
- [2] P. Malcovati, R. Castagneti, H. Baltes, C. Azeredo Leme, and F. Maloberi, "Switched capacitor dual-collector magnetotransistors, Circuits and Systems", ISCAS'94., 1994 IEEE International Symposium on, Vol. 5, p. 595, 1994.
- [3] Lj. Ristic, T. Smy, and H. P. Baltes, "A lateral magnetotransistor structure with linear response to the magnetic field", IEEE Trans, Electron. Dev. ED-36, p. 1076, 1989.
- [4] S. M. Sze, "Semiconductor Sensors", Wiley-Interscience, p. 249, 1994.
- [5] Lj. Ristic, T. Smy, and H. P. Baltes, "A magnetotransistor structure with offset elimination", Sensors and Materials, Vol. 1, No. 2, p. 87, 1988.
- [6] 송윤귀, 임재환, 정귀상, 김남호, 류지구, "CMOS 공정에 의한 SSIMT의 제작 및 특성", 전기전자재료학회 2002학계학술대회논문집, p. 168, 2002.
- [7] 송윤귀, 최영식, 김남호, 류지구, "CMOS 공정에 의한 suppressed sidewall injection magnetotransistor의 특성", 전기전자재료학회논문지, 17권, 10호, p. 1029, 2004.