

극초고주파용 CPW의 결합노이즈특성에 관한 연구

A Studying on the Crosstalk Characteristic of mm-wave Coplanar-waveguide

장인범^{1,a}, 박재준², 이준웅¹
(In-Bum Jang^{1,a}, Jae-Jun Park², and Joon-ung Lee¹)

Abstract

The purpose of this research is to establish the crosstalk characteristic of mm-wave Coplanar structure. The components in mm-wave CPW are classified to transmission devices, EM devices, and quasi-TEM devices. After design of these devices, we analyzed these CPWs electromagnetically using FDTD method, and suggested the crosstalk characteristic of mm-wave CPW. In order to realize a CPW module up to 30 GHz-100 GHz band, we research on a technology of 3-dimensional mm-wave CPW, and GaAs substrate with ohmic lossy layer. As a result this research, we suggested the optimum crosstalk characteristic of mm-wave CPW, and improved the crosstalk quality of mm-wave CPW.

Key Words : CPW(Coplanar-waveguide), mm-wave, Crosstalk characteristic FDTD(Finite difference time domain)

1. 서론

현 사회를 정보화 사회라 부를 만큼 정보의 양이 범람하고 있으며, 이러한 정보 대역폭의 증가에 따른 microwave spectrum의 부족으로 millimeter-wave 대역에 대한 관심과 연구 노력이 커지고 있으며, 최근 초고속, 대용량 통신 시스템의 구현은 다기능, 초소형 반도체 소자의 개발을 요구하고 있다[1]. 이러한 mm-wave 대역의 효율적인 사용을 위해서는 그 대역에서 원하는 특성을 갖는 소자와 회로의 효율적인 개발과 그러한 고속의 소자들을 이용하여 회로를 설계하거나 시스템의 제작이 이루어져야 하는데, 이를 위해서는 그 대역까지 그러한 소자와 회로의 특성을 정확히 정의할 수 있는 기판의 물성에 따른 전자파 및 회로기능의 동작특성을 예측할 수 있는 기술의 확보가 우선되어야 할 필수 요건이다[2-4]. 특히, 단일 기판 초고주파 집적회로(MMIC)는 고밀도, 고속 실장기술을 요구

하나 밀리미터파 대역에서의 큰 기생성분과 넓은 점유 면적으로 인하여 전기적 성능 및 고밀도 구성을 제한한다[5]. 이에 따라 이러한 기생효과를 줄이기 위한 방법으로 기판의 주재료인 GaAs층 이외 다른 기판재료를 부착함으로써 고밀도, 고성능, 저비용의 장점을 얻을 수 있다[6].

현재까지 밀리미터파 대역의 플립 칩 실장기술에 있어서 CPW는 신호선과 접지면이 동일면에 위치하기 때문에 간단한 솔더 범프만으로도 모드의 변환 없이 마주보고 있는 두 기판간의 연결이 가능하다는 장점이 있기 때문에 주기판과 플립 칩 기판이 모두 CPW형태인 경우의 연구가 활발히 수행되어왔다[7]. 그러나 이 경우 플립 칩 기판에서 접지면 (ground plane) 과 주기판에 의하여 발생하는 누설 영향으로 인한 이웃한 CPW나 다른 회로 소자에 매우 큰 누설간섭으로 회로 전체의 오동작을 유발할 수 있으며 방출되는 전자파로 인하여 심각한 외부로의 EMI 현상이 일어날 수 있다[8].

일반적으로 외부로의 EMI를 억제하기 위하여 플립칩 및 CPW 구조의 디바이스를 차폐층으로 감싸는 방법을 사용하고 있지만 이러한 경우 차폐층으로 인한 기생소자의 발생으로 회로 전체에 공진 특성의 저하와 결합노이즈 등의 장애로 회로 전체에 오동작에 큰 영향을 미칠 수 있다[9].

1. 광운대학교 전기공학과
(서울시 노원구 월계동 447-1)
2. 중부대학교 전기전자공학부
a. Corresponding Author : jib1052@naver.com
접수일자 : 2005. 10. 4
1차 심사 : 2005. 10. 10
심사완료 : 2005. 10. 19

따라서 본 논문에서는 초고속회로에 주로 응용되는 MMIC의 주재료인 GaAs기판과 GaAs 기판 위에 설계된 CPW(Co-planar waveguide)를 기본 구조로 하는 회로를 중심으로 이웃한 CPW선로로의 전자기적 간섭효과와 이격된 두 CPW Device 사이에서 나타나는 누설간섭효과를 억제하기 위하여 저항손실층을 삽입한 CPW 사이의 전자기적 간섭효과를 FDTD 방법으로 분석하여 EMI를 최소화 할 수 있는 기판구조를 구현하였다.

2. CPW구조 설계 및 FDTD 시뮬레이션

2.1 병렬 CPW 구조 설계 및 시뮬레이션

저항손실층의 집합 유무에 따른 병렬 CPW에서의 결합 노이즈를 해석하기 위한 해석모델을 그림 1에 나타내었으며 근접신호선로간의 결합노이즈 역

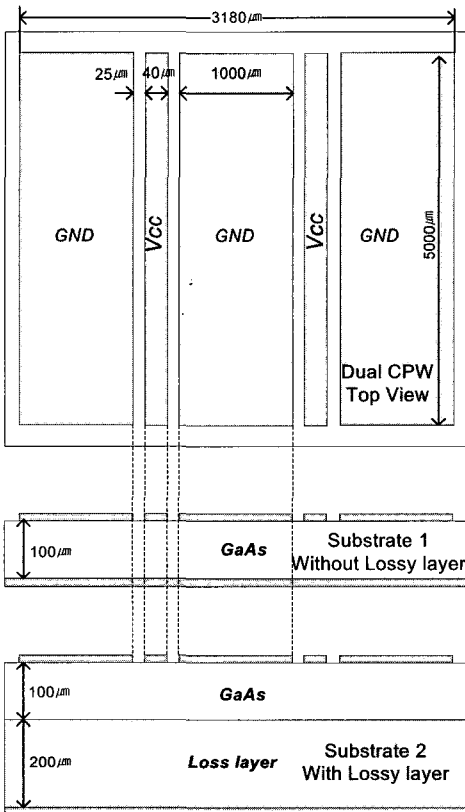


그림 1. 병렬 CPW의 저항손실층 유무에 따른 결합노이즈 특성해석을 위한 구조.

Fig. 1. The structure of dual CPW with or without ohmic lossy layer for crosstalk characteristic analysis.

시 초고속주파에서는 무시할 수 없으므로 저항손실층이 없을 때의 결합노이즈의 영향과 저항손실층을 집합하였을 때의 결합노이즈의 감소경향을 살펴보았다. 이때 그림 1의 기판 상부의 평면도와 같이 저항손실층이 없는 경우와 집합된 경우 모두 동일하게 하였으며 GND선로의 폭은 1000 μm, 신호선로 폭은 40 μm, 신호선로와 GND선로의 간격은 25 μm, 전체 선로의 길이는 5000 μm로 설정하였다. 저항손실층이 없는 경우 GaAs 층의 두께는 100 μm로, 저항손실층이 있는 경우의 단면도로 저항손실층의 두께를 최적의 저항률로 선정된 200 μm로 설정하였으며 기판 1과 기판 2의 하부는 모두 GND 평면으로 구성하였고 모든 선로의 두께는 10 μm로 설정하여 두 경우 모두 주파수에 따른 병렬 CPW의 결합노이즈 경향과 방사손실특성을 FDTD 방법으로 시뮬레이션 하였다. 이때 경계조건은 Open boundary 조건으로 하였으며 Time step은 30,000, 주파수 범위는 20 GHz~100 GHz의 광대역 특성으로 설정하여 시뮬레이션을 수행하였다[10].

2.2 차폐함 내 이웃한 CPW 구조 설계 및 시뮬레이션

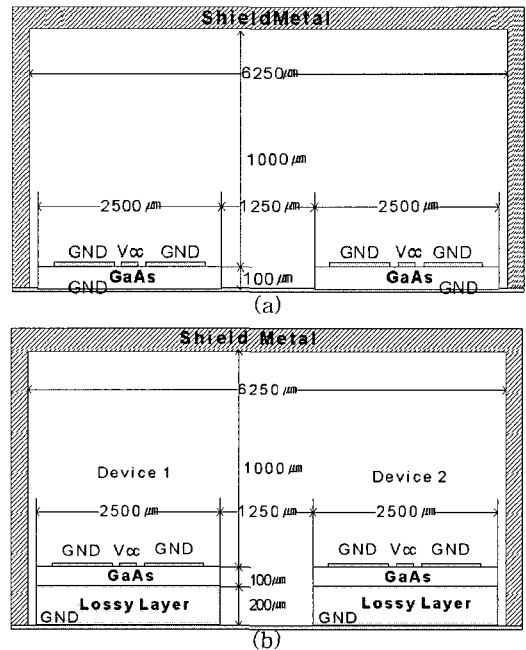


그림 2. 차폐함 내 인접한 CPW의 저항손실층 유무에 따른 결합노이즈 특성해석을 위한 구조.

Fig. 2. The structure of near CPW with or without ohmic lossy layer in shield metal for crosstalk characteristic analysis.

초고밀도 초고속회로기판은 여러 개의 CPW를 집적하여 사용하는 경우가 많다. 이때 이웃 CPW에서 발생한 노이즈가 다른 CPW회로에 결합노이즈로 작용하여 예기치 못한 오동작을 일으킬 수 있다. 따라서 초고밀도 회로를 위한 여러 개의 CPW가 실장된 구조 내 EMI 억제를 위하여 저항손실층 접합 유무에 따른 차폐함 내 이격된 CPW 공진특성 및 EMI 효과를 살펴보았으며 그림 2(a)와 (b)와 같이 해석구조를 설계하였다. 그림 2(a)는 저항손실층이 없는 경우로써 두개의 CPW를 1250 μm 만큼 이격시켜 놓고 왼쪽의 CPW에서 발생하는 노이즈가 오른쪽의 CPW에 미치는 결합노이즈의 크기를 해석한 구조이며 차폐함의 너비는 6250 μm , 높이는 1100 μm 로 설정하였으며 저항손실층이 있는 경우 차폐함의 크기를 저항손실층의 두께만큼

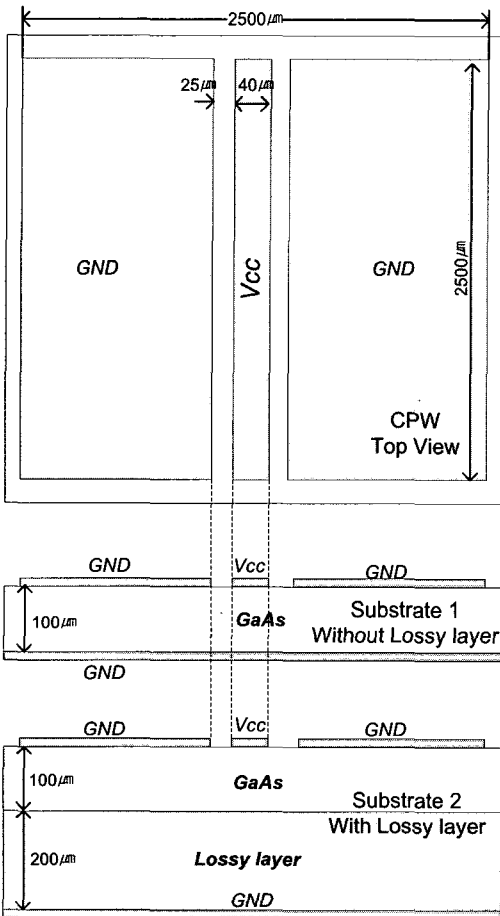


그림 3. 디바이스용 CPW의 구조.
Fig. 3. The structure of CPW for device.

증가시켜 해석구조를 설정하였다. 그림 2(b)는 200 μm 두께의 저항손실층을 접합하여 그림 2(a)의 경우와 같이 왼쪽의 CPW로 인한 오른쪽의 CPW에서의 결합노이즈의 크기를 해석한 구조이다. 이때 두 가지 경우 해석에 사용한 CPW 디바이스는 그림 3과 같이 전체 너비와 길이는 2500 μm , 선로폭 40 μm , Vcc와 GND 간격 25 μm 로 설정하였고, 20 GHz~100 GHz의 광대역 주파수범위에서의 결합노이즈특성을 살펴보았다. 이때 두 경우 모두 경계조건은 해석영역이 차폐층으로 둘러싸였기 때문에 PML 및 PEC 조건으로 하였으며 Time step은 30,000으로 설정하여 시뮬레이션을 수행하였다.

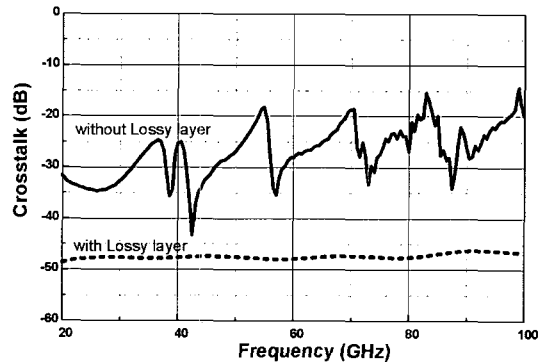


그림 4. 병렬 CPW의 저항손실층 유무에 따른 결합노이즈 특성.
Fig. 4. The crosstalk characteristic of dual CPW with or without ohmic lossy layer.

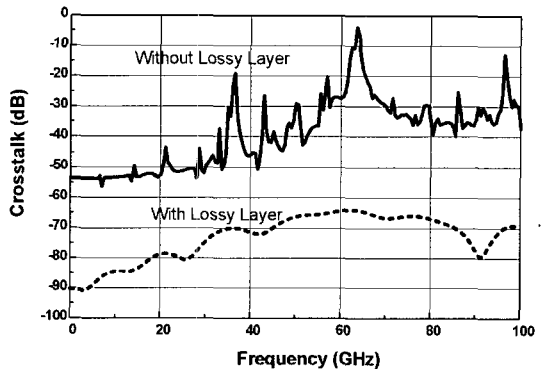


그림 5. 차폐함 내 인접한 CPW의 저항손실층 유무에 따른 결합노이즈 특성.
Fig. 5. The crosstalk characteristic of near CPW with or without ohmic lossy layer in shield metal

3. 시뮬레이션 결과 및 고찰

저항손실층 집합 유무에 따른 병렬 CPW에서의 결합노이즈 시뮬레이션 결과를 그림 4에 나타내었다. 이때 저항손실층이 없는 경우는 그림 4의 그래프 실선그래프와 같이 인접한 신호선로에 결합노이즈의 기록이 심하게 나타나고 있음을 알 수 있다. 주파수가 증가함에 따라 최대 -15 dB 까지 결합노이즈가 증가하고 있으며 이것은 원하지 않는 인접한 선로의 신호간섭을 일으킬 수 있는 요인으로 작용할 수 있다. 저항손실층을 집합한 경우 인접한 신호선로에서 나타나는 결합노이즈는 -45 dB 이하로 측정주파수 전 영역에 걸쳐 매우 낮았고 이것은 저항손실층이 병렬 CPW 선로 자체의 기생노이즈를 억제하였기 때문이라고 사료된다.

그림 5는 차폐함 내 인접한 CPW의 저항손실층 유무에 따른 결합노이즈 특성을 시뮬레이션 한 결과이며 저항손실층이 없는 경우 실선의 곡선과 같이 38 GHz, 68 GHz, 95 GHz부근에서 이웃한 CPW의 결합노이즈 크기가 매우 크게 나타나고 있었다. 따라서 이로 인하여 상기 주파수 대역에서 CPW를 사용하도록 설계한다면 결합노이즈로 인한 심각한 오동작을 발생시킬 가능성이 매우 높음을 알 수 있다. 저항손실층을 부착한 경우 점선의 곡선과 같이 측정주파수대역 전체에서 평균 -70 dB 정도로 매우 낮은 결합노이즈가 발생하고 있음을 알 수 있으며 이러한 구조로 초고주파 병렬 CPW 회로를 설계하여 사용한다면 안정된 회로구성을 할 수 있다고 사료된다.

4. 결 론

이상에서와 같이 FDTD(Finite Difference Time Domain) 방법으로 병렬 CPW 및 차폐함 내 이웃한 CPW사이에서의 결합노이즈 특성 및 저항손실층의 삽입으로 EMI를 효과적으로 줄일 수 있는 방법에 대하여 연구한 결과 극초고주파를 사용하는 CPW에서 방사되는 EMI는 근접한 선로 및 이웃한 CPW 디바이스에 영향을 줄 수 있다는 것을 알 수 있었고 CPW 기관의 기생소자에서 발생하는 EMI를 저항손실층 삽입방법을 사용하여 CPW 구조체 전체의 기생소자를 변화하여 CPW 자체의 공진특성을 향상시켜 방사되는 EMI로 인한 결합노이즈를 효과적으로 줄일 수 있는 방법을 제시하였으며 극초고주파 회로설계에 매우 효과적인 방법이 될 것이라 사료된다.

참고 문헌

- [1] T. Krems, W. H. Haydl, H. Massler, and J. Rudiger, "Advantages of flip chip technology in millimeter-wave packaging", IEEE MTT-S Int. Microwave Symp. Dig., p. 987, 1997.
- [2] R. F. Harrington, "Field Computation by Moment Methods", New York: IEEE Press, 1993.
- [3] H. Y. Wang, D. Mirshekar, and I. Dilworth, "Spectral domain analysis of coplanar strip discontinuities", Microwave and Optical Technology Letters, Vol. 15, No. 6, p. 395, 1997.
- [4] A. Taflove, "Computational Electromagnetics: The Finite-difference Time-domain Method", Artech House, Boston, 1995.
- [5] A. J. Sangster and H. Y. Wang, "Generalized analysis for a class of rectangular waveguide coupler employing narrow wall slots", IEEE Trans. on Microwave Theory and Technology, Vol. 44, No. 2, p. 283, 1996.
- [6] 김용권, 박윤경 "Ultra thin 실리콘 웨이퍼를 이용한 RF-MEMS 소자의 웨이퍼레벨 패키징", 전기전자재료학회논문지, 16권, 12호, p. 1237, 2003.
- [7] R. N. Simons, N. I. Dib, and L. P. B. Katehi, "Modeling of coplanar stripline discontinuities", IEEE Trans. on Microwave Theory and Technology, Vol. 44, No. 5, p. 711, 1996.
- [8] Y. Gao and I. Wolff, "Miniature electric near-field probes for measuring 3-D fields in planar microwave circuits", IEEE Trans. on Microwave Theory and Technology, Vol. 46, No. 7, p. 907, 1998.
- [9] H.-Y. Lee, "Wideband characterization of a typical bonding wire for microwave and millimeter-wave integrated circuits", IEEE Trans. Microwave Theory and Tech, Vol. MTT-43, No. 1, p. 63, 1995.
- [10] T. Krems, W. Haydl, H. Massler, and J. Rudiger, "Millimeter-wave performance of interconnections using wire bonding and flip chip", Proc. IEEE MTT-s. Dig., San Francisco, CA, p. 247, 1996.