

경사진 전극링을 이용한 고균일도의 미세 솔더범프 형성

Formation of Fine Pitch Solder Bump with High Uniformity by the Tilted Electrode Ring

주철원^{1,a}, 이경호¹, 민병규¹, 김성일¹, 이종민¹, 강영일¹

(Chul-Won Ju^{1,a}, Kyung-Ho Lee¹, Byoung-Gue Min¹, Seong-Il Kim¹, Jong-Min Lee¹, and Young-il Kang¹)

Abstract

The plating shape in the opening of photoresist becomes gradated shape in the fountain plating system, because bubbles from the wafer surface are difficult to escape from the deep openings, vias. In this paper, the bubble flow from the wafer surface during plating process was studied and we designed the tilted electrode ring to get uniform bump height on all over the wafer and evaluated the film uniformity by SEM and α -step. In α -step measurement, film uniformities in the fountain plating system and the tilted electrode ring contact system were $\pm 16.6\%$, $\pm 4\%$ respectively.

Key Words : Solder bump, Flip chip, Electroplating, Ring contact

1. 서론

플립칩 기술은 칩 표면이 기판을 마주보며 본딩되는 기술로서 최근에 휴대폰, PDA, 컴퓨터, 디지털 캠코더 등 휴대 정보 통신기에 활용되고 있으며, 고속신호 처리가 요구되는 밀리미터파 소자에는 필연적으로 플립칩 기술을 사용하고 있다 [1,2].

플립칩 기술은 범프 사용에 따른 패키지의 소형화, 짧은 interconnection 길이로 고속 신호전달과 고주파 특성 향상 등 패키지의 고성능화 및 열방출 특성이 좋다. 플립칩 기술에서 범프 형성은 중요한 핵심기술로서, 범프 형성 방법에는 열증착[3], 전기도금[4,5], 스텐실프린팅[6], pick & place방법 등이 있는데, 열증착은 고비용이고 증착속도가 느리며, 프린팅방법은 저비용이지만 미세범프를 형성할 수 없고, 전기도금법은 고비용이지만 미세범프

를 형성할 수 있고 범프 형성속도도 빠르다. 일반적으로 반도체공정에서 fine pitch(<150 μm) 범프형성은 분수형 도금장비를 사용하는데, 도금시 웨이퍼 표면에서 발생하는 기포에 의하여 한개의 범프 내에서도 범프가 균일한 두께로 형성되지 못하는 문제가 있다.

본 논문에서는 분수형 도금장비에 의해 부분적으로 도금이 안되는 현상을 개선하고자, 도금방식에 따른 웨이퍼 표면에서 발생한 기포가 웨이퍼 표면으로 부터 빠져 나가는 메카니즘을 고찰하였다. 그리고 웨이퍼 표면의 부분 도금을 방지하기 위하여 경사진 전극링을 제작하여 dip 방식의 도금장치에 설치한 후, 경사진 전극링 도금장치 및 분수형 도금장비를 사용하여 형성한 각각의 범프 topology를 SEM으로 관측하고 높이를 α -step으로 측정 비교하였다.

2. 실험

2.1 기포 흐름도

웨이퍼 표면에 전기도금으로 범프를 형성할 때 피도금체인 웨이퍼표면에서 화학반응이 일어나 기포가 발생하게 되는데 이 기포가 도금공정에서

1. 한국전자통신연구원 기반기술연구소

(대전시 유성구 가정동 161)

a. Corresponding Author : cwju@etri.re.kr

접수일자 : 2005. 6. 28

1차 심사 : 2005. 7. 2

심사완료 : 2005. 7. 16

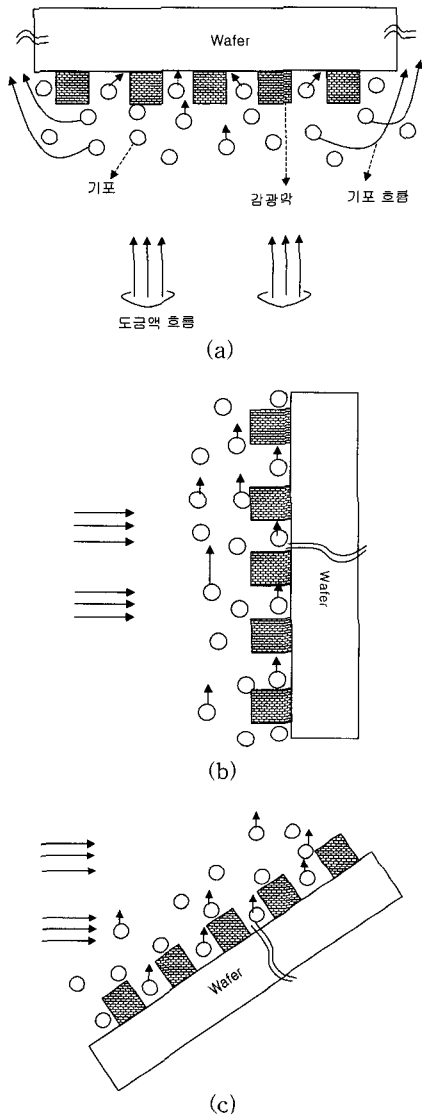


그림 1. 도금장치의 전극링 구조의 따른 기포 흐름도 (a) 분수형 도금장치의 face-down 형 링, (b) Dip 도금장치의 수직형 링, (c) Dip 도금장치의 경사형 링

Fig. 1. Bubble flow with various electrode ring structure (a) Face-down type in fountain plating system, (b) Vertical type in dip plating system, (c) Tilted type in dip plating system

도금효율을 저하시키는 작용을 한다. 먼저 도금장치 내부에서 웨이퍼가 안착되는 형태에 따라 도금되는 양상을 살펴보면 다음과 같다.

그림 1(a)에서와 같이 분수형 도금장비에서는 도금할 웨이퍼 표면이 밑으로 위치하도록 하여 (face-down) 그 하측으로부터 도금액이 분수와 같이 분사되어 공급되도록 되어 있기 때문에, 도금시 웨이퍼 표면에서 화학적인 반응으로 발생하는 기포가 감광막 사이에 갇혀 빠져 나오지 못하고 웨이퍼 표면에 붙어 있으므로, 기포가 붙은 부분은 도금이 안되므로 비아홀 내부에서는 도금 두께가 균일하지 못하고 경사지게 도금되기도 한다.

그림 1(b)에서와 같이 dip 형태의 도금장치에서는 웨이퍼 표면이 도금액과 수직방향으로 만나기 때문에 분수형 도금장비와 마찬가지로 도금시 웨이퍼 표면에서 발생하는 기포가 감광막에 막혀 비아홀 내부를 빠져나가기 어려워 비아홀 내부에 갇혀있기 때문에 비아홀 내부에서 도금 두께가 균일하지 못하고 경사지게 도금된다.

그림 1(c)는 경사진 전극링에 장착된 웨이퍼의 단면을 나타낸 것이다. 경사진 전극링에서는 도금시 웨이퍼 표면에서 발생하는 기포가 감광막 벽에 부딪히지 않아 비아홀 내부로부터 잘 빠져나가기 때문에 웨이퍼가 face-down된 경우나 도금액에 수직으로 장착된 경우에 비하여 비아홀 내부에서 도금두께가 균일하다.

2.2 범프 형성

범프 형성 실험에 사용한 장비는 분수형 장치와 경사형 전극링 도금장치를 사용하였다. 실험용 기판(substrate)은 비저항 1~25 Ω-cm, 결정면 <100>인 p형 5인치 실리콘 웨이퍼를 사용하였으며 다음의 공정순서로 범프를 제작하였다. 먼저 웨이퍼 위에 씨드메탈인 Ti 및 Cu를 각각 1000 Å, 3000 Å 두께로 스퍼터하여 증착하고, AZ 4000 series 인 감광막을 1000 rpm에서 코팅하여 60 μm로 입혔다. 범프를 형성하기 위한 시험패턴은 직경이 50 μm인 비아 마스크를 사용하여 노광장비인 EV(Electro-vision) contact aligner에서 300~500 mJ의 에너지로 노광시키고 AZ400K 현상액에 담구어 비아를 형성하였다. 비아 형성후 분수형 도금 장비 및 경사진 전극링 도금장치를 각각 사용하여 전류밀도 0.5 A/cm²에서 슬더범프를 제작하였다. 범프 형성 후 감광막을 제거하고 SEM으로 범프 topology를 관찰하고 a-step으로 높이를 측정하였다.

그림 2는 본 실험에서 사용한 분수형 도금장비의 내부도를 나타낸 것으로, 공정이 이루어지는 웨이퍼 표면이 도금조의 바닥을 향하여 놓여 있는 형태이며, 도금액은 순환 라인을 통하여 도금조의

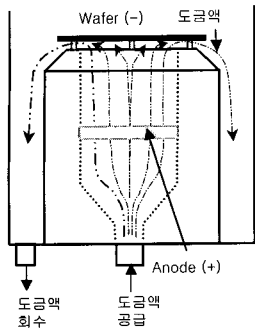


그림 2. 분수형 도금장비.
Fig. 2. Fountain plating system.

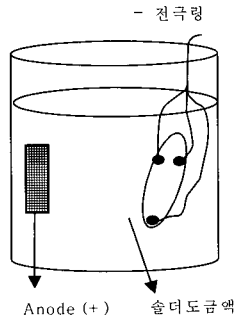


그림 3. 경사형 전극링 도금장치.
Fig. 3. Tilted electrode ring plating system.

바닥에서 위로 분사되어 웨이퍼의 표면을 스쳐 지나서 다시 바닥으로 떨어지는 순환 과정이 연속적으로 이루어지게 되어 있으며 웨이퍼는 회전하지 않는다. 전원공급은 웨이퍼에 음(-)전극을 연결하여 cathode로 만들고 도금조의 중간 부분에 양(+) 전극이 연결되는 anode가 있다.

그림 3은 본 실험에서 사용한 경사진 전극링을 가진 도금장치를 나타낸 것이다. 도금장치는 비이커, anode, 음(-)전극에 연결된 경사진 전극링, 직류 전원공급기로 구성하였다. 이때 사용된 시료인 5 인치 웨이퍼는 두꺼운 감광막을 사용하여 비아홀을 형성시켰으며, 음전극과 연결하기 위하여 웨이퍼 가장자리 3 point의 감광막을 제거한 다음 금속성 집계를 사용하여 3 point를 전원과 연결하였다. Anode를 형성하는 양전극은 일정 크기의 금속 판재를 금속성 집계를 이용하여 연결시킨 다음, 그림 3과 같이 비이커 밑면에 수직 방향으로 비이

커에 장착하였고, anode 전극과 전극링이 경사진 상태에서의 전극링(-) 중앙과의 간격은 5 cm 정도이며 anode의 중심이 시료의 중앙에 위치하도록 하였다. 이 장치에서 제작된 경사링은 45도 정도의 경사각을 가지며, 경사각을 변화시킬 수 있도록 제작하지 않았다. 또한 비이커를 자석 교반되는 hot plate 위에 올려놓고 비이커 내부에 spindle을 넣어 도금액이 웨이퍼에 골고루 분사되고 웨이퍼 표면에서 발생하는 기포를 빨리 배출되도록 하였다.

3. 결과 및 고찰

그림 4의 (a)는 분수형 도금장비를 사용하여 60 μm 두께의 비아홀 내부에 솔더 박막이 증착된 것을 보여주고, 그림 4의 (b)는 감광막을 제거한 후 형성된 솔더 박막의 형상을 나타내고 있다. 비아홀에 형성된 솔더 박막은 그림 4의 (b)에서 보는바와 같이 두께가 균일하지 않고, 한쪽으로 치우치는 현상이 발생하였는데 이런 현상은 웨이퍼의 왼쪽, 오른쪽 등 특정부위에 한정된 것은 아니고, 웨이퍼 전 면적에서 고루 발생하였다.

이와 같은 현상은 다음과 같은 2가지 요인으로 분석할 수 있는데, 첫째 요인은 도금 장비의 구조에 기인된 것으로 웨이퍼의 표면을 밑으로 향하게 하고 도금액은 밑에서 위로 수직 분사 시킴으로써 나타나는 현상인 것으로 예측된다. 분수형 도금장비에서는 도금 용액이 밑에서 위로 흘러 웨이퍼 표면과 부딪히고, 부딪힌 용액은 다시 웨이퍼 표면을 따라 양 옆으로 분사된 후 도금조의 벽면을 따라 넘쳐 흘러서 바닥으로 떨어지게 되고 이 용액은 다시 도금액을 보관하는 보관 저장조로 흘러 들어가게 된다. 이와 같은 도금액의 흐름은 좁은 비아홀 공간에서도 유사하게 일어나게 되며 이와 같은 현상 때문에 그림 4와 같이 증착된 솔더 박막의 두께가 불균일하게 되는 것으로 추정된다. 둘째 요인은 도금은 화학반응에 의하여 이루어 지므로 도금시 웨이퍼 표면에서 기포가 발생하는데, 비아홀이 깊기 때문에 발생한 기포 전부가 웨이퍼 표면에서 빠져나가지 못하고 일부는 웨이퍼 표면에 붙어서 도금이 안되는 것으로 예측할 수 있다.

그림 5는 그림 4(b) 시료를 a-step을 이용하여 도금된 솔더박막 표면을 스캐닝한 결과를 나타낸 것으로, 전체 증착된 솔더 박막의 평균 두께가 3 μm 이며 좌측의 낮은 부분의 두께는 2.5 μm , 우측의 가장 높은 부분의 두께는 약 3.5 μm 를 나타내고 있

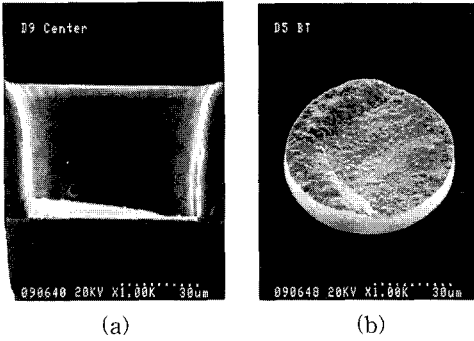


그림 4. 분수형 도금장비에 의해 형성된 솔더박막.
(a) 단면도, (b) 평면도

Fig. 4. Solder layer formed by fountain plating system.

(a) Cross section and (b) Plane surface

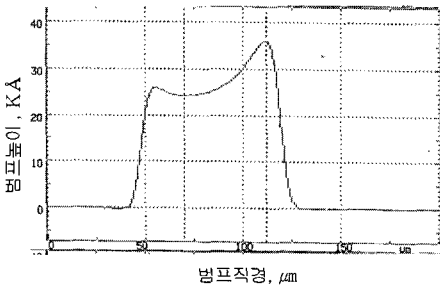


그림 5. 분수형 도금장비를 사용하여 형성된 솔더 박막의 두께.

Fig. 5. Thickness of solder layer formed by fountain plating system.

다. 그림 5에서 도금된 솔더 박막의 두께는 좌측과 우측의 단차가 약 $1 \mu\text{m}$ 정도이며, 이 결과는 그림 4에서 보는 범프의 두께 불균일한 현상과 같다.

이와 같이 분수형 도금장비에서는 도금 용액이 시료와 수직인 방향으로 부딪히기 때문에 좁은 비아홀 내부에서는 도금액이 특정 방향으로 치우치게 되어 균일한 두께의 도금 박막을 구현하기가 어렵다. 따라서 이와 같은 현상을 없애기 위하여 도금액의 흐름을 느리게 하여 반응속도를 낮추고, 시료에 대한 도금액의 흐름 방향이 편향되는 것을 보완하기 위하여 도금시 웨이퍼가 회전되도록 하여 도금시 발생하는 기포가 시료의 표면에 정착하지 않도록 하여야 한다.

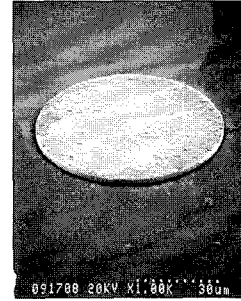


그림 6. 경사진 링구조의 도금장치에서 형성된 솔더 박막.

Fig. 6. Solder layer formed by the tilted electrode ring plating system.

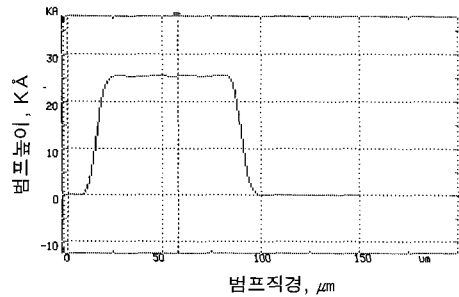


그림 7. 경사진 링구조의 도금장치에서 형성된 솔더 박막의 두께.

Fig. 7. Thickness of solder layer formed by the tilted electrode ring plating system.

그림 6은 경사진 링구조의 도금장치를 사용하여 증착한 솔더 박막의 형상을 나타낸 것으로 비아홀에 형성된 솔더 박막은 균일한 두께를 보이고 있다. 그림 7은 그림 6의 솔더 박막 두께를 α -step으로 측정된 결과를 나타낸 것으로, 박막의 두께는 평균 $2.6 \mu\text{m}$ 를 나타내고 있으며 높낮이의 차이는 $0.1 \mu\text{m}$ 이내로 균일한 두께를 보여주고 있다. 이와 같이 균일도가 좋은 것은 경사진 링구조의 도금장치에서는 도금액 흐름이 없었고, 도금 중 웨이퍼 표면에서 발생된 기포가 모두 웨이퍼 표면으로 부터 빠져나가 웨이퍼 표면에서 도금이 균일하게 잘 되었기 때문이다. 이와같이 분수형 도금장치에서 형성된 도금박막 및 경사진 링구조 구조의 도금장치에서 형성된 도금박막의 두께를 측정된 결과, 경

사형 링구조 도금장치에 의하여 형성된 도금박막의 두께 균일도가 우수함을 알 수 있으며 재현성이 있었다.

4. 결론

경사형 전극링 구조의 도금장치를 사용하여 5인치 웨이퍼에 직경이 60 μm 이고 두께 2.5 μm 인 솔더 범프를 형성한 결과, 편차가 $\pm 1\%$ 이하인 솔더 범프를 형성할 수 있었다. 이와 같이 편차가 작은 것은 기존 분수형 도금장비에 비하여 도금액 흐름이 없었고, 특히 도금시 웨이퍼 표면에서 발생하는 기포가 웨이퍼 표면으로 부터 잘 빠져나갔기 때문이다. 따라서 전기도금에 의해 aspect ratio가 높은 범프를 형성하는 웨이퍼레벨패키지 공정에서는 도금시 웨이퍼 표면에서 발생하는 기포가 잘 빠져나가게 웨이퍼 면이 위로 향하는 경사형 전극링을 사용하면 두께 균일도가 좋은 범프를 제작할 수 있어 모듈화 공정에서 작업성 및 수율을 높힐 수 있을 것으로 기대된다.

참고 문헌

- [1] H. Kusamitsu, Y. Morishita, K. Maruhashi, M. Ito, and K. Ohata, "The flip chip bump interconnection for millimeter wave GaAs MMIC", IEEE Tr. on Electronics Packaging Manufacturing, Vol. 22, No. 1, p. 23, 1999.
- [2] W. Heinrich, A. Jentsch, and G. Baumann, "Millimeter wave characteristics of flip chip interconnection for multichip module", IEEE Tr. on Microwave Theory and Techniques, Vol. 46, No. 12, p. 2264, 1998.
- [3] K. Seyama, H. Yamamoto, K. Satou, H. Yoshimura, H. Ota, and Y. Usui, "Transcription solder bump technology using the evaporation method", Proceedings of the International Conference on Multichip Modules and High Density Packaging, p. 314, 1998.
- [4] S.-W. Lu, Z.-H. Wu, Y.-J. Huang, R.-H. Uang, W.-C. Lo, H.-T. Hu, Y.-F. Chen, L.-C. Kung, and H.-C. Huang, "Process control of high density solder bumps by electroplating technology", Electronics Manufacturing Technology Symposium, IEEE/CPMT, p. 325, 1999.
- [5] A. Mistry, J. Czarnowski, C. Beddingfield, Q. Tan, J. Guajardo, K. Rhyne, J. Kleffner, T. Scanlon, J. Lozano, D. Wontor, and K. Scott, "Performance of evaporated and plated bumps on organic substrates", Electronics Manufacturing Technology Symposium, IEEE/CPMT, p. 1, 1998.
- [6] H.-C. Jang, C.-W. Jee, Y.-H. Kim, I.-B. Park, S.-M. Seo, and B.-Y. Min, "A study on the reliability of stencil printed solder bumps", Electronics Manufacturing Technology Symposium, IEEE/CPMT, p. 288, 2000.