

Dual Gate Emitter Switched Thyristor의 Latch-up 전류 특성

Characteristics of Latch-up Current of the Dual Gate Emitter Switched Thyristor

이응래¹, 오정근^{1,a}, 이형규¹, 주병권², 김남수¹

(Eung-Rae Lee¹, Jung-Keun Oh^{1,a}, Hyung-Gyoo Lee¹, Byeong-Kwon Ju², and Nam-Soo Kim¹)

Abstract

Two dimensional MEDICI simulator is used to study the characteristics of latch-up current of Dual Gate Emitter Switched Thyristor. The simulation is done in terms of the current-voltage characteristics, latch-up current density, ON-voltage drop and electrical property with the variations of p-base impurity concentrations. Compared with the other power devices such as MOS Controlled Cascade Thyristor(MCCT), Conventional Emitter Switched Thyristor(C-EST) and Dual Channel Emitter Switched Thyristor(DC-EST), Dual Gate Emitter Switched Thyristor(DG-EST) shows to have the better electrical characteristics, which is the high latch-up current density and low forward voltage-drop. The proposed DG-EST which has a non-planer p-base structure under the floating N+ emitter indicates to have the better characteristics of latch-up current and breakover voltage.

Key Words : DG-EST, Latch-up current, ON-state voltage drop, Non-planer p-base

1. 서론

MOSFET의 간단한 구동 회로와 BJT의 높은 current density를 결합한 Insulated Gate Bipolar Transistor (IGBT)[1]가 1979년에 등장한 이래, 높은 current density와 더 낮은 순방향 전압강하를 얻기 위한 MOS gated thyristor들이 1980년대 후반 이후 발표되었으며, 대표적인 것으로 MOS Controlled Thyristor (MCT)[2], Conventional Emitter Switched Thyristor (C-EST)[3], Base Resistance Controlled Thyristor (BRT)[4], IGBT turn-off mode thyristor (IGTT)[5], Dual Channel

Emitter Switched Thyristor (DC-EST)[6], Insulated-Gate Thyristor (IGTH)[7], Dual Gate Emitter Switched Thyristor (DG-EST)[8,9], MOS Controlled Cascade Thyristor (MCCT)[10]들이 있다.

MOS gated thyristor 계열 중에서 다른 MCT나 BRT가 갖지 못한 단락회로보호(short circuit protection)에 필수적인 전류포화능력(current saturation capability)을 가지는 소자는 EST가 유일하며, 특성상 우수한 안전동작 영역(safe operating area: SOA)를 갖는 것으로 알려져 있다[11].

이런 EST에는 C-EST, DC-EST, DG-EST가 있는데, 이중 DG-EST는 구조적으로는 IGBT와 C-EST가 결합한 형태 또는 MCCT와 C-EST가 main thyristor를 공유하면서 결합한 형태라 할 수 있다. DG-EST는 C-EST 보다 더 낮은 순방향 전압강하를 가지며, DC-EST의 높은 전류포화 특성을 가짐으로써 우수한 SOA를 갖는다[8,9]. 전력소자로서 우수한 특성을 갖는 DG-EST는 국내에서

1. 충북대학교 전기전자공학부

(충북 청주시 흥덕구 개신동 산48)

2. 한국과학기술연구원 마이크로시스템

a. Corresponding Author : jkoh0405@empal.com

접수일자 : 2004. 2. 26

1차 심사 : 2004. 3. 30

2차 심사 : 2004. 5. 20

심사완료 : 2004. 6. 3

거의 연구가 이루어지지 않았을 뿐 아니라, 전기적 특성 개선을 위한 연구도 많이 필요한 상태이다.

본 논문은 2차원 소자 simulator인 MEDICI를 이용하여 DG-EST를 다른 소자들(MCCT, C-EST, DC-EST)과 비교 분석해 보았다. 또한, 소자의 응용의 문제점을 야기하는 latch-up 특성 개선을 위하여 굴곡진 p-base를 적용해 보고, p-base 농도에 따른 전기적 특성을 조사하였다.

2. 결과 및 토의

2.1 DG-EST의 구조 및 동작원리

그림 1은 일반적인 DG-EST의 cross-section으로 main thyristor를 공유하면서 MCCT와 C-EST 또는 IGBT와 C-EST로 구성되어 있다.

등가회로(그림 2)에서 보면 gate 1은 parasitic thyristor와 연결된 N-channel MOSFET과 main thyristor와 연결된 N-channel MOSFET으로 구성되어 있고, Small R은 양쪽 MOSFET의 N+ source 밑의 p-base 저항이고, Large R은 floating N+ 밑의 p-base 저항을 의미한다. Floating N+ emitter는 양쪽 MOSFETs의 채널을 통해 cathode와 연결되어 있으며, 두 개의 parasitic thyristor와 1개의 공통 main thyristor를 가지고 있다.

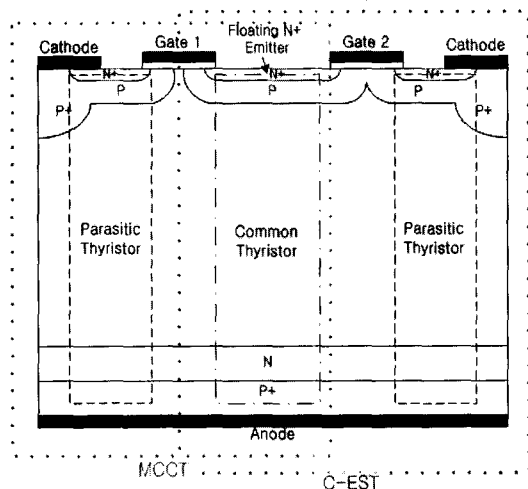


그림 1. 일반적인 DG-EST의 cross-section.
Fig. 1. Cross-section of the conventional DG-EST.

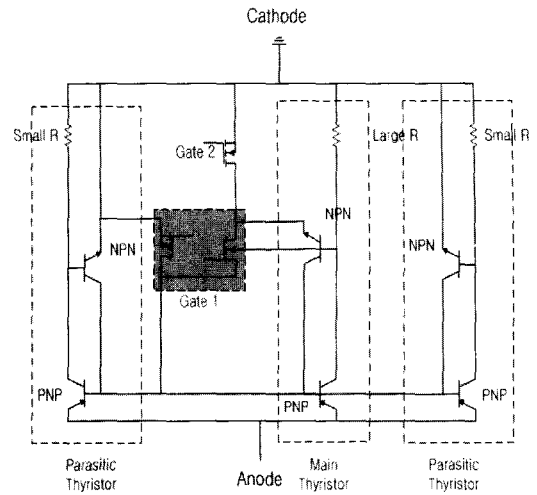


그림 2. 일반적인 DG-EST의 등가 회로.
Fig. 2. Equivalent structure of the conventional DG-EST.

N-channel MOSFET들의 양쪽 gate에 문턱전압 이상의 전압을 가하면, 전자들은 MCCT에서는 N-channel MOSFET의 source, n-channel, n-drift로, C-EST에서는 N-channel MOSFET의 source, n-channel, floating n+ emitter, n-drift로 주입된다. 이렇게 양쪽에서 n-drift로 주입된 전자들은 main thyristor p-n-p 트랜지스터(p+anode/n-drift/p-base)의 base 전류 역할을 하게 되고, p+anode에 전압을 인가하면 p+anode와 n-drift 접합에 순방향 바이어스가 걸리면서, 정공들은 p+anode에서 n-drift층을 거쳐 p-base로 모이게 된다. 이 정공들은 main thyristor n-p-n 트랜지스터 (floating n+emitter/p-base/n-drift) base 전류 역할을 하지만, DG-EST 동작 초기에는 p-base와 n-drift 접합의 공핍영역을 감소시켜 접합에 걸린 역방향 바이어스를 순방향 바이어스로 대체할 만큼 충분한 정공이 모이지 못하므로, main thyristor에 의한 latch-up은 일어나지 못하고, floating n+ emitter 밑을 수평으로 이동하여 cathode로 들어간다. 이때의 DG-EST는 IGBT처럼 동작한다. Anode 전압이 증가하여 p-base에 정공들이 충분히 모이면, floating n+ emitter/p-base 접합은 순방향 bias되어 main thyristor는 latch-up이 발생한다. 공통 main thyristor를 통과한 전류는 MCCT와 C-EST의 수평형 N-channel MOSFET을 거쳐

cathode로 들어간다. 따라서 문턱전압이상의 gate 전압상태에서 높은 anode 전압을 가하면 main thyristor와 parasitic thyristor가 동시에 작용하여 latch-up이 발생한다.

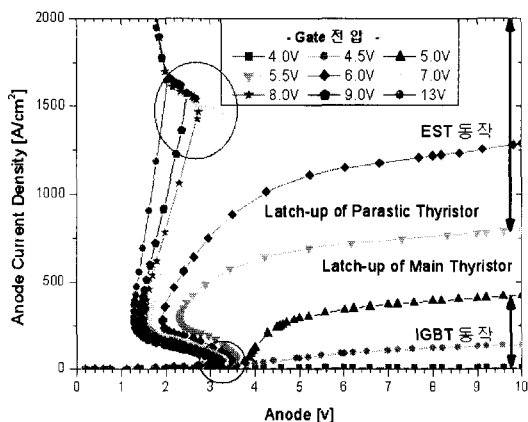


그림 3. 일반적인 DG-EST의 I-V 특성.
Fig. 3. I-V characteristics of the conventional DG-EST.

그림 3의 일반적인 DG-EST의 I-V 특성을 보면, 5 V까지는 IGBT동작을 보이다가, gate 전압이 커짐에 따라, main thyristor의 latch-up 이후에도 전류 포화현상을 보이는데, 이는 다른 MOS gated thyristor에서 볼 수 없는 유일한 특성이라 할 수 있다. 전류 밀도가 더욱 높아져 parasitic thyristor에 의한 latch-up이 발생하고, 양쪽 MOSFETs에 의해 전류가 제한되지 못하므로 gate에 의한 소자의 제어가 불가능해 진다.

2.2 DG-EST와 다른 소자와의 비교

DG-EST는 회로적으로 C-EST, DG-EST, MCCT를 동시에 포함하는 구조를 가지고 있는데, 그림 4는 DG-EST, C-EST, DC-EST, MCCT의 anode 전류-전압 특성을 비교한 것이다. DG-EST는 구조적으로 2개의 parasitic thyristor가 병렬로 연결되어 있어, p-base 저항의 감소를 가져오게 되고, 이는 그림에서 보인바와 같은 latch-up 현상이 발생하는 전류밀도가 상대적으로 높게 나타냄을 보이고 있다.

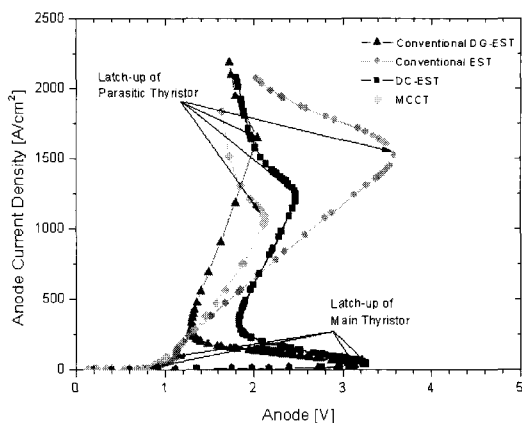


그림 4. DG-EST와 다른 소자와의 특성 비교.
Fig. 4. Comparison of I-V characteristics of the DG-EST and other devices.

표 1. 다른 소자와의 순방향전압강하 및 latching 전류 비교.

Table 1. Comparison of forward ON-state voltage drop and latch-up current density of parasitic thyristor.

	Latch-up current density (A/cm ²)	Forward ON-state voltage drop at 500A/cm ²
DG-EST	1650	1.37 V
C-EST	1524	1.73 V
DC-EST	1244	1.91 V
MCCT	1076	1.60 V

표 1은 그림 4의 결과를 요약한 것으로 DG-EST가 가장 큰 latch-up current density와 가장 작은 ON전압강하의 특성을 가지고 있다. Latch-up 현상에 영향을 주는 변수들은 많이 있겠지만, 그 중에서 가장 큰 영향을 주는 것은 p-base의 저항으로, 저항 R을 줄임으로서 latch-up 특성을 향상시킬 수 있다.

저항 R을 줄이기 위해, p-base의 농도를 높이면 문턱 전압이 증가하게 되고, N+ source의 길이를 감소시키면 제조공정기술이 어려워지게 된다.

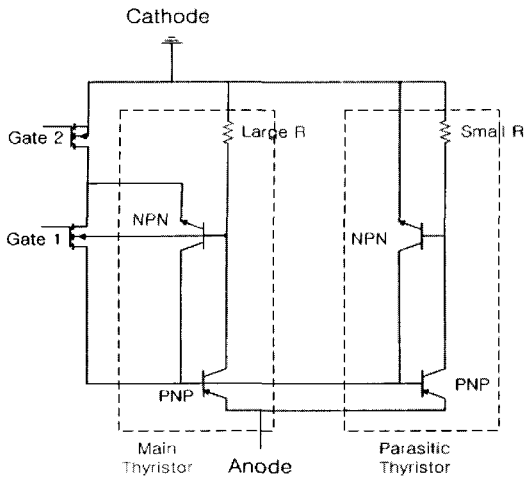


그림 5. C-EST의 등가 회로.

Fig. 5. Equivalent structure of the C-EST.

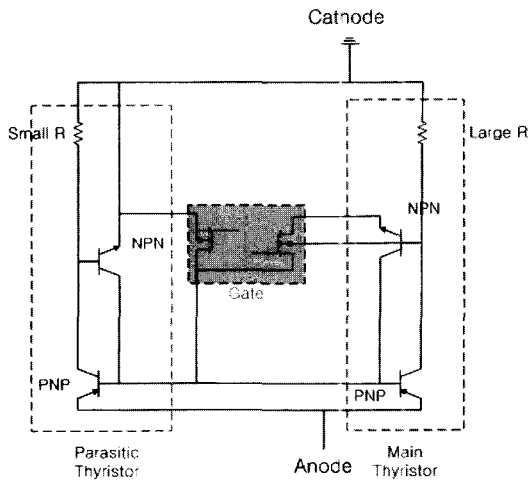


그림 6. 일반적인 DC-EST의 등가 회로.

Fig. 6. Equivalent structure of the conventional DC-EST.

그림 5와 6은 C-EST, DC-EST의 등가회로인데, DG-EST(그림 2), C-EST(그림 5), DC-EST(그림 6)의 등가회로에서 보면, 두개의 thyristor는 구조적으로 병렬로 연결되어있고, 이는 p-base 저항의 감소를 가져와 parasitic thyristor의 latch-up current density가 다른 소자들에 비해 높은 값을 보인다.

2.3 굴곡진 p-base를 적용한 DG-EST

2.3.1 굴곡진 p-base를 적용한 구조

소자의 제조과정에서 MOSFET N+ source 밑의 p-base와 floating N+ 밑의 p-base는 동시에 진행되는데, 순방향 bias시 SOA의 향상을 위해서는 main thyristor와 cathode간의 저항을 증가시켜 main thyristor의 latching current를 감소시키는 방법과 parasitic thyristor와 cathode간의 저항을 감소시켜 parasitic thyristor의 latching current를 증가시키는 방법이 고려되고 있다.

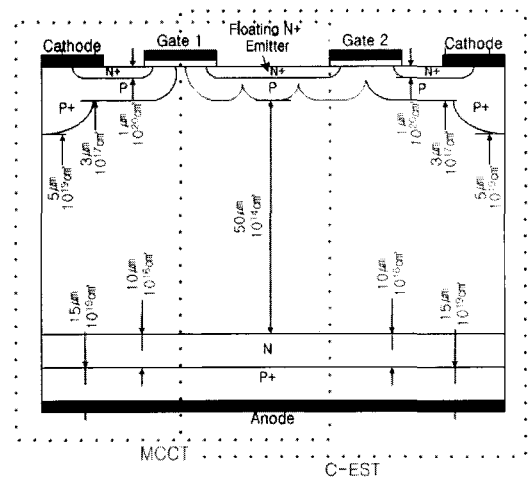


그림 7. 제안된 DG-EST의 cross-section.

Fig. 7. Schematic cross-section of the proposed DG-EST.

Parasitic thyristor와 cathode간의 저항을 감소시키기 위해서는, p-base에 deep P+ implantation, P+ sinker, P+ buried layer, trench cathode 등을 형성하는 방법과 N+ emitter의 길이를 감소시키는 방법이 있다. DG-EST는 parasitic thyristor의 p-/p+ base 저항을 병렬 연결함으로써 parasitic thyristor의 latching current를 증가시키는 구조를 내포하고 있다. 본 논문에서는 main thyristor와 cathode간의 저항을 증가시키고, main thyristor의 latching current를 감소시키기 위해, floating n+ 밑의 p-base를 굴곡지게 그림 7과 같이 소자 구조로 설계하였다. 이와 같은 구조는 이미 알려진 연구결과에서[12] emitter switched thyristor의 snap-back 현상을 억제하고, 순방향 전압강하를 낮추는 구조로 알려져 있으므로, 본 연구소자인 DG-EST에 적용하여 보았다.

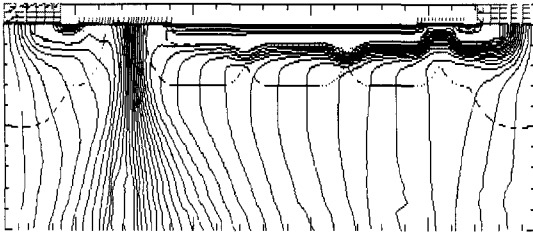


그림 8. 4 A/cm²에서 제안된 DG-EST의 전류 흐름도.

Fig. 8. Current flowline of the proposed DG-EST at 4 A/cm².

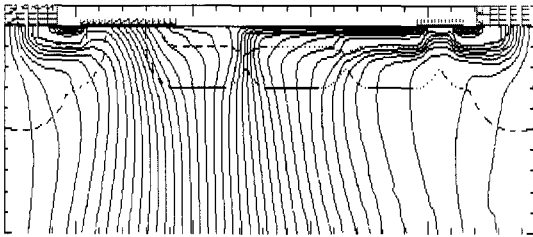


그림 9. 500 A/cm²에서 제안된 DG-EST의 전류 흐름도.

Fig. 9. Current flowline of the proposed DG-EST at 500 A/cm².

그림 8은 main thyristor에 의한 latch-up이 발생하기 전인 4 A/cm²에서의 전류 흐름도이고, 그림 9는 latch-up이 발생한 후인 500 A/cm²에서의 전류 흐름도이다.

latch-up 발생 전에는 floating n+ emitter/p-base 접합이 순방향 bias되어 main thyristor가 동작되고 있음을 보이고 있으며, latch-up 후에는 전류 흐름이 floating n+ emitter/p-base 접합의 양쪽 MOSFETs를 통해 양분됨으로써, 국부적인 동작 영역이 아닌 접합 전체에 걸쳐 동작영역이 확장된 모습을 보이고 있다.

2.3.2 굴곡진 p-base를 적용한 DG-EST의 latch-up 특성

그림 10에서 anode current density가 500 A/cm² 이상 일 때, 제안된 DG-EST는 기존의 DG-EST의 I-V 특성과 일치하는 것을 보여줌으로써 순방향 ON 전압강하는 그대로 유지하는 것을 나타내고 있다. 표 2는 그림 10의 결과를 요약 한 것인데, 7 V와 9 V의 gate 전압에서 제안된 DG-EST

는 기존의 DG-EST보다 latching current density를 6배 이상 낮추었으며, breakover voltage도 2배 이상 낮추는 효과를 보였다.

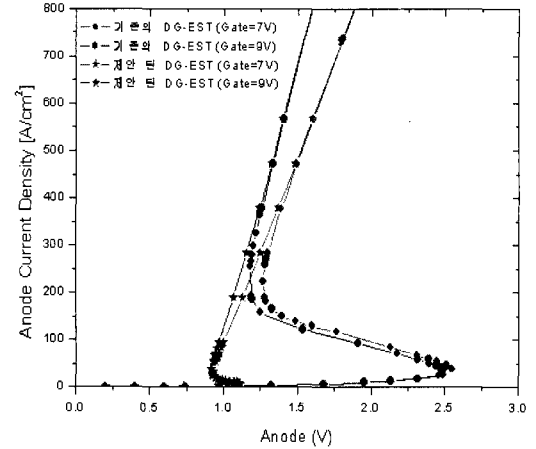


그림 10. 기존의 구조와 제안된 구조의 I-V 특성.

Fig. 10. The I-V characteristics of the conventional DG-EST and the proposed DG-EST.

표 2. Main thyristor의 latching current 비교.

Table 2. Comparison of latching current of main thyristor.

DG-EST		Gate Voltage	
		7V	9V
Conv. DG-EST	Latching Current Density [A/cm ²]	39	37
	Breakover Voltage [V]	2.54	2.49
Prop. DG-EST	Latching Current Density [A/cm ²]	6	6
	Breakover Voltage [V]	1.11	1.11

그림 11은 latching-up 현상에 주요한 요인을 미치는 p-base 농도에 따른 순방향 전압강하와 breakover 전압을 나타낸 것이다. 제안된 소자의 I-V 특성곡선에서 anode current density가 500 A/cm² 일 때 얻은 것인데, 농도가 증가함에 따라

ON전압강하와 breakover전압이 증가하는 현상을 보이고 있다. 이는 농도가 증가함에 따라 수평형 MOSFETs의 문턱전압은 증가하여, 순방향 ON전압강하는 증가하게 되고, 또한 농도증가로 낮아진 N-drift 영역으로의 전자전류의 유입은 breakover 전압의 증가를 초래했다고 생각된다. DG-EST의 전기적 특성을 좋게 하기 위해서는, 회로 설계 측면에서는 gate 길이와 구조를 바꾸는 것이 고려될 수 있겠으나, 제작 및 공정 측면에서는 gate 영역인 p-base부분의 농도를 변화 시켜 latch-up 특성을 조사하는 것이 보다 효과적인 연구라 생각되고, 본 실험에서 보인바와 같이 p-base 농도는 latch-up 특성에 많은 영향을 주었다.

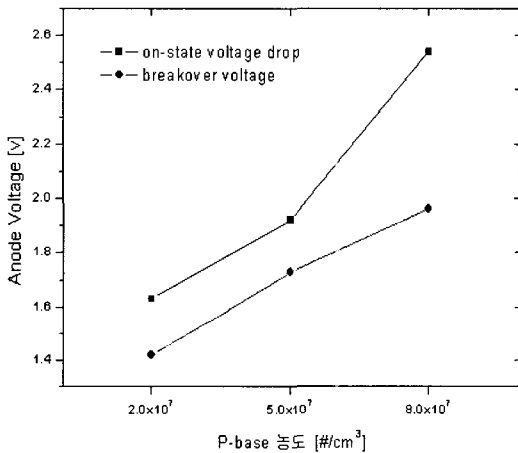


그림 11. p-base 농도 Vs. 순방향 전압 강하와 breakover 전압.

Fig. 11. The forward voltage drop and breakover voltage with the variations of p-base impurity concentrations.

3. 결론

본 논문에서는 DG-EST의 전기적 특성을 latch-up current density, ON 전압강하, breakover voltage 관점에서 다른 EST계 전력소자인 C-EST, MCCT, DC-EST와 비교 조사하였다. 그리고 DG-EST의 latch-up 특성을 개선하기 위한 방법으로 굴곡진 p-base 구조를 채택 하였는데, 이는 기존의 DG-EST보다 latch-up current density와 breakover voltage를 현저히 낮춤으로써, 전력소모

가 적고 SOA 영역 범위가 확장된 전력소자 개발의 가능성을 제시 하였다.

비교조사에서는 DG-EST가 낮은 ON 전압강하와 높은 latch-up current density를 나타냄으로써 우수한 latch-up 특성을 가짐을 확인하였고, 굴곡진 p-base 구조를 적용한 DG-EST의 연구에서는 제안된 소자가 기존의 DG-EST보다 latch-up current density는 6배 이상, breakover voltage는 2배 이상 낮추는 우수성을 보였다. 그리고 제안된 소자의 p-base 농도는 latch-up특성에 많은 영향을 주었다.

실험의 결과는 비록 MEDICI에 의한 모의실험에서 얻어진 것이지만, 직접실험의 결과와 거의 일치하리라 예상된다. 본 실험이 소자구조에 관련되는 부분이 많기 때문에, 구체적인 data값은 차이가 있을 수 있겠으나, 경향성은 거의 일치하리라 생각된다. 특히, 본 연구와 같이 실험의 변수가 많아 제조과정이 복잡, 다단한 경우에는 효율성면에서 본 실험의 방법을 고려해 볼만하다고 생각된다.

감사의 글

본 연구는 반도체설계교육센터(IDECE)의 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

참고 문헌

- [1] B. J. Baliga, M. S. Adler, P. V. Gray, R. Love, and N. Zommer, "The insulated gate transistor", IEEE Int. Electron Devices Meeting Dig, p. 264, 1982.
- [2] V. A. K. Temple, "MOS-Controlled Thyristors", IEDM Tech. dig, p. 282, 1984.
- [3] M. S. Shekar, B. J. Baliga, M. Nandakumar, S. Tandon, and A. Reisman, "Characteristics of the Emitter Switched Thyristor", IEEE Trans. Electron Devices, Vol. 38, No. 7, p. 1619, 1991.
- [4] M. Nandakumar, B. J. Baliga, and M. S. Shekar, "A new MOS-Gated Power Thyristor structure with turn-off achieved by controlling the base resistance", IEEE Electron Device Letts., p. 227, 1991.

- [5] Tsuneo Ogura and Akio Nakagawa, "IGBT Mode Turn-off Thyristor (IGTT) Fabricated on SOI Substrate", Proceeding of International Electron Device meeting (IEDM), p. 241, 1992.
- [6] N. Iwamuro, M. S. Shekar, and B. J. Baliga, "A study of EST's short circuit SOA", in Proc. IEEE Int. Symp. Power Semiconductor Devices and IC's, p. 71, 1993.
- [7] J. S. Ajit, "A new insulated-gate thyristor with turn-off achieved by controlling the base-resistance", IEEE Electron Device Lett., Vol. 16, No. 9, p. 411, 1995.
- [8] S. Sridhar and B. J. Baliga, "The dual gate emitter sitched thyristor (DG-EST)", IEEE Electron Device Lett., Vol. 17, No. 1, p. 25, 1996.
- [9] S. Sawant, S. Sridhar, and B. J. Baliga, "The dual gate EST: a new MOS-gated thyristor structure", '96 ISPSD, p. 125, 1996.
- [10] N. Iwamuro, T. Iwaana, Y. Harada, Y. Onozawa, and Y. Seki, "A new concept for high voltage MCCT with no J-FET resistance by using a very thin wafer", Electron Devices Meeting Dig, p. 351, 1997.
- [11] B. J. Baliga, Power Semiconductor Devices, PWS Publing Company, 1996.
- [12] 변대석, 이병훈, 한민구, 최연익, "스냅-백 현상이 억제된 새로운 구조의 Emitter Switched Thyristor", 전기학회논문지, 46권, 11호, p. 1623, 1997.