

논문 17-7-5

고 전력 DMOSFET 응용을 위한 트렌치 게이트 형성에 관한 연구

A Study on the Formation of Trench Gate for High Power DMOSFET Applications

박훈수^{1,a}, 구진근², 이영기¹
(Hoon-Soo Park^{1,a}, Jin-Gun Koo², and Young-Ki Lee¹)

Abstract

In this study, the etched trench properties including cross-sectional profile, surface roughness, and crystalline defects were investigated depending on the various silicon etching and additive gases. For the case of HBr/He-O₂/SiF₄ trench etching gas mixtures, the excellent trench profile and minimum defects in the silicon trench were achieved. Due to the residual oxide film grown by the additive oxygen gas, which acts as a protective layer during trench etching, the undercut and defects generation in the trench were suppressed. To improve the electrical characteristics of trench gate, the hydrogen annealing process after trench etching was also adopted. Through the hydrogen annealing, the trench corners might be rounded by the silicon atomic migration at the trench corners having high potential. The rounded trench corner can afford to reduce the gate electric field and grow a uniform gate oxide. As a result, dielectric strength and TDDB characteristics of the hydrogen annealed trench gate oxide were remarkably increased compared to the non-hydrogen annealed one.

Key Words : Trench gate, DMOSFET, On-resistance

1. 서론

고 전력 MOSFET는 스위칭 손실이 적고 속도가 빠르며 구동회로가 간단한 장점으로 인버터, 컨버터 등의 전력 변환 회로 및 배터리 back-up 회로의 중요한 스위칭 소자로 사용되어왔다[1,2]. 스위칭 소자로 사용되는 고 전류용 DMOSFET에서 전력 손실을 최소화하고 스위칭 효율을 높이기 위해서는 on-저항 (on-resistance)을 최소화하여야 하며, 대부분 DMOSFET에 대한 연구도 on-저항 감소 방법에 집중되어 왔다[3-5]. 수평 구조의 전력 DMOSFET에서의 on-저항 특성 향상은 미세

패턴 형성 및 구현기술의 발전으로 단위 면적당 셀 밀도와 채널 전류를 증가시킴으로써 어느 정도 성과를 거두었으나, 셀간 거리가 가까워질수록 기생 JFET에 의한 핀치 저항 (pinching resistance)의 증가로 on-저항을 줄이는데 한계가 있었다 [6-8]. 이러한 문제점을 극복하기 위하여 개발된 트렌치 게이트 DMOSFET는 채널을 수직 방향의 실리콘 트렌치 면에 형성하여 기생 JFET 구조를 배제할 수 있어 낮은 on-저항 특성을 얻을 수 있고 셀 집적도를 크게 향상시킬 수 있다. 한편, 트렌치 게이트 형성의 핵심 기술은 aspect ratio가 큰 트렌치 형성과 이방성 식각 기술과 트렌치 바닥면과 측면의 결정 결합 및 거칠기의 최소화, 신뢰성있는 트렌치 채움 (trench filling)과 평판화 기술 등으로 요약할 수 있다.

본 연구에서는 셀 밀도가 100 Mcell/inch² 이상의 집적이 가능한 DMOSFET를 구현할 수 있는 트렌치 게이트를 형성함에 있어 실리콘 식각가스와 침

1. 위덕대학교 반도체전자공학부
(경북 경주시 강동면 산50)
2. 한국전자통신연구원 다기능소자팀
a. Corresponding Author : hspark@uiduk.ac.kr
접수일자 : 2004. 5. 7
1차 심사 : 2004. 5. 20
심사완료 : 2004. 6. 1

가가스의 조합이 트렌치 형성특성과 식각 면의 거칠기와 결정 결함 등에 미치는 영향에 대하여 분석하였으며, 트렌치 식각 후 수소 어닐링 (hydrogen annealing) 공정을 적용하여 게이트 전장 (electric field)을 줄이고 균일한 게이트 산화막 성장을 가능하게 하여 트렌치 산화막의 특성을 향상시켰다.

2. 실험 결과 및 고찰

기존의 실리콘 트렌치 식각 장치는 이방성 식각과 선택비 제어를 위하여 RIE (reactive ion etching) 장비가 주로 사용되어 왔으나, RIE 장치의 경우 고진공 플라즈마 형성이 어렵고 플라즈마 밀도가 낮기 때문에 이온 충돌 에너지 증가가 불가피하여 aspect 비가 큰 트렌치를 형성하는 경우 식각 면의 결정결함이 증가되어 소자의 특성이 열화된다. 한편, 트렌치 식각 가스는 CF_4 , C_4F_8 , C_2F_6 등의 C-F계 가스가 일반적으로 사용되어 왔다. 그러나, C-F계 식각가스의 경우 화학 반응성이 강해서 트렌치 면에 폴리머 (polymer)를 형성하고 측벽의 횡방향 식각이 심각하게 발생한다. 본 실험에서는 상기에 언급한 문제점을 개선하기 위하여 MERIE (magnetically enhanced RIE) 장치를 이용하고, 향후 C-F계 식각가스를 대체하여 유용하게 사용될 HBr 가스를 이용하여 실리콘 트렌치 식각 실험을 수행하였으며, He-O₂, SiF₄, CF₄ 등의 첨가 가스를 변화시켜 식각가스의 종류 및 성분비에 따른 식각 형태, 결정 결함 및 표면 거칠기를 관측하였다. 우선, 트렌치 식각에서 HBr을 주 식각가스로 하고 첨가가스 He-O₂에 의한 식각특성을 관측하였다. 그림 1은 MERIE 장치에서 TEOS 박막을 식각 방지막으로 하고 HBr과 HBr/He-O₂ 가스로 120초 동안 식각한 폭 1 μm의 트렌치 단면 전자현미경 사진이다. 트렌치 깊이는 HBr 가스만을 사용한 경우가 약 1.85 μm, He-O₂를 첨가한 경우 1.6 μm로 나타나 HBr 가스만을 사용한 경우 식각율이 약 15 % 큼을 알 수 있었다. 식각 단면 특성은 HBr 가스만을 사용한 경우 트렌치 측면 벽의 횡방향 식각이 심각하게 발생하였다. 이러한, 횡방향 식각은 후속 산화막 형성과 트렌치 채움 공정에서 void 형성의 원인이 된다. 반면, He-O₂ 가스를 첨가한 경우 횡방향 식각이 억제된 비교적 양호한 식각 단면을 얻을 수 있었다. 이것은 첨가가스 O₂에 의하여 산화막의 일종인 보호막이 트렌치 벽면에 형성되어 횡방향 식각을 억제한 결과로 사료된다. He-O₂를 첨가한 경우 식각율이 약간 떨어지는 이유도 보호 산화막에 의한 영향으로 해석할 수 있다.

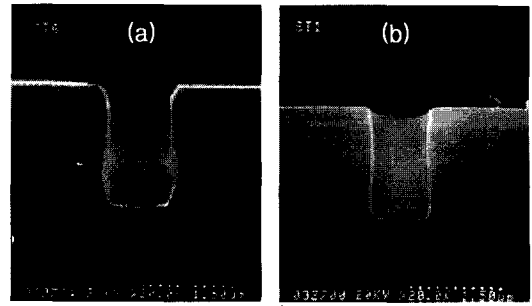


그림 1. 식각 가스 HBr 및 HBr/He-O₂ 혼합에 의한 트렌치 식각 단면 SEM 사진. (a) HBr 가스만 사용한 경우, (b) HBr/He-O₂ 가스를 혼합한 경우.

Fig. 1. SEM photographs of etched trench profiles using (a) HBr etching gas only, and (b) HBr/He-O₂ mixed gas.

다음으로 SiF₄와 CF₄ 가스가 트렌치 식각 특성에 미치는 영향을 분석하기 위해 HBr/He-O₂ 가스에 SiF₄와 CF₄ 가스를 다른 혼합비로 동시에 첨가하여 식각하였다. SiF₄와 CF₄ 가스를 첨가하는 경우 식각율은 다소 감소하는 것으로 나타났고, 그림 2에서 보는 바와 같이 SiF₄/CF₄ 첨가비가 3:1인 경우가 SiF₄/CF₄ 첨가비가 1:3인 경우 보다 횡방향 식각이 적게 나타났다. 이것은 SiF₄ 첨가량이 증가할 수록 SiF₄가 트렌치 측벽에 유입되어 횡방향 식각 속도를 감소시킨 것으로 볼 수 있다.

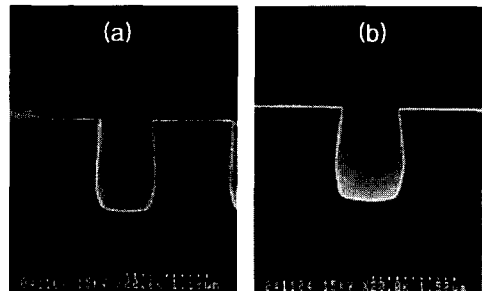


그림 2. HBr/He-O₂ 가스에 SiF₄/CF₄를 다른 혼합비로 식각한 트렌치 단면 SEM 사진 (a) SiF₄/CF₄ (3:1) 혼합, (b) SiF₄/CF₄ (1:3) 혼합.

Fig. 2. SEM photographs of etched trench profiles for different SiF₄/CF₄ mixed rate (a)SiF₄/CF₄ (3:1), (b)SiF₄/CF₄ (1:3).

또한, CF₄ 가스의 첨가량이 높은 경우 플라즈마 내에서 분해된 탄소에 의해 트렌치 면에 C-F계의 폴리머를 형성하여 후속 공정에서 문제가 발생할 가능성이 있으므로 가능한 CF₄의 첨가량을 줄이는 것이 바람직함을 알 수 있다. 이어서, HBr/He-O₂ 가스에 SiF₄와 CF₄ 가스를 각각 첨가하여 트렌치 식각 실험을 하였고, 그 식각 단면 SEM 사진은 그림 3과 같다. 결과에서 보는 바와 같이 CF₄를 첨가한 경우가 SiH₄ 가스를 첨가한 것보다 횡방향 식각이 크게 나타났으며, 이는 CF₄가 C-F계 가스 중 화학 반응성이 가장 강한 가스이므로 CF₄를 첨가하는 경우 Fluorine에 의한 화학 반응이 증대되어 횡방향 식각이 더 발생한 것으로 사료되며 전술한 그림 2의 결과와 일치하고 있음을 알 수 있다. 그림 3(b)의 단면 사진과 같이 식각가스를 CF₄를 제외한 HBr/He-O₂/SiF₄로 구성하는 경우 횡방향 식각이 억제된 매우 양호한 식각 단면 형태를 얻을 수 있었다.

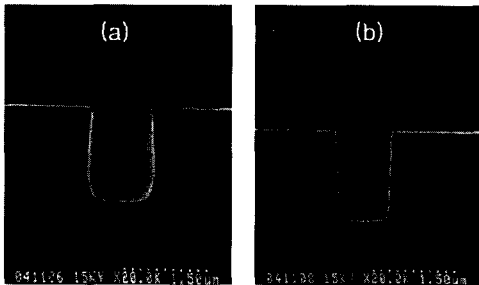


그림 3. HBr/He-O₂ 가스에 각각 CF₄와 SiF₄를 첨가하여 식각한 트렌치 단면 SEM 사진 (a) CF₄를 첨가한 경우, (b) SiF₄를 첨가한 경우.

Fig. 3. SEM photographs of etched trench profiles using, (a) HBr/He-O₂/CF₄ gas, and (b) HBr/He-O₂/SiF₄ gas.

그림 4는 HBr/He-O₂/SiH₄ 가스로 식각한 트렌치 코너부의 결정결함 (crystal defect)을 조사하기 위한 TEM 사진이다. 사진에서 보는 바와 같이 트렌치 식각 과정에서 발생하는 결정 결함은 거의 단 원자층 수준에서 존재하거나 결정 결함이 거의 없는 것으로 분석되었다. 이와 같이 결정결함이 최소화된 것은 본 연구의 경우 약 28 Å의 비교적 두꺼운 잔류막이 형성되어 식각 이온들이 실리콘 표면에 충돌하는 과정에서 이 잔류막이 충돌 에너지의 상당량을 흡수하여 결정 결함 발생이 억제된

것으로 판단된다. 상기에 언급한 결정 결함이외에 AFM (atomic force microscope)을 이용하여 HBr/He-O₂/CF₄ 가스와 HBr/He-O₂/SiH₄ 가스의 식각 실리콘의 표면 거칠기를 분석하였다. 분석한 결과 SiH₄와 CF₄ 가스를 첨가한 경우 peak-to-valley 표면 거칠기는 각각 17 Å과 65 Å으로 나타나, SiH₄를 첨가하는 경우 표면 거칠기가 약 1/4로 작게 나타나 표면 특성이 우수하였다.

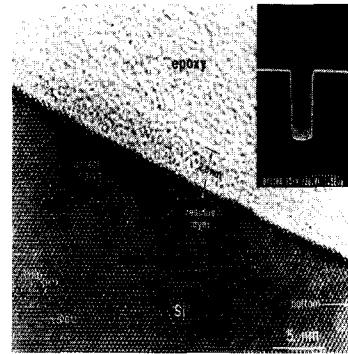


그림 4. 트렌치 식각 후 결정 결함을 분석하기 위한 TEM 사진.

Fig. 4. TEM photography to analyze crystal defect after trench etching.

그림 5는 HBr/SiH₄ 가스에 He-O₂ 첨가량을 변화시켰을 때 표면 거칠기 및 광 흡수 계수를 분석한 결과이다. He-O₂ 첨가량을 30-45 %로 하였을 때 표면 거칠기가 가장 작은 14Å으로 나타났고 광 흡수계수는 1.2로 표면 특성이 매우 양호하였다. 따라서, 트렌치 식각에서 결정결함, 표면 거칠기 분석 결과와 후속 산화막 성장 및 폴리 게이트 채움 공정을 고려하면 트렌치 식각의 최적 식각 가스는 HBr/He-O₂/SiH₄ 형태임을 알 수 있었다. 다음으로 트렌치 식각 후 채움 특성에 대하여 실험하였다. 트렌치 식각 공정에서 횡방향 식각에 의한 undercut이 발생하거나 트렌치 측면벽의 기울기가 바닥면에 대하여 양의 각을 갖지 못할 때 후속 채움 공정에서 void가 발생하게 된다. 이것은 aspect ratio가 크고 폭이 좁은 트렌치 구조일수록 void 발생 가능성이 높다. 또한, aspect ratio가 큰 트렌치 구조일수록 wall thinning ratio가 급격히 감소하여 void가 발생하므로 트렌치 측면벽이 바닥면에 대하여 90. 이하의 양의 각도를 가져야 한다. 그림 6은 O₂와 SiH₄ 첨가 가스의 유량비를 조절하여 약 10:1 정도의 aspect ratio를 갖는 트렌치

를 형성하고 동일 공정조건으로 산화막과 다결정 실리콘 채움 공정을 진행한 트랜치의 SEM 사진이다. 사진의 결과와 같이 그림 6(a)의 경우 트랜치 측면이 바닥면에 대하여 거의 수직에 가까운 각도로 형성되어 void가 발생하였다. 이에 비하여 그림 6(b)는 상대적으로 양의 각도를 갖는 구조로 void가 발생하지 않았음을 알 수 있었다. 트랜치 측벽의 형성 각도는 void 발생과 밀접한 관련이 있지만 트랜치 하부 코너의 모양은 게이트 산화막의 전기적 특성에 중요한 영향을 미친다. 트랜치 게이트 MOFET는 채널이 트랜치 면을 따라 형성되어 트랜치 코너 부분에 게이트 전계 (electric field)가 집중되어 게이트 산화막의 누설 전류를 증가시키거나, 심각한 경우 산화막을 파괴하는 요인이 된다. 이 현상은 트랜치 코너 부분이 예각으로 형성될수록 심각해지므로 트랜치 코너 부분을 라운딩(rounding)하는 기술이 필요하다. 트랜치 식각 후 수소 어닐링 공정을 수행하면 결정 내에서 표면 에너지를 최소화하는 쪽으로 실리콘 원자 이동(atomic migration)이 발생하여 에너지가 높은 트랜치 코너부의 형상을 변화되어 트랜치 코너가 라운딩 된다. 즉, 실리콘 원자 이동의 결과로 낮은 index 평면, 즉 (111)과 (113) 평면이 나타나면서 총 표면 에너지가 감소하게 되고, 트랜치 코너부의 변화된 결정 방향(crystal orientation)이 트랜치 코너부의 산화막 성장률을 증가시켜 트랜치 계면을 따라 균일한 산화막 성장이 가능하게 된다. 따라서, 수소 어닐링에 의한 코너 라운딩 방법은 게이트 전계를 감소시킬 뿐만 아니라, 균일한 산화막 성장이 가능하게 되어 게이트 산화막의 전기적 특성 및 장기적 신뢰성을 크게 향상시킬 수 있다.

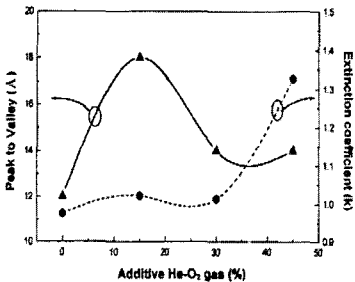


그림 5. He-O₂ 첨가량에 따른 트랜치 표면 거칠기 및 광 흡수 계수.
 Fig. 5. Surface roughness and optical absorption coefficient for various addition rates of He-O₂ gas.

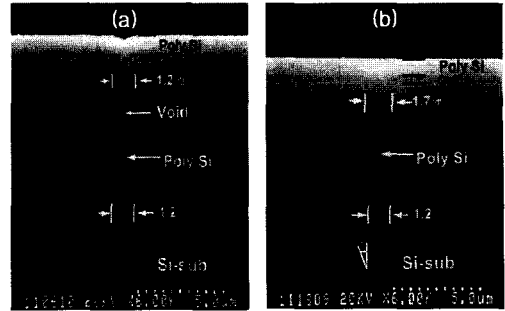


그림 6. 측면벽의 형성 각도가 다른 트랜치의 채움 특성, (a) 수직에 가까운 각도인 경우, (b) 양의 각도를 갖는 경우.

Fig. 6. Trench filling properties with different side wall angles, (a) nearly vertical angle, and (b) an positive angle.

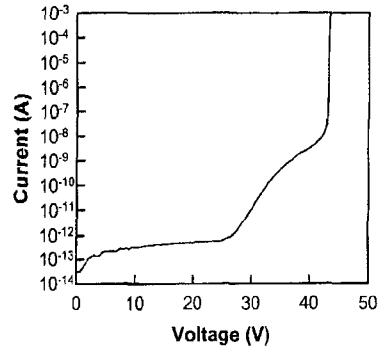


그림 7. 수소 어닐링 공정을 진행한 트랜치 게이트 산화막의 I-V 특성.

Fig. 7. I-V characteristic of trench gate oxide processed with hydrogen annealing.

그림 7은 트랜치 식각 후 수소 어닐링에 의한 코너 라운딩 공정을 적용하고 두께 500 Å인 게이트 산화막의 항복전압 및 Fowler-Nordheim (F-N) tunneling 특성을 측정된 결과이다. 실험 결과 수소 어닐링을 수행한 게이트 산화막의 dielectric breakdown strength는 약 8.6 MV/cm이고, 20 V 이하의 게이트 전압에서 누설전류 약 0.1pA 이하 수준으로 양호한 특성을 보였다. 수소 어닐링을 수행한 게이트 산화막의 항복전압과 F-N tunneling 전압이 수소 어닐링 하지 않은 경우 보다 높게 나타났다. 이것은 수소 어닐링에 의하여 트랜치 코너부가 라운딩 되므로 트랜치 코너의 전계가 완화되

고 균일한 두께의 게이트 산화막이 성장되었기 때문으로 판단된다. 또한, CVST (constant voltage stress test) 방법으로 측정된 게이트 산화막의 신뢰성 특성도 수소 어닐링 공정을 진행한 게이트 산화막의 절연 파괴시간 (time to dielectric breakdown)이 수소 어닐링 공정을 수행하지 않은 게이트 산화막에 비하여 훨씬 길게 나타나 신뢰성 특성이 우수함을 확인할 수 있었다.

4. 결론

본 연구는 DMOSFET 응용을 목적으로 하고 셀 밀도가 100 Mcell/inch² 이상의 집적이 가능한 트랜치 게이트를 형성함에 있어 실리콘 식각가스 및 첨가가스의 조합에 따른 트랜치 형성특성과 식각면의 거칠기와 결정 결함 등에 대하여 연구하였다. 우선, 식각가스 최적화를 위하여 트랜치 면에 폴리머를 형성하고 횡방향 식각이 심각하게 발생하는 문제점이 있는 C-F계 식각가스 대신 브롬계 HBr 가스를 이용하여 실리콘 트랜치 식각을 수행하였다. 실험 결과 HBr 가스만을 사용한 경우가 HBr 가스에 He-O₂ 가스를 첨가한 경우 보다 식각율이 약 15 % 증가되었으나 트랜치 측면 벽의 횡방향 식각이 심각하게 발생하였다. 다음으로 브롬계 HBr 가스를 기본으로 He-O₂/SiH₄, He-O₂/CF₄ 등의 첨가 가스의 종류와 비를 변화하면서 트랜치 단면 특성, 표면 거칠기 등을 조사한 결과 HBr/He-O₂/SiH₄ 가스를 사용한 경우 HBr/He-O₂/CF₄에 비하여 횡방향 식각이 감소하였고, TEM 분석 결과 트랜치 코너부의 결정결함 발생이 최소화됨을 알 수 있었고 표면 거칠기도 약 1/4로 감소되었다. 또한, 수소 어닐링 공정에 의한 트랜치 게이트의 산화막 특성을 평가하였다. 실험 결과 수소 어닐링을 수행한 게이트 산화막의 dielectric breakdown strength는 약 8.6 MV/cm이고, 누설전류 약 0.1 pA 이하 수준으로 수소 어닐링을 수행한 게이트 산화막의 항복전압과 F-N tunneling 전압이 수소 어닐링 하지 않은 경우 보다 높게 나타났다. 이것은 수소 어닐링에 의하여 트랜치 코너부가 라운딩 되므로 트랜치 코너의 전계가 완화되고 균일한 두께의 게이트 산화막이 성장되었기 때문으로 판단된다. 또한, TDDB 측정결과 수소 어닐링 공정을 진행한 게이트 산화막의 절연 파괴시간이 수소 어닐링 공정을 수행하지 않은 게이트 산화막에 비하여 훨씬 길게 나타나 신뢰성 특성이 우수함을 확인할 수 있었다.

감사의 글

본 연구는 한국과학재단 목적기초연구(R01-2002-000-00507-0) 지원으로 수행되었음.

참고 문헌

- [1] N. Fujishima, A. Sugi, S. Kajiwara, K. Matsubara, Y. Nagayama, and C. Salama, "A high-density low on-resistance trench lateral power MOSFET with a trench bottom source contact", IEEE Transaction on Electron Devices, Vol. ED-49, No. 8, p. 1462, 2002.
- [2] 강이구, 성만영, "고내압 특성을 위한 진성영역과 트랜치 구조를 갖는 베이스 저항 사이리스터", 전기전자재료학회논문지, 15권, 3호, p. 201, 2002.
- [3] M. Zitouni, F. Morancho, P. Rossel, H. Tranduc, and I. Pages, "A new concept for the lateral DMOS transistors for smart power ICs", Proceeding of ISPSD, p. 73, 1999.
- [4] D. Ueda, H. Takagi and G. Kano, "An ultra-low on-resistance power MOSFET fabricated by using a fully self-aligned process", IEEE Transaction on Electron Devices, Vol. ED-34, No. 7, p. 926, 1987.
- [5] 강이구, 성만영, "레지엄 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT", p. 371, 2000.
- [6] R. K. Williams, W. Grabowski, M. Darwish, M. Chang, H. Yilmaz and K. Owyang, "A 1 million-cell 2.0 mΩ, 30V Trench FET utilizing 32 Mcell/in² density with distributed voltage clamping", Proceeding of IEDM, p. 363, 1997.
- [7] Y. Kawaguchi, T. Sano, and A. Nakagawa, "25V-13 mΩ-mm² low on-resistance novel structure trench gate LDMOS", Proceeding of SSDM, p. 120, 1999.
- [8] 문승현, 강이구, 성만영, 김상식, "스마트 파워 IC를 위한 P+ Driver 구조의 횡형 트랜치 IGBT," 전기전자재료학회논문지, 14권, 7호, p. 546, 2001.