

논문 15-6-4

960 MHz대역 다층구조 VCO 설계

Design of Multi-layer VCO for 960 MHz Band

이동희*, 정진휘
(Dong-Hee Rhie* and Jinhwee-Jung)

Abstract

In this paper, we present the simulation results of multi-layer VCO(voltage controlled oscillator), which is composed of resonator, oscillator, and buffer circuit, using EM simulator and nonlinear RF circuit simulator. EM simulator is used for obtaining the EM(Electromagnetic) characteristics of conductor pattern as well as designing the multi-layer VCO. Obtained EM characteristics were used as real components in nonlinear RF circuit simulation. Finally the overall VCO was simulated by the nonlinear RF circuit simulator. The material for the circuit pattern was Ag and the dielectric was DuPont 951AT, which will be applied for LTCC process. The structure of multi-layer VCO is constructed with 4 conducting layer. Simulated results showed that the output level was about 4.5 [dBm], the phase noise was -104 [dBc/Hz] at 30 [kHz] offset frequency, the harmonics -8 dBc, and the control voltage sensitivity of 30 [MHz/V] with a DC current consumption of 9.5 [mA]. The size of VCO is 6×9×2 mm(0.11 [cc]).

Key Words : Multi-layer, VCO, Nonlinear RF simulator, EM simulator, Strip line, Resonator

1. 서론

이동통신 단말기는 지난 20년간 급격한 용적 및 중량감소를 이루었다. 이는 전자회로의 집적화, 수동부품의 소형화, 및 고성능 2차 전지의 개발에 힘입은 바 크다고 하겠다[1]. 이와 같이, 이동통신기기의 소형·경량화를 위해서는 사용 전자 부품의 소형화가 필수적이며, 이중 마이크로파 유전체가 이용되는 부품으로는 Duplexer, BPF, VCO, Mixer, 안테나(antena) 등과 RF용 MLCC, 적층인덕터 등을 대표적으로 들 수 있다[2].

특히, 이동통신기기의 핵심부품 중의 하나인 VCO는 소형화가 빠르게 진행되고 있다. 현재 0.035 cc

(5.5×4.8×1.8 mm) 정도 용량을 가진 제품까지 개발되어 있고 GSM, CDMA, IMT2000 등의 단말기에 사용되고 있다.

VCO의 소형화에 있어 가장 큰 영향을 주는 인자는 공진부의 치수와 실장시 사용되는 소자의 크기이다. 실장되는 소자는 칩 소자에 의한 표면실장법이 주로 사용되므로 보다 작은 소자를 사용하면 되고, 공진기의 경우에는 유전손실이 아주 적은 세라믹 재료를 이용한 스트립라인을 구현하여 품질계수가 큰 공진기를 얻으면 된다[3,4]. 일반적으로 품질계수를 증가시키기 위해서 유전체 공진기나 YIG와 같은 소자를 사용하게 되나 크기가 커지는 단점이 있다[5].

그러므로 공진기는 VCO 전체 특성에 큰 영향을 주기 때문에 보다 신중하게 결정해야 한다. 본 연구에서는 다른 공진기에 비해 Q값은 다소 낮으나 적층형 부품에 있어서 소형화에 가장 유리하고 널리 사용되고 있는 스트립라인(SL; strip line)공

* : 수원대학교 전기공학과
(경기도 화성시 봉담읍 수원대학교)
FAX : 031-220-2494
E-mail : jinhweej@mail.suwon.ac.kr
2001년 12월 26일 접수, 2002년 1월 16일 1차 심사 완료
2002년 2월 14일 최종 심사 완료

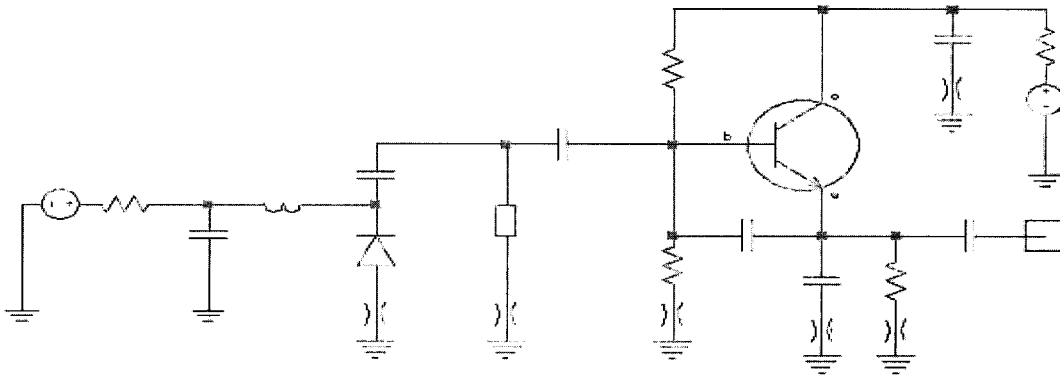


그림 1. VCO의 기본회로.

Fig. 1. Basic circuit of VCO.

진기를 적용한다[3,4].

본 연구에서는 2.5D 전자기장 시뮬레이터와 비선형 RF 회로 시뮬레이터를 활용하여 다층구조 VCO를 설계한 예를 제시한다.

2. 회로설계

VCO는 일반적으로 공진부, 발진부, 버퍼부(증폭부)로 구성된다. 그림 1의 회로는 공진부와 발진부로 구성된 회로로서 비선형 RF 회로 시뮬레이터에서 발진특성을 우선 검토하기 위한 것이다. 버퍼부는 부하의 변동이 발진 특성에 미치는 영향을 억제해주는 기능 부분으로 발진을 일으키는 역할보다는 VCO의 특성을 안정화시키기 위한 회로이다.

2.1 발진회로 설계

그림 1의 회로는 기존에 설계한 VCO 기본회로로서[6,7], 회로의 공진부는 마이크로스트립라인 공진기를 사용하였고 수동소자는 칩소자로 설정하였다. 그리고, 능동소자로는 도시바의 바랙터(1SV284)와 NEC의 저잡음 트랜지스터(2SC3356)를 선정하였다.

그림 2는 그림 1의 회로를 다층구조로 설계하기 위한 VCO의 단면도로서 검은 선이 도전체 부분이고 도전체의 사이에는 비유전율 7.8인 유전체가 삽입될 구조이다. 유전체로는 DuPont Co.의 LTCC용 재료인 DuPont 951AT를 대상으로 하였다[8]. 절지 도전층을 기준으로 했을 때, 제 1층과 제 3층

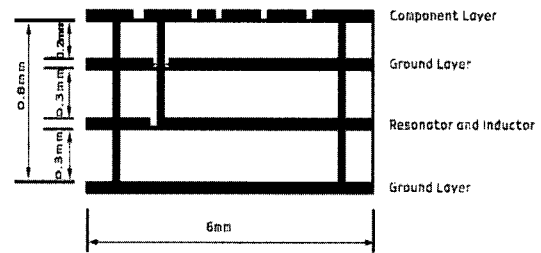


그림 2. 다층구조 VCO의 단면도.

Fig. 2. A cross section of multi-layer VCO.

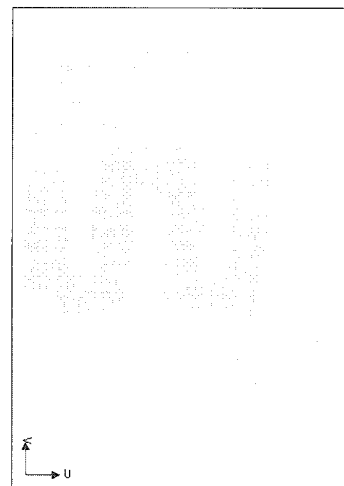


그림 3. 매립층 스트립라인 패턴.

Fig. 3. Stripline pattern of buried layer.

은 접지층이고 그 사이의 제 2층이 스트립라인이 매립된 층이다. 그리고, 최상층인 제 4층에는 능동소자와 수동소자를 실장하게 된다. 접지층과 접지층, 그리고 매립층과 최상층간의 전기적인 연결은 비아홀(via-hole)을 통하여 접속된다.

제 1층과 제 3층의 접지층 사이에 매립되어 있는 제 2층의 도선층 패턴이 그림 3이다. 그림 3의 매립층 패턴은 전자기장 시뮬레이터를 이용하여 설계하였다. 그림 3에서 사형도선(meandering line) 구조로 되어있는 부분은 VCO에서 제어전압에 바이어스를 인가해주는 인덕터의 역할을 한다. 그리고, 상대적으로 폭이 넓은 선(line)은 스트립라인

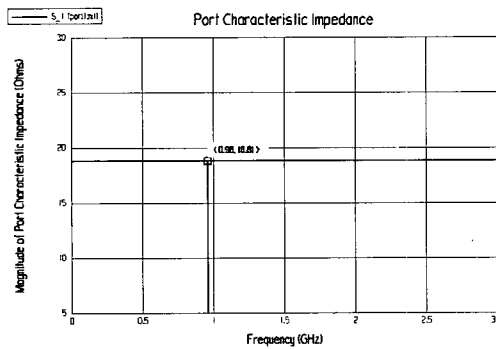


그림 4. 공진기의 특성임피던스.
Fig. 4. Characteristics impedance of resonator.

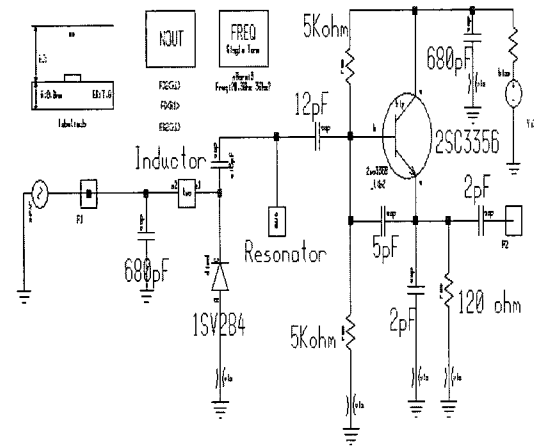


그림 5. 공진기와 제어전압 바이어스 스트립라인을 등가화한 VCO 회로.
Fig. 5. VCO equivalent circuit by resonator and bias strip line.

공진기이다. 스트립라인의 폭은 0.8mm이다[9].

그림 4는 스트립라인 공진기의 특성 임피던스(characteristic impedance)이다. 특성 임피던스는 약 19 옴이고, 스트립라인의 폭을 증가시키면 특성 임피던스가 감소하게 되고, 입력 임피던스가 작아져 작은 부저항으로도 쉽게 발진이 가능하게 된다. 그러나, 기존 연구 중 버퍼회로가 없는 VCO의 시뮬레이션에서 제작하려는 회로의 기판의 크기가 6×6 mm였기 때문에 스트립라인 공진기의 폭을 0.8 mm로 정하였던 것처럼 버퍼회로가 연결된 VCO 시뮬레이션에서도 0.8 mm로 정하였다.

그림 5는 그림 3의 스트립라인을 전자기장 시뮬레이터를 이용하여 주파수 특성을 S-parameter로 추출한 후, RF 비선형 시뮬레이터에서 블랙박스(blackbox)로 등가화하여 나타낸 회로이다. 그림 5는 그림 9에서처럼 많은 등가화된 블랙박스를 연결한 회로를 설계하기 위한 중간단계의 회로이다.

그림 5의 회로 좌측 상단의 표시는 시뮬레이터에서 시뮬레이션 조건들인 기판의 재질, 시뮬레이션 주파수 범위 설정 등을 설정해 주기위해서 필요한 것이다. 이는 그림 7과 그림 9에도 표기하였다.

그림 6은 전자기장 시뮬레이터를 이용하여 도시화한 최상층의 패턴이다. 작은 구멍처럼 표시된 것은 접지층과 매립층으로 연결되는 비아홀이다. 접지층으로 8개, 나머지 바이어스와 RF 신호용으로



그림 6. 다층구조 VCO의 최상층 패턴.
Fig. 6. Top layer of multi-layer VCO.

사용되는 비아홀이 12개이다.

2.2 버퍼회로 설계

그림 6에서 접지층과 연결되는 패턴을 제외한 소자와 소자를 연결하는 패턴을 전자기장 시뮬레이터를 이용하여 주파수 특성이 있는 S-parameter로 추출하였다. 추출된 S-parameter는 패턴의 주파수 특성을 가지게 된다. 추출된 S-parameter는 RF 비선형 시뮬레이터에서 그림 7과 그림 9의 회로와 같이 블랙박스로 등가화하여 시뮬레이션하였다. 그리고, 버퍼회로를 연결한 VCO 회로의 시뮬레이션은 시뮬레이터 특성상 같은 회로에서 발진특성을 확인할 수 없으므로 그림 9의 출력단에 2포트 블랙박스를 연결하여 버퍼회로를 대신하였다. 그림 9의 출력단에 연결한 2포트 블랙박스는 그림 7의 버퍼회로를 선형 시뮬레이션 후 얻은 S-parameter이다. 블랙박스에는 소자와 소자 사이에 연결되어 주파수 응답 특성을 가지며, 비선형 RF 시뮬레이터에서 마치 일반 실물소자와 같은 영향을 준다.

그림 8은 그림 7 버퍼회로의 증폭율을 발진 주파수인 960 MHz대역에서 확인한 것이다. 증폭율이 발진주파수 960 MHz 전후 약 80 MHz에서 약 9.3 [dBm]이다. 그러므로 증폭기와 버퍼회로 사용하기에 적당한 것으로 고려된다. 그림 7의 버퍼회로에서 트랜지스터의 콜렉터단에 연결되어 출력단에

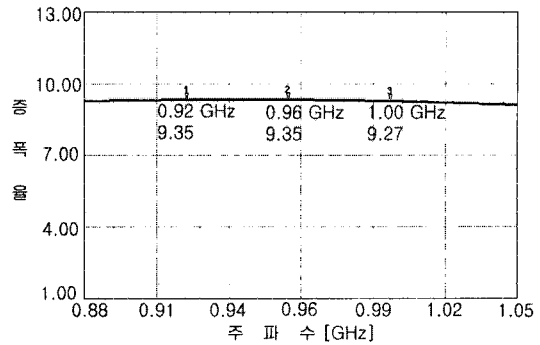


그림 8. 버퍼회로의 증폭률.

Fig. 8. Amplification of buffer circuit

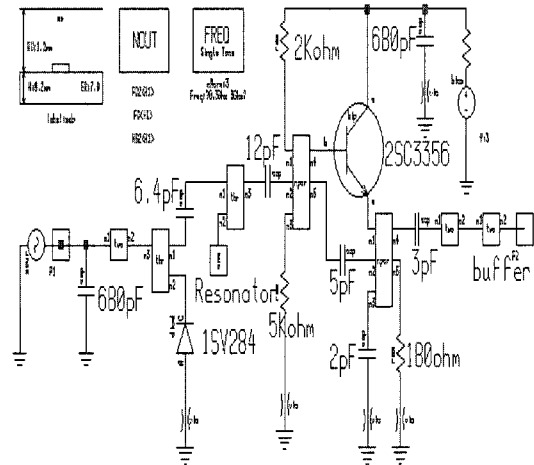


그림 9. 매립층의 스트립라인과 최상층 패턴을 등가화한 VCO회로.

Fig. 9. VCO equivalent circuit by strip line of buried layer and top layer pattern.

병렬로 연결된 스트립라인은 회로상에서 2포트 블랙박스로 표시하였고, 블랙박스로 등가화된 스트립라인은 출력단에 병렬로 연결하고, 커패시터를 직렬로 연결하여 출력 임피던스의 정합회로로서 역할하게 하였다[10]. 그림 9는 최종적으로 시뮬레이션하기 위해서 전자기장 시뮬레이터에 의한 패턴의 주파수 응답 특성과 버퍼회로를 연결한 회로이다. 시뮬레이션의 최종적인 결과는 그림 9의 시뮬레이션을 통해서 얻었다.그림 10은 설계과정을 나타낸 순서도이다. 그림10에서 스트립라인의 주파수 특성 등가화는 전자기장 시뮬레이터를 이용한다. 제작에 있어서 인쇄하게 될 패턴을 레이아웃한 후

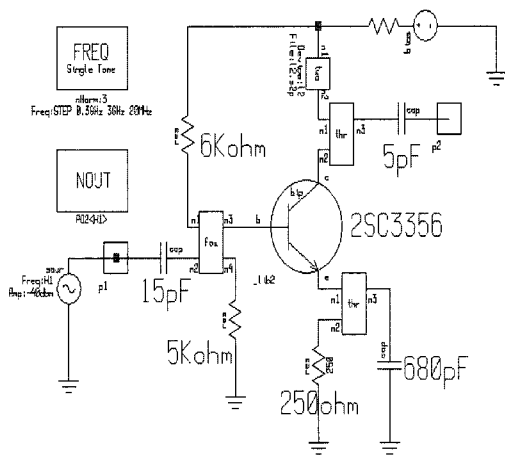


그림 7. 버퍼회로.

Fig. 7. Buffer circuit.

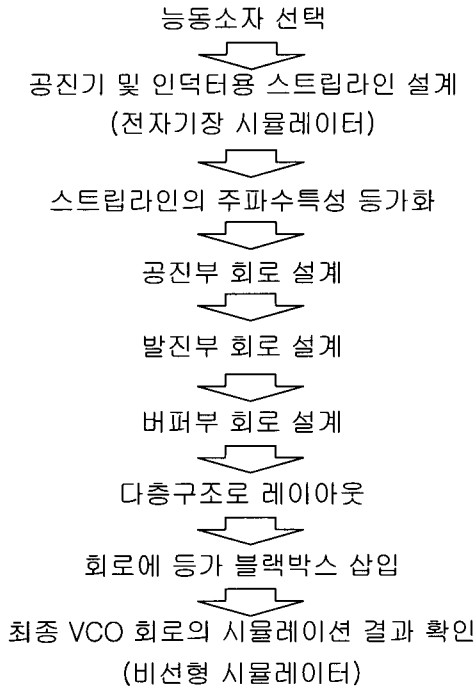


그림 10. VCO 설계 및 시뮬레이션 과정.

Fig. 10. Design and simulation process of multi-layer VCO

에 그림 2의 매립층 스트립라인과 최상층 마이크로 스트립라인과 실장소자가 솔더링(soldering)되는 부분을 포트에 지정한다. 포트가 지정된 패턴은 전자기장 시뮬레이션을 하여 주파수 특성을 S 파라미터로 추출하여 비선형 시뮬레이션에서 블랙박스(black box)로 등가화하여 소자와 소자 사이에 연결한다. 연결된 블랙박스는 수동 소자처럼 주파수 특성에 영향을 주어 전체 VCO 회로의 결과에 영향을 준다.

3. 시뮬레이션 결과

다층구조 VCO의 시뮬레이션의 발진특성은 비선형 RF시뮬레이터에서 확인하였다.

그림 11은 제어전압 0.5~2.5 V에서 발진주파수의 가변 특성을 나타낸다. 제어전압의 가변범위는 0.5~2.5 V이며, 이때의 발진주파수의 가변범위를 확인하였다. 제어전압 가변범위에서 중심 전압인

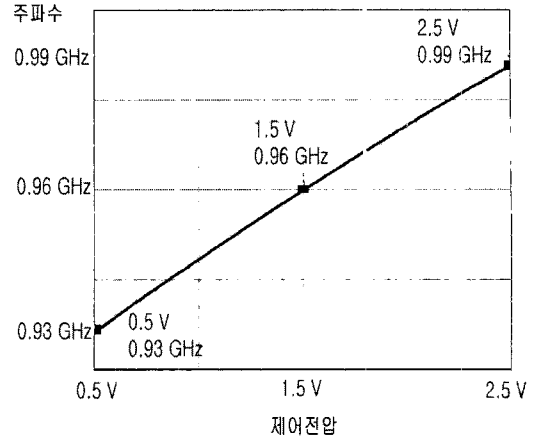


그림 11. 발진주파수 특성.

Fig. 11. Oscillation frequency characteristics with control voltage.

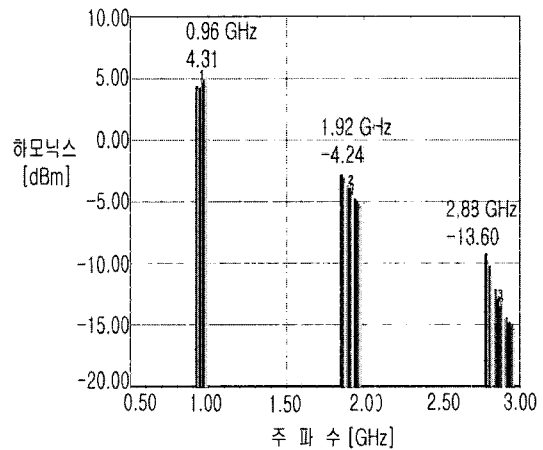


그림 12. 발진주파수 스펙트럼 특성.

Fig. 12. Oscillation frequency spectrum characteristics.

1.5 V에서 발진주파수가 960 MHz이며, 가변된 발진주파수는 제어전압 0.5 에서 약 930 MHz이고 2.5 V에서 약990 MHz이다. 그러므로, 발진회로의 가변주파수의 특성은 30 MHz/V이다.

그림 12는 발진주파수의 스펙트럼 특성을 나타낸다. 스펙트럼 특성 분석에서는 기본파와 제2고조파와의 출력차를 보는 하모닉스(harmonics)특성을 확인할 수 있다. 하모닉스 특성값은 작을수록 좋은 것이다. 일반적으로 RF 시스템에서 요구하는 하모

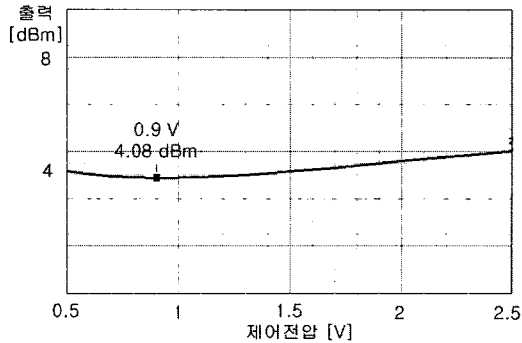


그림 13. 발진출력 특성.

Fig. 13. Oscillation output characteristics with control voltage.

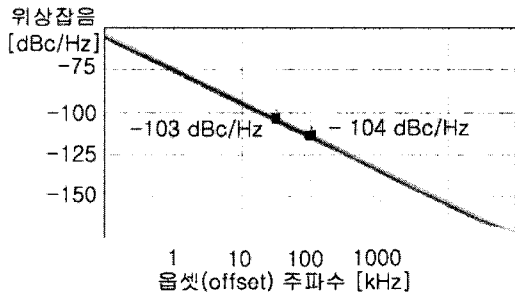


그림 14. 위상잡음 특성.

Fig. 14. Phase noise characteristics with control voltage.

닉스 특성은 -10 dBc 이하이다. 그러나, 설계한 VCO의 시뮬레이션 결과는 그림 12에서 확인할 수 있는 바와 같이 -8 dBc로 좀 더 개선이 필요하다. 그림 12에서는 제3고조파까지 확인하였다.

그림 13에서는 발진출력 특성을 나타내고 있다. 발진출력은 클수록, 그리고 제어전압에 따라 출력의 변화가 없어야 특성이 우수한 것이다. 그림 13에서는 최고 출력과 최저 출력의 차가 약 1 dBc로 작은 편으로 선형성이 좋고, 발진출력값은 4.5 dBm 정도로 발진출력 특성 또한 좋았다.

그림 14에서는 위상잡음 특성을 보여주고 있다. 위상잡음은 기본파에서의 잡음전력과 오프셋(offset)된 주파수에서의 1 Hz 잡음전력의 차를 의미하는 것으로 작은 값을 가질수록 좋다[8]. 오프셋 주파수를 30 kHz로 하여 위상잡음을 표기한 상용 발진기와 특성을 비교하기 위해서 설계한 VCO

표 1. 시뮬레이션 결과.

Table 1. Result of simulation output.

Item	Specification	Simulated	Condition
Supply voltage	3.0 V	3.0 V	DC bias
Control vol. range	0.5 ~ 2.5 V	0.5 ~ 2.5 V	DC bias
Freq. range	954~980MHz	954~980MHz	
Output level	-1 ± 3 dBm	4.5 ± 0.5 dBm	$V_T = 0.5 \sim 2.5$ V
Tuning range	20~30 kHz/V	30 kHz/V	
Harmonics	-10dBc	-9 dBc	
Pushing figure	± 500 kHz	-	3.0 ± 0.15 V
Pulling figure	± 500 kHz	-	
SSB Phase noise	-110dbc/Hz	-104 dbc/Hz	@offset 30 kHz
Current	8 mA	9.5 mA	
Size	6.0x6.0x1.8mm	6.0x9.0x2.0mm	0.05, 0.11 CC

의 위상잡음의 특성도 같은 조건인 오프셋 주파수 30[kHz]에서 VCO의 위상잡음 특성을 확인하였다. 그림 14에서 30 kHz 오프셋 된 주파수에서 위상잡음은 -104 dBc/Hz이다. 즉, 설계한 VCO의 위상잡음은 상용 발진기의 위상잡음인 -110 dBc/Hz와 비교하여 좋지 않은 특성을 보이지만, 이는 실물 VCO를 제작 후에 VCO 특성 튜닝을 함으로써 향상시킬 수 있을 것이라 고려된다.

표 1은 설계한 회로의 시뮬레이션 결과와 현재 960 MHz CDMA용 단말기의 VCO의 특성을 비교한 것이다. 발진특성항목 중 하모닉스, 위상잡음 소비전류의 특성은 약간 좋지 못하나 발진출력, 발진주파수의 가변폭 특성은 더 우수한 결과를 보였다.

설계의 크기에 있어서는 오히려 큰 회로로 설계하였다. 만약에 칩소자를 수작업으로 실장해야만 하는 상황에서 스펙(specification)의 크기대로 제작하게 되면 칩소자의 실장하는 데 있어서 큰 어려움이 생긴다. 즉, VCO 기판상에 칩소자를 실장하는데 있어서 수작업의 제약이 있을 것으로 예상되어 할 수 없이 VCO의 크기를 약간 크게 하였다.

4. 결론

전자기장 시뮬레이터를 이용하여 스트립라인 공진기를 설계하였으며, 또한 다층구조의 VCO를 도시화하고 도시화된 패턴으로부터 주파수 특성을 추출하였다. 그리고, 비선형 RF 시뮬레이터에서 추출된 패턴의 주파수 특성값을 블랙박스로서 등가

화하여 설계한 VCO에 대한 발진특성을 검토한 결과 다음과 같은 결론을 얻었다.

1. 본 연구에서 설계한 다층구조 VCO의 발진주파수의 가변 전압범위는 0.5~2.5 V였으며, 발진 주파수 가변 범위는 약 30 MHz/V였다.
2. 설계된 다층구조 VCO는 제어전압(VT) 1.5 V에서 960 MHz, 발진출력 약 4.5 dBm, 오프셋 주파수 30 kHz에서 위상잡음 -104 dBc/Hz, 소비전류 9.5 mA이다.
3. 비선형 RF 시뮬레이터만으로 설계하기 보다는 전자기장 시뮬레이터를 통해 소자와 소자를 연결해주는 패턴들의 주파수 특성을 비선형 RF 시뮬레이터에 적용함으로써 다층구조 VCO회로의 시뮬레이션 정확성을 높이고자 하였다.
4. 본 연구를 통해 일부 발진특성에 있어서 아직 부족한 부분이 있기는 하지만, 스트립라인 형태로 수동소자와 공진기를 매립한 다층구조의 VCO를 설계할 수 있음을 확인하였다.

본 논문은 다층구조 VCO의 설계를 하는데 그 주제를 잡았으나 현 단계에서 마무리는 게 아니라 앞으로 실물 VCO를 제작하여 시뮬레이션한 결과와의 비교가 보충되어야 하겠다.

참고 문헌

- [1] 김상필, 조정수, 박정후, 윤문수, "은 담지한 흑연을 부극 활물질로 이용한 이용한 Lithium ion 2차 전지의 충방전 특성", 전기전자재료학회논문지, 11권, 9호, p. 727, 1998.
- [2] 윤중락, 김지균, 이현용, 이석원, "이동통신 적층칩 부품용 BaTiO₃-3TiO₂ 세라믹스의 glass, BaWO₄ 및 CuO 첨가에 따른 고주파 유전 특성", 전기전자재료학회논문지, 12권, 4호, p. 319, 1999.
- [3] 김지균, 이현용, 윤중락, "1.9GHz대의 적층 칩 세라믹 대역통과필터 설계 및 시뮬레이션", 전기전자재료학회논문지, 12권, 3호, p. 207, 1999.
- [4] G. D. Vendelin, "Microwave Circuit Design Using Linear and Nonlinear Techniques", John Wiley & Sons, Chap 6, 1990.
- [5] T. Nishikawa, "RF front end circuit components miniaturized using dielectric reso-

nators for cellular portable telephones", IEICE Trans., Vol. E74, No. 6, 1991.

- [6] 이동희, 정진휘, "UHF대역에서 동작하는 마이크로 스트립 라인을 이용한 VCO 제작", 한국전기전자재료학회 춘계학술대회 논문집, p. 55, 2001.
- [7] 이동희, 정진휘, "850MHz에서 동작하는 마이크로 스트립 라인을 이용한 VCO 제작", 대한전기학회 전기재료연구회 춘계학술대회논문집, p. 85, 2001.
- [8] 강동헌, "고주파용 LTCC 유전체소재 개발", 수원대학교 전자부품소재 기술혁신센터, 2000.
- [9] 고윤수, 홍성용, 배홍열, 김기수, 손호원, "세라믹적층기술을 이용한 초소형 VCO", 한국전자과학기술논문지, 10권, 1호, p. 70, 1999.
- [10] 염경환, "3V에 동작하는 PCS 단말기용 표면실장용 전압제어발진기의 설계 제작", 한국통신학회논문지, Vol. 21, No. 3, p. 784, 1996.
- [11] Benzdad razavi, "RF Microelectronics", Prentice Hall Inc., Chap 7, 1998.