

CMOS형 이미지 센서와 응용

정차근*, 양성현**, 조경록**

* 호서대학교 전기공학부 제어계측전공

** 충북대학교 전기전자공학부 정보통신전공

Abstract

This paper presents a survey of the CMOS-based image sensor and its applications to various real field digital camera. CMOS image sensor, called active pixel sensor(APS), has many interesting properties such as high sensitivity, high speed readout, random access and lower power consumption when it is compared with CCD. This paper also addresses the state-of-the-art of CMOS image sensor, and gives some examples of its application to digital camera and special-purpose cameras. With the advancement of semiconductor technology, CMOS image sensor is a future technology for imaging system, and will be widely used in the field of image capturing for consumer electronics and scientific measurements.

1. 서 론

멀티미디어에 의한 정보화 사회의 진전에 따라, 음성, 문자, 그래픽정보뿐만 아니라 정지영상을 비롯한 실시간 동영상의 정보의 필요성이 급속히 증대되고 있다. 효율적인 실시간의 영상통신을 구현하기 위해서는 사용자의 다양한 요구에 대응할 수 있는 영상 입력 수단이 요구되고 있다. 또한, 위성에 의한 원격감시, 로봇의 인식시스템등 외부화상의 입력을 위한 우수한 성능을 갖는 이미지센서(image sensor)의 필요성은 날이 증가되고 있으며, 이를 위한 연구, 개발이 활발히 진행되어 왔다^{[1, 9], [11], [12]}.

다양한 영상 입력 수단중, Charge-Coupled Device(CCD)는 대표적인 고체촬상소자(Solid-state image sensor)의 하나로 1970년에 발명된 이래 반도체 기술의 발전과 함께 성능개선이 꾸준히 이루어져 높은 감도(sensitivity)와 80 ~ 100%에 이르는 높은 fill-factor등 우

수한 촬상특성으로 인해, 오늘날 다양한 분야에서 널리 사용되고 있다^[1]. 그러나, CCD의 기본적인 동작은 축적된 전하를 연속적으로 전송시켜 최종 출력을 얻는 방식이므로, 거의 완전에 가까운 전하전송 특성이 필요하고, 셀 크기의 축소 및 소비전력의 저하가 어렵고, 주변 회로를 포함하는 on-chip화가 용이하지 않아 cost down에 본질적인 제약을 갖는다.

화소 내부에서 신호전하를 증폭하여 감도를 향상시키는 CMOS 기반의 증폭형 고체촬상소자에 관한 연구가 1980년대 후반부터 진행되어 그 실용화가 급속히 진행되고 있다^{[10], [11]}. 증폭형 촬상소자는 광전변환과 증폭기능이 일체화된 광트랜지스터(phototransistor)를 화소의 기본단위로 하는 형과 광전변환부로 광다이오드를 사용하고 증폭부에 CMOS 트랜지스터 (이를 active transistor라고 함)를 사용하는 분리형으로 나누어진다. 증폭형 촬상소자는 모두 X-Y 어드레스방식을 채용하고 있고, 비파괴 읽어내기 (nondestructive readout)에 기초한 기능의 부가나 랜덤 액세스 병렬출력에 의한 고속화, 주변 신호처리와의 on-chip화, 전력소모의 저감등 CCD에 비해 많은 이점을 갖고 있다^{[9], [11]}. 그러나, 기본화소를 구성하는 구조상의 제약으로 인해, 전하 축적 영역의 암전류(dark current), 전하 축적부 또는 전하 검출부의 리셋 잡음(reset noise), 증폭소자의 불균일성에 기인한 고정패턴 잡음(Fixed Pattern Noise, FPN) 등이 발생해, CCD에 비해 화질이 저하되는 문제점을 갖고 있다^{[2], [9]}.

최근까지는 CMOS 촬상소자가 갖는 화질상의 제약으로 인해, CCD가 주로 사용되어 왔다. 그러나 향후, 성능개선과 함께 가격이나 집적도 면에서 유리한 CMOS 기반의 촬상소자가 CCD를 대체해 갈 것으로 예상된다. CMOS 촬상소자는 기능별로 영상을 감지하는 pixel array 블록, array로부터 출력된 신호를 읽어내기 위한 증폭회로, 영상의 아날로그 신호를 디지털로 바꾸는 ADC 블록과 row/column decoder 블록으로 구성된다. 이들 블록들을 하나의 칩에 집적함으로써 pixel의 소형화 및 전체 시스템의 단순화를 이룰 수 있고, 독자적인 기능의 추가가 용이하므로 카메라의 소형화

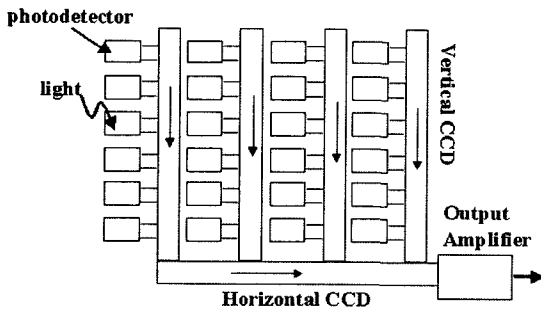
및 저전력화, 저가격화가 가능하다.

본 논문에서는, 현재 저가의 PC 카메라등에 그 응용이 급속히 진행되고 있는 CMOS 기반의 고체촬상소자의 기본적인 동작원리를 이해하고, CCD와 비교했을때의 장점과 과제등의 특성을 중심으로 기술한다. 또한, 연구, 개발이 진행중인 주요 방법들을 간략히 살펴보고 초소형 카메라 및 특수용도 카메라에의 응용을 중심으로 촬상소자로서의 유용성과 발전가능성에 관해서도 고찰한다. 이를 위해, 먼저 CMOS 촬상소자의 연구배경으로 대표적인 고체촬상소자인 CCD의 기본적인 동작과 특성 및 문제점을 기술한다. 다음으로 CMOS 촬상소자의 동작과 연구동향 및 응용에 관해 기술하고, 해결되어야 할 과제와 연구방향에 관해서 논의한다.

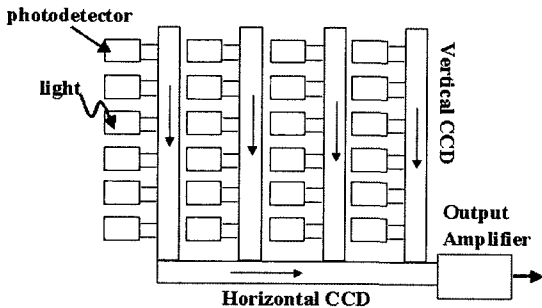
2. CCD형 고체촬상소자의 특성

영상입력을 위한 고체촬상소자는 주사방식에 따라 그림 1 과 같이 전하전송형과 XY 어드레스형으로 나눌 수 있다.

전하전송형은 그림 1(a)에 나타난 것과 같이, 광검출기(photodetector)로 광다이오드 또는 CCD로 형성된 화



(a) 전하전송형 촬상소자



(b) XY 어드레스형 촬상소자

그림 1 고체촬상소자의 주사방식에 의한 분류

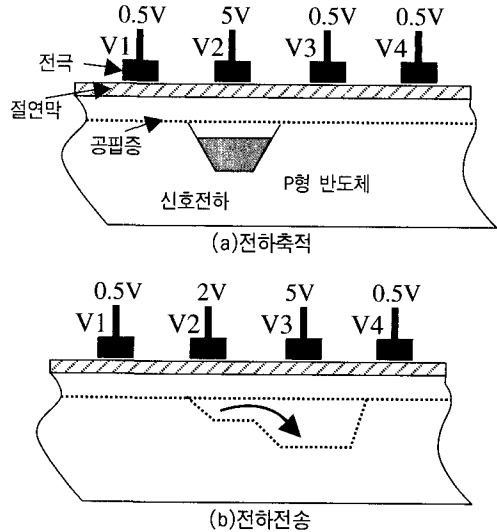


그림 2 CCD의 동작원리

소의 신호전하를 수직방향으로 병렬로 순차전송하고 1 라인마다 우(좌)측으로 고속전송해서 신호전하를 읽어내는 방식이다.

한편, XY 어드레스형은 그림 1(b)와 같이 MOS형 트랜지스터 또는 광다이오드등의 광전변환 소자로 이루어진 화소를 2차원으로 나열하고, row/column 디코더로 각각의 화소를 선택해서 축전된 신호전하를 출력시키는 방식이다.

그림 2는 CCD의 기본 구조를 간단히 나타낸 것이다. 이 그림에서와 같이, CCD는 반도체 기판상에 절연막을 매개체로 해서 다수의 전극을 배열시킨 것이다. 이 전극에 일정한 전압을 인가하면, 각 전극 아래에는 공핍층(depletion region)이 생성된다. 이때, 임의의 한 전극에 그림 2(a)와 같이 다른 전압을 인가하면 전위 우물(potential well)이 형성되고, 그림 2(b)와 같이 이 전위 우물을 차례로 이동시키면 계면에 축전된 전하가 이동하게 되고, 출력 증폭기로 이 전하를 증폭시켜 신호를 출력한다. 여기서 전위 우물에 축적되는 전하의 양은 입사광의 크기와 축적시간의 곱에 따라 결정된다.

이상과 같이 CCD는 그 본질적인 기본화소(cell) 구조상의 특징으로 인해 다음과 같은 촬상소자로서의 장단점을 갖는다. 먼저, 장점으로

- (1) 높은 감도의 특성 : 이는 40% 정도에 이르는 높은 양자효율(quantum efficiency)과 출력의 높은 충실도 및 높은 변환 이득과 저잡음 출력증폭기의 사용에 기인한다.
- (2) 높은 fill-factor : 신호출력에 MOS 광검출기를 사용함으로써 fill-factor를 높일 수 있다.

(3) 기타 : 4096 x 4096 까지의 화소단위 구성이 가능하고 셀구조가 비교적 간단하다.

그러나 CCD 구조의 본질적인 특성에 기인하는 것으로 전하전송 과정에서 발생하는 문제가 있다. 즉, CCD에 의해 고화질의 화상을 얻기 위해서는 축적된 전하를 거의 완전하게 인접 전극에 전송하는 것이 필요하다. 보통의 CCD는 화소당 3개의 전극을 갖고 있고, 따라서, 1024 x 1024 크기의 이미지 센서의 경우, 전체 전하전송의 동작이 수 천번 반복된다. 따라서, CCD를 사용해서 고화질의 영상을 얻기 위해서는 거의 완전하게 가까운 전하전송율(charge transfer efficiency, CTE)을 필요로 한다. 즉, CTE를 η 라 하고 m 번의 전하전송이 이루어 지는 경우, 최종전극에 전송되어온 전하의 비율은 η^m 이 된다. 이와 같이 CCD에서는 높은 CTE가 요구된다. CTE가 낮게 되면 감도의 저하뿐만 아니라 인접 화소에 영향을 미쳐 스미어(smear)라고 하는 CCD 고유의 잡음이 발생하게 된다. 이와 같은 스미어 잡음을 막기 위해 외부 메모리를 사용, 전하전송의 구조를 개선 시킨 Interline Transfer(IT)형, Frame Transfer (FT)형, Frame Interline Transfer(FIT)형 등의 구조나 라인 어드레싱의 방법을 사용하고 있다. 이에 따라 소자의 복잡도가 증가하게 되고 이미지센서 칩의 크기가 증가하게 된다. 일반적인 CCD의 CTE는 약 0.9999 정도이다. 또한, CCD 촬상소자의 경우 고속화가 어렵고 낮은 조도에서 감도가 저하된다. 뿐만아니라, 일반 LSI와는 다른 불순물 프로파일을 사용하기 때문에 주변 로직의 제조공정과 정합성이 나빠 On-chip화가 매우 어렵고, 디지털화 하기 위해서는 별도의 Analog-to-Digital Converter(ADC) 등의 구동회로가 요구되고 저 전력화

의 어려움과 가격경쟁에 한계가 있다.

3. CMOS형 고체촬상소자

그림 3은 XY 에드레스형의 고체촬상소자를 사용한 CMOS 이미지 어레이칩 구성의 예를 나타낸 블록도이다^[3]. CMOS 이미지센서의 전체 블록도는 photodetector-based pixel array, correlated double sampling(CDS), analog-to-digital converter, barrier generation circuit, row/column selector 등으로 구성된다.

먼저 광검출기 표면에 빛이 입사하면 빛의 세기에 비례하여 전자-정공의 쌍이 발생하고 그에 따라 생성된 캐리어들에 의해 검출노드의 전압이 변동을 하게 된다. 이러한 변동 신호를 샘플링하여 Double CDS회로를 통과시키면 FPN이 제거된다. 잡음이 제거된 photo 신호는 ADC를 거쳐 디지털로 출력된다. 이하 주요 블록의 기본적인 구성과 동작에 대해 간략히 설명한다.

3. Pixel

영상을 얻기 위해 CCD를 비롯하여 이와 비슷한 원리를 사용하는 photo-gate pixel 방식 등 여러 가지 소자 기술이 사용된다. 이때, dark current가 적으면서 광전변환 특성이 좋고 큰 output swing을 얻을 수 있는 광검출기가 필요하다.

• Photodetector elements

본 논문에서는 지금까지 촬상소자에 사용되어 온 다양한 광검출기 소자들에 중에 표준 공정에서 구현할 수 있는 광검출기 소자들에 대한 설명으로 범위를

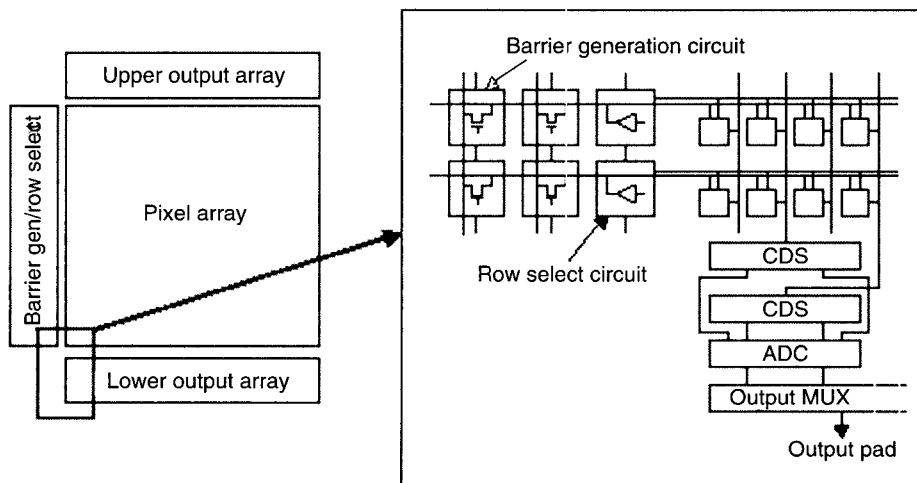


그림 3. CMOS 이미지센서 칩의 블록도

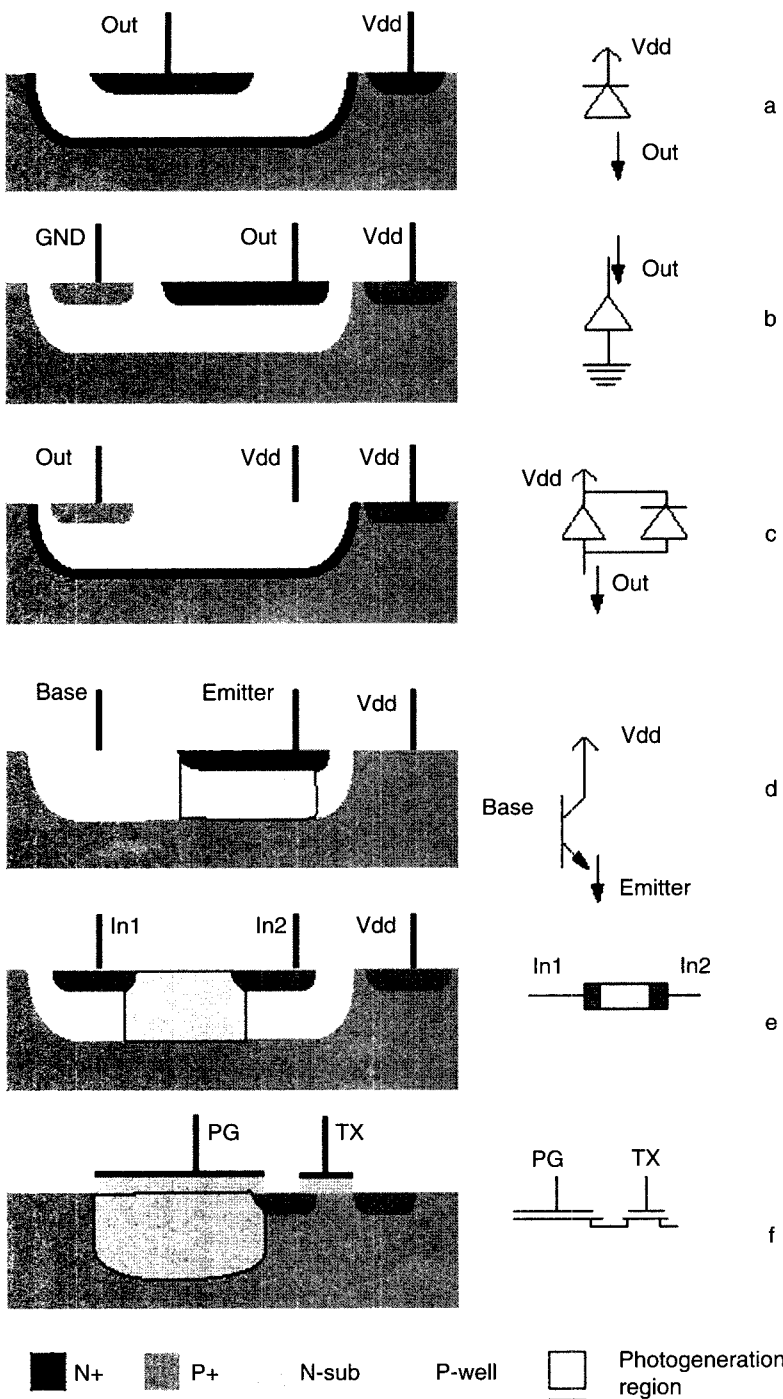


그림 4 여러 가지 광검출기 소자의 형태

(a) well-substrate junction diode, (b) diffusion-well diode, (c) well-substrate and diffusion-well diodes in parallel, (d) vertical bipolar transistor, (e) bidirectional photodetector, and (f) photogate.

제한한다. 이러한 광검출기 소자들은 대부분 광검출기로 쓰여질 수 있는 기생소자라고 말할 수 있다. CCD, CMOS, GaAs 공정에서는 적어도 한 가지 형태의 junction diode가 광검출기로 쓰여지고 있다. CCD 공정은 CCD 카메라의 보편화에 따른 수요를 맞추기 위해 보다 안정된 형태의 광검출기를 사용하고 있다. 이에 반해 CMOS와 GaAs는 이미지 소자로서 주목을 끌지 못했다. 그러나 촬상소자가 다양한 산업에 응용되고, 고체촬상소자에 적용할 수 있는 CMOS 공정의 회로기술이 개발됨에 따라 CMOS 광검출 소자는 많은 주목을 받고 있다.

n-well 또는 p-well을 사용하는 표준 CMOS 공정에서, 몇 개의 기생 junction diode는 그림 4에 나타난 것처럼 광(photo) 신호를 감지할 수 있는 소자로 사용될 수 있다. 처음 세개의 구조는 junction diode를 나타내고, 네번째는 기생 vertical bipolar transistor이고, 다섯번째는 디바이스의 양단에 걸린 전압에 따라 양방향으로 광전류를 생성시킬 수 있는 구조이다. 다섯번째 구조는 emitter와 collector가 대칭을 이룬 수평 bipolar transistor라고 할 수 있다. 마지막 구조는 CCD 공정에서 사용하는 원리를 도입한 photogate이다. 여기서는 게이트에 높은 전압을 인가함으로써 전위우물이 생성되고, 입사 광에 의해 생성된 전하들은 이 전위우물속에 저장된다.

• 광다이오드의 구현과 광전류

그림 5는 일반적인 junction diode의 단면도를 나타낸 것이다. 광다이오드(photodiode)는 p로 약하게 doping된 epitaxial substrate에 n⁺ 이온을 주입함으로써 만들어진다. Prompt component와 관계하는 depletion layer width W와, epitaxial layer 두께 L_{EPI}가 나

타나 있다. 이 layer는 강하게 doping된 p⁺ substrate 위에 위치한다. L_D는 delayed photocurrent와 관계하는

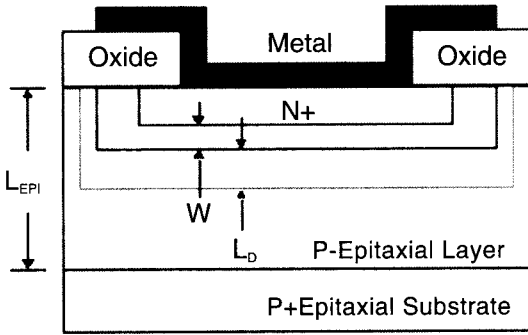


그림 5 일반적인 junction Diode의 단면도

diffusion length를 나타내고, 이는 물질의 특성이나, 온도 그 밖의 다른 요인들에 좌우된다.

다이오드의 구조에 따라 diffusion length는 epitaxial layer의 두께보다 더 클 수 있다. 이 경우에는 delayed photo current에 대한 collection 지역이 epitaxial layer에 의해 제한되거나 그 이상이 된다. 그 외의 경우, L_D는 그림에 보여진 L_{EPI}보다 더 작다. 즉, 여기서는 delayed photo current의 collection 지역이 depletion layer edge의 L_D 이내로 제한된다.

Delayed photocurrent component는 더 작은 L_{EPI}나 L_D에 의해 결정된다. Epitaxial 두께나 diffusion length 중에 어떤 것이 더 작으나하는 것은 RLEV=1인 photocurrent model을 사용할 때 L_D의 위치에 사용되어야 한다. 그림 6은 junction diode에 병렬로 연결된 photocurrent generator I_{pp}를 가진 광다이오드의 전기적인 등가회로를 나타낸 것이다.

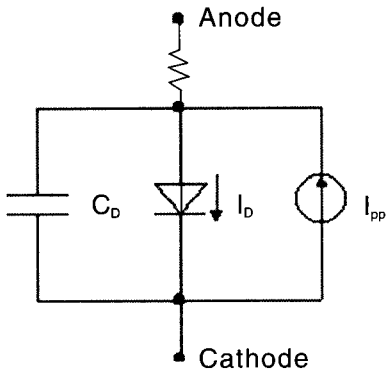


그림 6 photocurrent를 갖는 diode의 등가 회로

• Pixel 회로

단위 pixel 회로는 한 개의 photodetector와 여러 개의 transistor들로 구성되거나 photogate와 다수의 트랜지스터로 구성된다. 본 논문에서는 n⁺ diffusion layer와 p-substrate사이에 생기는 다이오드를 역 바이어스한 광다이오드로 구현된 pixel에 관해 설명한다. 그림 7은 광다이오드를 이용하여 입사광을 감지하는 단위 pixel 회로의 단면도와 회로도도를 나타낸 것이다.

그림7에서 빛이 photodiode 표면에 입사함에 따라 photodiode에는 EHP가 생성된다. photodiode에 생성된 전하는 TX transistor의 source로 들어가 drain을 통해 floating diffusion node로 방전된다. 이러한 동작은

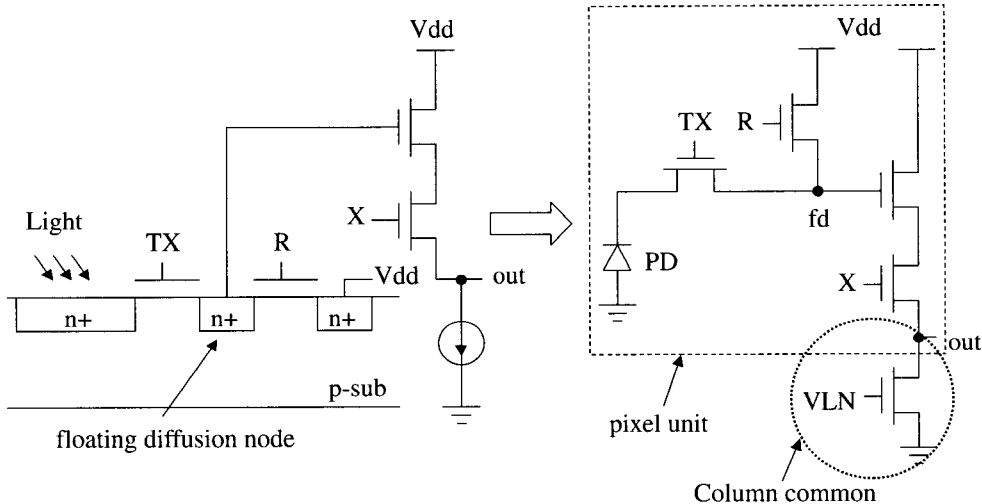


그림 7 photodiode를 기본으로 하는 pixel 회로

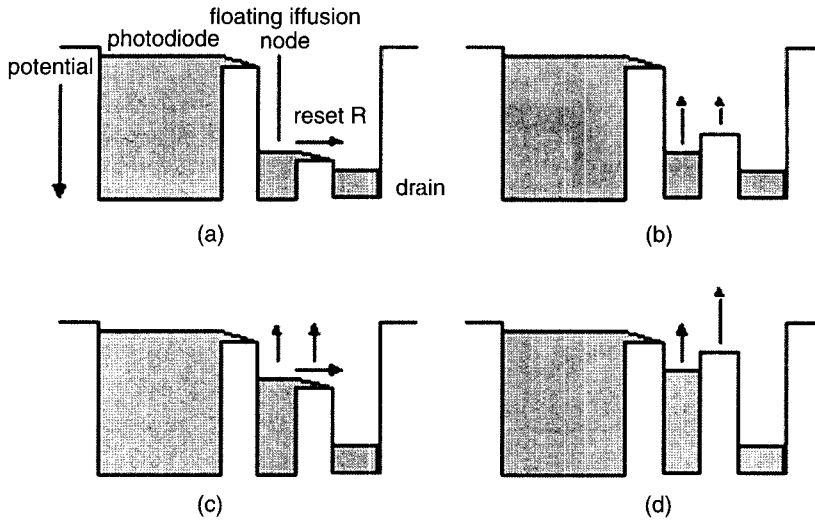


그림 8 광대역 다이내믹 동작을 위한 축적 및 reset 순서
 (a) pixel reset, (b) start of integration period, (c) photodiode charge limited by reset gate,
 (d) Near end of integration period

photodiode의 넓은 n⁺ diffusion 영역에서 발생된 전하들을 floating diffusion node의 작은 capacitor를 이용하여 감지할 수 있도록 해준다. 즉, TX transistor는 sensitivity를 높이기 위해 사용된다. Floating diffusion node에서 감지된 광신호전압은 source follower를 지나서 다음 단인 CDS 회로의 입력으로 들어가게 된다. Reset transistor R은 pixel의 신호를 읽고 난 후 floating diffusion node에 남아있는 전하들을 Vdd로 전송함으로써 floating diffusion node를 reset한다. X는 row select 신호이고 전류원은 source follower를 bias하기 위해 사용되며 column에 공통으로 존재한다.

그림 8은 광대역 다이내믹범위를 가지는 compressive pixel에 대한 동작 순서를 potential well diagram으로 나타낸 것이다.

그림 8(a)는 초기에 reset transistor의 gate 전압을 high로 끌어올림으로써 pixel이 reset되는 동작을 나타낸다. Reset transistor의 gate에 high를 인가하는 것은 floating diffusion node와 drain diffusion 사이의 전위 장벽을 낮추어 잉여 전하(excess charge)를 drain으로 흘러가도록 한다. Reset이 끝나면 그림 8(b)에 나타난 것처럼 reset transistor의 gate의 전위 장벽이 갑자기 약간 올라간다. 이때 전하는 입사하는 빛의 세기에 비례하여 photodiode에 축적되기 시작한다. Integration 주기 동안 reset transistor gate의 전위 장벽은 시간에 따라 점점 증가한다. 만약 입사 빛의 세기가 충분히 크다면 그림 8(c)와 같이 photodiode charge가 reset

transistor의 gate potential에 의해 제한을 받는 구간이 존재하게 된다. Integration의 끝에서는 그림 8(d)에 나타난 것처럼 integration well로 들어오는 photocurrent를 모두 floating diffusion node에 담아두기 충분할 정도로 빠르게 reset transistor의 gate potential이 올라간다. Row select 신호는 integration의 마지막 부분에서 on 되고 이에 따라 pixel의 출력 전압은 column 출력 라인에 나타난다.

조도가 매우 큰 빛이 photodiode로 입사되면 image sensor는 가장 밝은 색을 출력한다. 가장 밝은 색들로 이루어진 부분은 물체의 윤곽을 분명하게 표시하기 어려워지고 결국은 그 부분에 대한 윤곽 정보를 잃게 된다. 따라서 이러한 현상을 방지하기 위해서는 dynamic range를 넓혀야 한다. 광도가 커지면 photodiode에서 발생하는 전자의 개수가 많아지기 때문에 floating diffusion node의 전압이 많이 떨어진다. 위에서 사용하는 방법은 바로 이 떨어지는 전압을 제한함으로써 dynamic range를 높이는 것이다.

표준 pixel과 비교해 볼 때, compressive pixel은 몇 가지 매우 다른 특성을 가지고 있다. 가장 주된 차이점은 입사 빛의 세기를 출력 전압에 연관시켜서 전달 특성을 고의로 변경시킨 점이다. 여기서 입사 빛의 함수인 랜덤잡음과 FPN도 역시 변화한다.

(1) 랜덤 잡음(random noise)

Pixel의 랜덤 잡음은 장벽에 걸쳐 흐르는 전류로부

터 생기는 shot noise, dark current, 그리고 입사 광에 의해 생성된 전류에 의해 주로 발생한다. Subthreshold 전류는 reset 기간동안 TX transistor와 reset transistor의 gate를 통해 흐른다. 또한 입사광이 충분히 세다면 integration 주기의 일부에서도 흐른다. TX transistor와 reset transistor를 통해 흐르는 전류에 대한 shot noise는 독립적이지만 평균 전류는 같기 때문에 shot noise의 양이 같다고 가정하면, floating diffusion node의 잡음 전압은 전류 전압 스펙트럼 밀도에 sense node의 임피던스를 곱한 후 이를 적분함으로써 다음으로 주어진다.

$$\begin{aligned} v_{n, \text{bar}}^2 &= \frac{qI}{g_s C_{\text{sense}}} \\ &= \frac{\kappa T}{C_{\text{sense}}} \end{aligned}$$

여기서 C_{sense} 는 floating diffusion node의 총 capacitance 값이고, g_s 는 reset transistor의 source 쪽으로 들여다 본 conductance로 다음과 같이 정의된다.

$$g_s = \frac{I}{\kappa T/q}$$

위의 잡음 전압은 CDS 동작에 의해 두 배가 된다. 왜냐하면 shot noise는 전하가 장벽에 걸쳐 흐르는 두 간격 사이에서 correlation 되지 않기 때문이다. 이 잡음 성분은 입사 광의 함수가 아니다. 이러한 결과가 출력 diffusion의 reset 잡음에 대한 잘 알려진 값과 같았다더라도 그 결과는 잡음 메커니즘이 서로 다르기 때문에 분명치 않았다.

총 랜덤 잡음은 위에서 주어진 이탈 시간에서의 랜덤 잡음과, 이탈 시간에서 축적 주기의 끝까지의 구간에서 축적된 전하 때문에 생긴 랜덤 잡음의 합이다. 이탈 시간에서 축적 주기의 끝까지 축적된 전하는 Q_{free} 가 된다. 따라서 잡음 전압과 연관된 숫자는 축적된 전자 개수의 제곱근과 같다. 즉, 이것은 photocurrent, dark current, 그리고 선택된 compression 함수에 따라 결정된다.

floating diffusion node에 연관된 랜덤 잡음은

$$v_{s, \text{pix}}^2 = \frac{qQ_{\text{free}}}{C_{\text{sense}}^2}$$

와 같고 CDS에서 생기는 잡음과 더하면 총 랜덤 잡음은

$$v_{n, \text{tot}}^2 = 2 \frac{\kappa T}{C_{\text{sense}}} + \frac{qQ_{\text{free}}}{C_{\text{sense}}^2}$$

로 결정된다. 즉, C_{sense} 가 크면 랜덤 잡음은 작아진다. 또한 Q_{free} 가 작아야 랜덤 잡음이 작아진다.

(2) Fixed Pattern Noise (FPN)

FPN은 다음의 여러 가지 소자 값과 파라미터의 부정합에 의해 발생한다. 즉 광개구율, sense node의 소스/드레인 캐패시턴스, pixel의 dark 전류, 각 transistor의 size와 유효 문턱전압, column bias 전류 등에 의해 FPN이 유발된다. 이중에서도 가장 중요한 FPN 요인은 CDS에 의해 제거되지 않는 dark offset 에러를 유발하는 것들이다. 이에 대한 성분은 dark 전류와 부정합과 sense node의 capacitance의 부정합 성분을 포함한다.

3. 2 Correlated Double Sampling (CDS) 회로

CCD imager와 비교해 볼 때 CMOS imager의 주된 단점 중의 하나는 FPN이다. CCD imager에서 전하는 높은 CTE를 가지고 인접 전극에 전달되도록 한다. CCD imager에서 pixel에 의해 모아지는 전하의 양은 device의 parameter들에 크게 의존하지 않는다. 그러나 CMOS imager에서는 pixel 내의 전하가 시스템의 비선형성과 심한 mismatch를 가진 CMOS 회로를 통과한다. 이러한 CMOS 회로에서 발생하는 여러 가지 잡음성분을 효과적으로 제거하기 위해 CDS 회로를 사용한다. 즉, CDS 회로를 이용하면 잡음성분을 최소화하여 영상의 품질을 개선시킬 수 있다.

CDS와 FPN

FPN을 없애는 가장 간단한 방법 중 하나는 offset 값을 on-chip 또는 off-chip에 저장함으로써 수행될 수 있다. 여기서의 offset 값은 photo circuit이 reset 되었을 동안 photo circuit의 출력을 읽음으로써 얻어진 값이다. 그러나 이런 방법은 전체적인 offset 정보를 저장할 많은 양의 메모리를 요구한다.

CDS의 또 다른 방법으로, pixel read-out cycle 동안에 두 개의 샘플을 취한다. 한 개는 pixel이 reset 상태에 있을 때, 또 한 개는 전하가 read-out node로 전송될 때 샘플링 된다. 두 개의 샘플링된 값은 다음 단 즉, Programmable Gain Amplifier(PGA) 또는 ADC에서 differential 신호로 사용된다. 그림 9는 CDS 회로의 한 예를 나타낸 것이다. Pixel array의 각 column마다 이와 같은 회로를 한 개씩 가지고 있다. CDS가 많은 양의 FPN을 줄여준다 하더라도 CDS 회로내의 mismatch 때문에 발생하는 FPN의 성분은 각각의 column에서 column-FPN을 유발한다. Column-FPN도 비슷한 개념을 사용하여 감소시킬 수 있다.

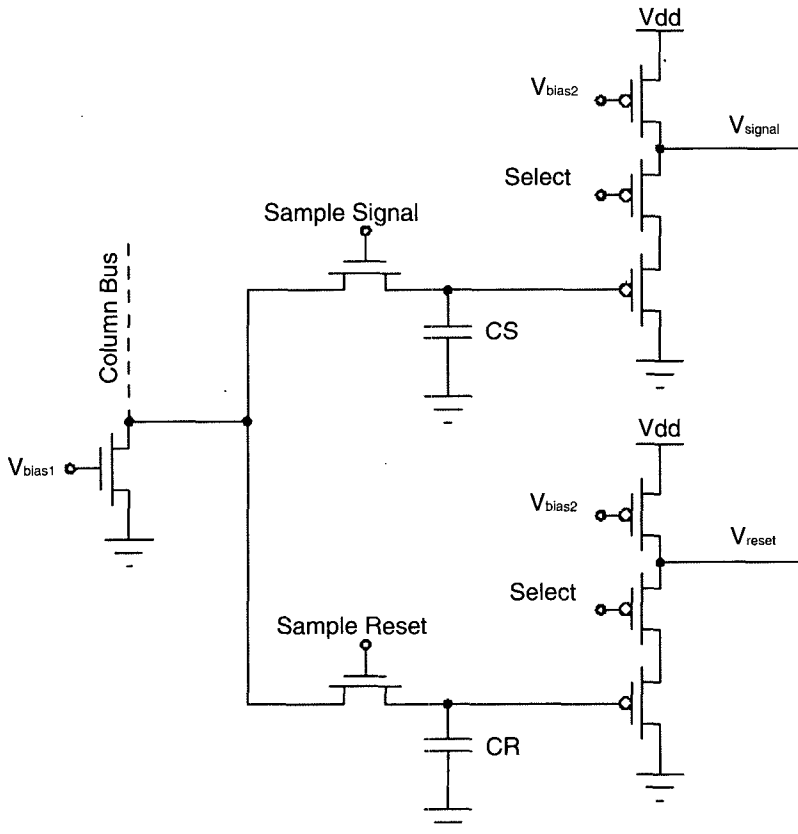


그림 9 간단한 CDS 회로도

주목할 것은 이 CDS 회로가 완전한 효과를 거둘 수 있는 것은 다음과 같은 경우에 한해서 이다. 먼저 FPN이 intensity에 의존하지 않을 때, 또 각 pixel에서 source follower stage와 같은 회로가 선형적인 경우, 그리고 mismatch가 단순히 offset 성분만을 가질 때이다. 실제로 이러한 가정은 잘 맞지 않고 gain mismatch나 회로의 비선형성을 보상할 수 있는 보다 정교한 CDS 회로가 요구된다.

CDS의 동작

CDS는 이미지 센서의 S/N 비를 높이고자 할 때 많이 사용되는 방법 중의 하나이다. 기준 레벨에서 신호 레벨을 뺀으로써, FPN과 여러 가지 형태의 thermal noise(열 잡음)이 센서의 신호 성분으로부터 제거된다.

광 센서에서 광전하는 일반적으로 capacitor에 모아진다. 신호의 크기는 capacitor를 통해 전압의 형태로 읽혀진다. CDS는 신호 전압 $V_s = Q_s/C$ 를 "dark", "empty" 또는 "reset" 레벨 전압 $V_r = Q_r/C$ 와 비교하게 된다. V_r 과 V_s 에 공통으로 존재하는 공간 잡음과 열 잡음은

CDS를 통해 사라진다. 즉, CDS회로의 구현으로 제거 가능한 잡음으로,

- FPN 또는 공간 잡음
- photodiode capacitor에서 발생하는 kTC 잡음 (이 잡음은 두 개의 샘플 사이에서 photodiode capacitor가 reset되지 않을 경우에 발생한다.)
- 만약 photodiode capacitor가 두 개의 샘플 사이에서 리셋된다면 잡음들은 상관되지 않고 kTC 잡음은 계속 존재($\sqrt{2}$ 배)할 것이다. 이런 동작을 CDS와 대비하여 Double Sampling(DS) 이라고 부르기도 한다.

그러나 다음과 같은 잡음들은 CDS 회로만으로 제거할 수 없다.

- 이득이 일정하지 않거나 선형적이지 않기 때문에 나타나는 2차 효과는 2차나 더 높은 차수의 교정 방법을 통하여 교정해야 한다.
- 펄셈 수행 이전에 형성된 상관되지 않은 열 백색 잡음(광대역 증폭기 잡음과 같은)은 펄셈 동작에 의해 $\sqrt{2}$ 배 된다.
- 펄셈 수행 이후에 생기는 모든 잡음원 (EMI 시스템 잡음, 이산 잡음 등)은 CDS에 영향을 받지 않는다.

- 저주파수 MOSFET 잡음(1/f noise, flicker noise)은, 부분적으로는 대역폭이 줄어드는 효과를 로그로 표현한 정도로 줄어들고, 대부분은 1-3배 이하로 줄어들 뿐이다. 많은 연구에서, 1/f noise의 감소가 과대 평가되거나 간섭(aliasing) 효과로 생기는 CDS나 DS후의 1/f noise가 백색 잡음으로 인식되지 않는다.
- optical shot noise와 같은 신호 잡음은 원칙적으로 CDS에 영향을 받지 않는다.
- dark current에 의해 생기는 FPN등.

CDS나 DS를 사용하여 잡음을 제거할 때 결정해야 할 trade-off는 다음과 같다.

- APS에 대해서 DS를 on-chip으로 구현하는 것이 CDS보다 더 직접적이다.
- CDS의 주된 경쟁상대는 최적화된 FPN 교정방법이다. 이 방법에서 개별 pixel의 offset은 off-chip 메모리에 의해 교정된다.
- CDS와 offset 교정방법은 결합될 수 있다.

표 1은 랜덤잡음이나 FPN을 줄이기 위해 사용되고 있는 여러 가지의 CDS의 특성을 비교하여 나타낸 것이다.

표 1 여러 가지 CDS 방법의 비교

	on-chip pattern	on-chip CDS	off-chip CDS	fixed pattern correction
I.C. technology	standard	complex	-	-
system	OK	OK	-ext.memory -ADC?	ext memory
cancels kTC	no	yes	yes	no
MOSFET amplifier and system noise	$\times \sqrt{2}$	$\times \sqrt{2}$	$\times \sqrt{2}$	$\times 1$
static fixed pattern corr.	yes	yes	yes	yes
dark current fixed pattern	no	no	no	yes

Trade-off를 결정하기 위해서는 위의 4가지 잡음원들의 상대적인 중요성을 평가하는 것이 가장 중요하다. 고품질의 CCD를 살펴보면 입사 광의 세기가 작을 때, kTC 잡음이 우세하다. 이러한 조건이 아니라면 photon shot noise가 우세하다. CMOS 센서에서는 표면의 결합과 MOSFET 잡음들이 대부분이다. FPN을 교정하는 것에 관심을 집중해보면, kTC 잡음의 부가적인 교정은 별로 중요하지 않다. 따라서 DS(on-chip)나 최적화된 fixed pattern correction(off-chip)이 주요 선택의 대상이 된다.

4. 기술개발의 동향

CMOS형의 고체촬상소자는 표준 CMOS 공정기술에

기반을 두고 있기 때문에, CCD에 비해 다음과 같은 장점을 갖는다.

- 칩 사이즈의 소형화
- 주변 로직 프로세스와의 정합성이 좋으므로 ADC나 Discrete Cosine Transform (DCT) 및 영상처리 회로등 주변의 구동회로를 포함하여 On-chip화가 가능
- 저 전력화가 가능
- 신호전하에 비례한 전류를 증폭

그 외에도 화상출력의 랜덤화 및 고속화가 가능하다. 또한, 트랜지스터를 통해서 출력하기 때문에 신호전하의 장시간 축적과 출력기능을 동시에 수행할 수 있고, 비파괴 (non-destructive) readout 특성을 갖는다. 따라서, 미약한 조도에서의 image capturing이 가능하다.

이상과 같은 특성으로 인해, DRAM으로 대표되는 CMOS 기술의 진전과 함께 CMOS 고체촬상소자의 성능을 개선시키고, 고품질의 촬상소자 및 응용제품의 개발을 위해 많은 연구가 활발히 진행되고 있다. 대표적인 CMOS 고체촬상소자의 종류와 그 특성은 다음과 같다.

4. 1 AMI

AMI(Amplified MOS Intelligent Imager)^[12]는 photodiode로 광전변환된 신호전하를 MOSFET로 증폭한다. 그림 10(a)와 같이 1화소당 3개의 트랜지스터가 필요하고 cell size의 축소가 용이하지 않다. 이를 개선시키기 위해, 2화소당 5개의 트랜지스터를 사용하는 구조를 채택해서 72 $\mu\text{m} \times 112\mu\text{m}$ 의 수직 2화소를 구현, 1/4" 사이즈 25만화소의 디바이스를 시작하고 있다. 이를 사용해서 6배속 고속 카메라까지 개발하고 있다.

4. 2 SIT

그림 10(b)에서 나타낸 것처럼 SIT(Static Induction Transistor)^[16]는 정전유도 트랜지스터로 광전변환하는 cell 구조를 갖는다. 현재, 2/3" 사이즈 25만화소의 디바이스를 시작하고 있다.

4. 3 CMD

CMD(Charge Modulation Device)^{[13],[14]}는 MOS형 트랜지스터로 화소를 구성한 것으로 그림 10(c)와 같은 구성이다. 현재, 1화소의 크기가 7.3 $\mu\text{m} \times 7.6\mu\text{m}$ 으로 1" 사이즈 HDTV용 200만 화소가 시작되었으며, 고속출력이 가능해 1/2" 사이즈의 33만화소로 500 frame per second.(fps)의 영상을 얻을 수 있는 것으로 보고되고 있다.

4. 4 BASIS

BASIS(Base Stored Image Sensor)^[15]는 npn bipolar 트랜지스터로 화소를 구성한 것으로 그림 10(d)와 같이 구성된다. npn 트랜지스터의 base-collector간의 공핍영역

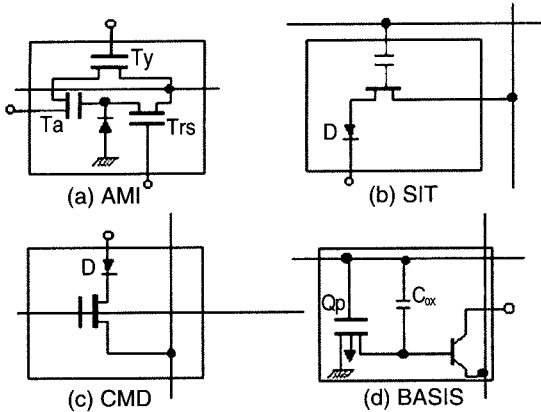


그림 10 CMOS형 고체촬상소자의 단위화소

에 신호전하를 축적시키고, collector전류를 제어 증폭해서 별도의 p-channel MOS 트랜지스터로 리셋 동작을 수행하도록 하고 있다. FPN은 낮은 레벨까지 억압할 수 있으나 kTC 잡음에 약한 문제점을 보이고 있다.

4. 5 JPL'S APS

MOS photogate로 광전변환하는 cell 구조로서, 축적된 전하를 Column단위로 source-follower 트랜지스터로 전압이 제어되는 floating sense gate로 이동하게 해서 kTC 잡음이나 FPN을 삭감시키고 있다^{[6]-[9]}.

4. 6 기타

이외에도 Source-follower로 한 접합형 FET의 게이트에 신호전하를 축적시켜, Source-drain 전류를 제어하는 FGA(Floating Gate Amplifier)^[10], 반도체의 전자붕괴현상을 이용한 Avalanche photodiode로 화소를 구성하는 APD(Avalanche Photodiode Device)^[10] 등 많은 연구가 진행되고 있다.

표 2는 현재 개발되어 발표된 대표적인 CMOS image sensor의 칩 사이즈, 화소수, 소비전력등을 나타낸

것이다.

표 2에 제시한 회사외에도 미국, 일본, 유럽 각국의 주요 연구소나 대학을 중심으로 고감도 및 높은 fill-factor를 갖는 고품질의 CMOS형 고체촬상소자를 개발하기 위한 연구가 진행되고 있다. 특히, 감도향상 및 fill-factor의 개선을 위한 방법으로 on-chip microlens의 mounting에 관한 공정기술의 개발이 진행되고 있다. 또한, 고품질의 칼라영상을 얻기위한 on-chip 칼라 필터링에 관한 연구도 이루어 지고 있다^[17].

5. CMOS 고체촬상소자의 응용

5. 1 소형카메라에의 응용

CMOS형 고체촬상소자는 전하전송형의 CCD와는 달리 각 화소마다 증폭기능을 갖기 때문에 랜덤액세스의 기능, 감도나 SN비를 높일 수 있으면만 아니라 빠른 속도의 출력이나 비파괴출력이 가능하다는 특징을 갖는다. 특히, 표준 CMOS 공정기술에 기반을 두고 있으므로 칩 사이즈의 소형화, 주변 로직회로를 포함한 on-chip화가 가능하다. 또한, 광전하의 축적 및 전송을 위해 다수의 전압원을 필요로 하는 CCD와 달리 단일 전원의 사용과 반도체 기술의 발전에 따라 구동 전압을 낮출 수 있으므로 소비전력을 획기적으로 줄일 수 있다. 이들의 특징으로부터 윤곽추출기능을 갖는 소자나 이동체 무선영상통신 단말기의 초소형 카메라 및 Network에 의한 영상회의나 영상전화용 PC 카메라등 다양한 기능을 갖는 카메라에의 응용이 가능하다.

그림 11은 촬상소자로 CCD나 CMOS형을 이용하는 디지털 카메라의 구성을 나타낸 것이다. 디지털 영상의 출력은 이미 기술한 바와 같이 광학계에 입력된 외부 영상을 광전변환을 위한 촬상소자, FPN 및 열잡음등의 랜덤 잡음 제거를 위한 CDS회로, 디지털 출력을 얻기

표 2 각 Maker의 CMOS Image Sensor

제품메이커	Thosiba	MIT	Caltech	Lucent tech	VLSI vision	Photobit	Hyundai
화소수	240×180	256×256	128×128	354×292	306×244	675×900	640×480
Pixel 크기(μm ²)	3.7×3.7	22×22	24×24	18×18	12×11	40×40	8×8
칩 크기(mm ²)	7.9×9.4	미공표	4.7×5.2	10.2×1.3	7.8×8.7	37×28	37×28
Noise(%)	0.17	0.24	0.5	0.3	0.3	미공표	0.4
Frame rate(Hz)	30	Max 390	Max 125	미공표	29.9	미공표	30
공급 전압	3.3V	미공표	미공표	3.3V	5V	미공표	3.3V
소비전력	30mW	52mW	24mW	182mW	550mW	미공표	미공표
개구율	15%	49%	29%	35%	26%	미공표	30%
전압 변환율	20.0μV/e	13.2μV/e	8.3μV/e	40.0μV/e	미공표	미공표	1.7V/lux·S

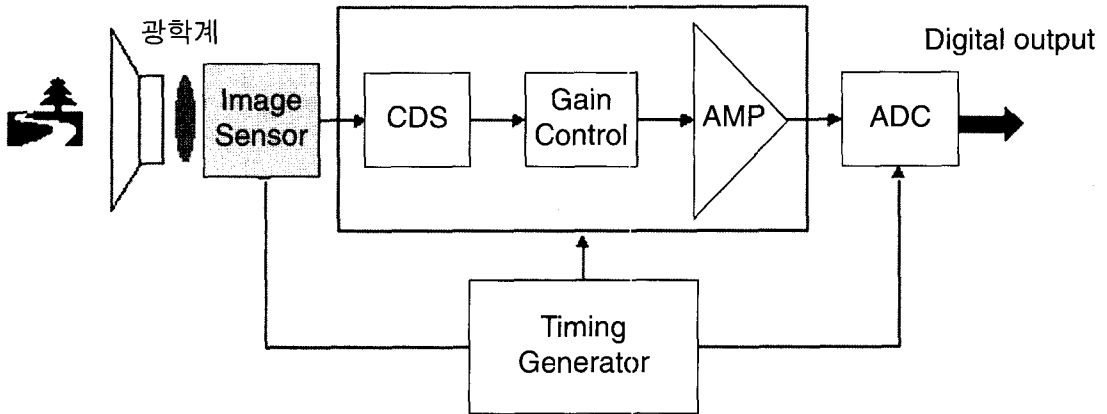


그림 11 고체촬상소자를 이용한 디지털 카메라의 기본 구성

위한 증폭기 및 ADC로 얻어진다.

따라서, 촬상소자로 CCD를 사용하는 경우, 그림 12와 같이 촬상소자 이외에 이들을 처리하기 위한 별도의 회로와 칩이 필요하게 된다. 즉, CCD는 주변 로직 프로세스와 다른 불순물 profile을 사용하기때문에 정합

성이 나빠 On-chip화가 매우 어렵다.

그림 13은 CMOS형 고체촬상소자를 사용하는 경우의 카메라의 블록도를 나타낸 것이다. 이 그림에서 알 수 있는 바와 같이 CMOS형의 경우, 주변회로를 포함시킨 on-chip화 및 구동전원의 단일화가 가능하다. 따라서, 카메라의 소형화 및 경량화가 가능하고, Cost Down 및 소비전력을 줄일 수 있다. 이러한 특성으로 인해 다양한 분야에 응용될 것이 예상된다. 구체적인 응용으로,

Typical Image Capture Board Design Using CCD Sensor

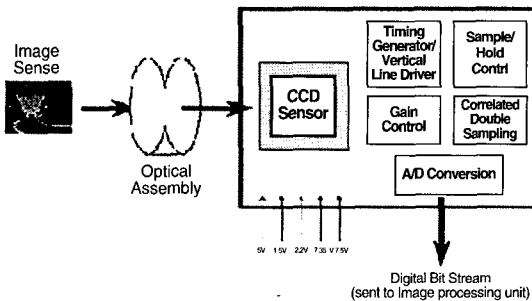


그림 12 CCD에 의한 디지털 카메라의 기본 구성

(1) 정지영상에의 응용:

- 디지털 스틸 카메라
- Web publishing
- PDA와 같은 무선 화상 단말기

(2) 동영상에의 응용:

- Network teleconferencing
- Videophone
- Security and Surveillance
- Toys and Interactive Games

(3) Robot 및 Automachine과 같은 Computer Vision 분야 등을 들 수 있다.

Typical Image Capture Board Design Using CMOS Sensor

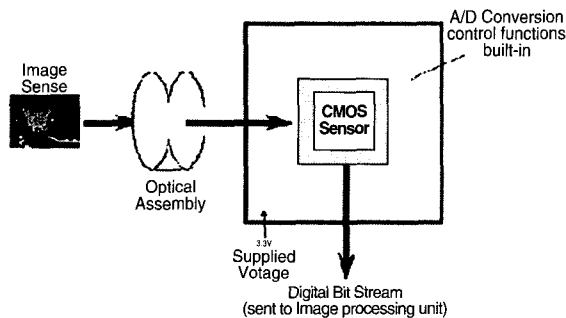


그림 13 CMOS형 촬상소자에 의한 디지털 카메라의 기본 구성

5. 2 특수용도 카메라

CMOS형 촬상소자의 특성중 잔상이 적고 고속출력이 가능하며, 랜덤 액세스성으로 인해, 매우 빠른 물체의 움직임을 해석하기 위한 고속도 카메라에의 응용이 가능하다. 한 예로 촬상소자로 AMI를 사용하고 신호출력신을 병렬구조로 한, 프레임당 25만화소의 6배속 카메라가 시작되어 있다¹²⁾. 또한, 33만 화소의 칼라 CMD 촬상소자를 사용, 60fps에서 2000fps까지의 고해상도의 고속도 카메라의 예¹³⁾도 보고되고 있다.

HDTV 카메라와 같이 많은 프레임당 많은 화소수를 필요로하는 카메라에 CCD를 사용하는 경우, fill-factor의

저하와 함께 스미어의 발생이 문제가 된다 또한, 소비 전력의 증대로 촬상소자의 온도가 상승하게 되고 이로 인해 암전류(dark current)가 증가되어 화질에 영향을 미친다. 이에 반해 CMOS형 촬상소자의 경우, 소비전력이 적고 고속구동이 용이함으로 인해 높은 해상도를 요구하는 HDTV 카메라에도 적합하다는 것이 보고되고 있다. 예로, CMD구조의 촬상소자에 의한 200만화소의 HDTV용 카메라가 시작되어 있다^[4].

6. 결론

본 논문에서는 CMOS 고체촬상소자의 회로, 기본적인 동작과 개발동향 및 응용에 관해, 현재 널리 사용되고 있는 CCD와 대비되는 특성을 중심으로 기술했다.

촬상소자가 갖추어야 할 기본기능으로 높은 양자효율의 광전변환외에, 스미어나 image lag, cross-talk등이 발생하지 않아야 하고, 개구율의 향상으로 감도를 더욱 더 높이고 빛 f-number의 개선으로 셀 사이즈의 축소, 랜덤 잡음 및 FPN의 억압효과가 큰 것 등이 요구된다.

CCD에 비해 CMOS 촬상소자는 제조공정이나 여러 가지의 뛰어난 성능에도 불구하고 낮은 f-number와 FPN에 민감한 것이 과제중의 하나이다. 그러나 반도체 공정기술의 진전에 힘입어 microlens를 on-chip화 함으로써 80% 정도의 f-number 및 감도를 크게 향상시킬 수 있는 것으로 보고되고 있다. 또한, DRAM과 같은 CMOS 공정기술의 진전에 따라 $5\mu\text{m} \times 5\mu\text{m}$ 까지의 셀 사이즈의 구성이 가능한 것으로 예상되고 있다. 그러나, 이 경우 구동전압이 낮아짐으로 인해 dynamic range가 줄어들게 되는 문제가 발생한다. 따라서 이에 대처할 수 있는 셀 구조의 변경이나 개선을 위한 연구가 필요하다.

CMOS 촬상소자는 화질의 개선과 함께 다기능화의 실현으로 정보통신의 단말기나 과학 기술용, 다양한 용도의 개인용 영상정보 입력 장치등에 CCD와 함께 많은 분야에서 활용되어 갈 것으로 기대된다.

[참 고 문 헌]

- [1] 竹村 裕夫, CCDカメラ技術入門, コロナ社, 1999
- [2] Hon-Sum Wong, "Technology and device scaling considerations for CMOS imagers", IEEE Trans. Electron Device, vol. 43, NO. 12, pp. 2131-2142, Dec. 1996.
- [3] S. Decker, R. McGrath, K. Brehmer, and C. Sodini, "A 256×256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output," IEEE J. Solid-State Circuits, vol.33 NO.12, pp.2081-2091, Dec.1998.
- [4] M. Loinaz, K. Signh, A. Blanksby, D. Inglis, K. Azadet, and B. Ackland, "A 200-mW 3.3V CMOS color camera IC producing 352×288 24b video at 30 frames/s," IEEE J. Solid-State Circuits, vol.33, NO.12, pp.2092-2103, Dec. 1998.
- [5] S. Smith, J. Hurwitz, M. Torrie, D. Boxter, A. Murray, P. Likoudis, A. Holmes, M. Panaghiston, R. Henderson, S. Anderson, and P. Denyer, "A Single-chip CMOS 306×244 -pixel NTSC video camera and a descendant coprocessor device," IEEE J. Solid-State Circuits, vol.33, NO.12, pp. 2104-2111, Dec.1998.
- [6] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, E. R. Fossum, "CMOS active pixel image sensors for highly integrated imaging systems," IEEE J. Solid-State Circuits, vol.32, pp.187-197, Feb.1997.
- [7] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, E. R. Fossum, "Process in CMOS active pixel image sensors," Pro. SPIE vol. 2172, pp.19-29.
- [8] H.-S. Wong and R. T. Chang, E. Crabbe, P. D. Agnello, "CMOS active pixel image sensors fabricated using a 1.8-V, $0.25\text{-}\mu\text{m}$ CMOS technology," IEEE Trans. Electron Devices, vol.45, pp.889-893, Apr.1998.
- [9] E. R. Fossum, "Active pixel sensors: Are CCD's dinosaurs?", Proc. of the SPIE, vol. 1900, 1993.
- [10] Takao Ando, "画像入力デバイス技術の現状", テレビジョン學會誌, vol. 44, NO. 11, pp. 1526-1533, 1990. 11.
- [11] Yoshihiro Fujita, "撮像素子の應用", テレビジョン學會誌, vol. 45, NO. 9, pp. 1067-1072, 1991. 7.
- [12] Fumihiko Ando, et al, "1/4インチ25万画素増幅型固撮像素子 AMI", テレビジョン學會誌, vol. 49, NO. 2 pp. 188-195, 1995. 2.
- [13] Tsutomu nakamura, et al, "CMD撮像素子 -高解像度化への取り組み-", テレビジョン學會誌, vol. 50, NO. 2, pp. 251-256, 1996. 2.
- [14] Shinichi Nakajima, et al, "1インチ200万画素CMDイメージセンサ", テレビジョン學會誌, vol. 47, NO. 2, pp. 219-225, 1993. 2.
- [15] Y. Nakamura, et al, "Design of bipolar imaging devices (BASIS): Analysis of random noise", IEEE Trans. Electron Devices, vol. 39, NO. 6, pp.1341-1349, June 1992.
- [16] T. Mizoguchi, et al, "A 250K-pixel SIT image sensor operating in its high-sensitivity mode", IEEE Trans. Electron Devices, vol. 38, NO. 5, pp.1021-1027, May 1991
- [17] A. E. Gamal and H. S. Wong, "single chip CMOS imaging systems", ISSCC'99 Tutorial 1999.
- [18] J. Hynecek, "A new device architecture suitable for high-resolution and high-performance image

sensors", IEEE Trans. Electron Devices, vol. 35, NO. 5, pp. 646-652, May 1988.

[19] Komobuchi, et al, "A novel high-gain image sensor

cell based on Si p-n APD in charge storage mode operation", IEEE Trans. Electron Devices, vol. 37, NO. 8, pp. 1861-1868, Aug. 1988.

필자소개



정 차 근

- 1982. 경북대학교 전자공학과
- 1984. 서울대학교 대학원 전기공학과 공학석사
- 1993. 일본 동경대학 전기공학과 공학박사
- 1984. 1. ~ 1997. 8. LG종합기술원 책임연구원
- 1997. 9. ~ 현재 호서대학교 제어계측공학과
- 주관심 연구분야 : 디지털 신호처리, 디지털영상통신, 영상처리 및 부호화, Image Sensor 등.



양 성 현

- 1999. 충북대학교 전기전자공학부 공학사
- 1999. 3. ~ 현재 충북대학교 정보통신공학과 공학석사
- 주관심 연구분야 : CMOS Image Sensor 설계, 저전압/저전력 ADC 설계



조 경 록

- 1977. 경북대학교 전자공학과
- 1989. 일본 동경대학 전자공학과 공학석사
- 1992. 일본 동경대학 전자공학과 공학박사
- 1979. ~ 1986. (주)금성사 TV연구소 선임연구원
- 1999. ~ 2000. 미국 오레곤주립대학 객원교수
- 1992. ~ 현재 충북대학교 정보통신공학과 부교수
- 주관심 연구분야 : VLSI 시스템설계, 통신시스템용 LSI 개발, 고속 마이크로프로세서 설계 등