

# SrTiO<sub>3</sub>계 세라믹의 전기적인 특성

논문  
11-1-7

## Electrical Properties of SrTiO<sub>3</sub>-based Ceramics

김진사\*, 소병문\*\*, 이준웅\*

(Jin-Sa Kim, Byeong-Moon So, Joon-Ung Lee)

### Abstract

The (Sr<sub>1-x</sub>·Ca<sub>x</sub>)TiO<sub>3</sub>(0.05 ≤ x ≤ 0.2) ceramics were fabricated to form semiconducting ceramics by sintering at about 1350[°C] in a reducing atmosphere(N<sub>2</sub> gas). After being fired in a reducing atmosphere, metal oxides(CuO) was painted on the both surface of the specimens to diffuse to the grain boundary. The capacitance changes slowly and almost linearly in the temperature region of -40~+85[°C]. The capacitance characteristics appears a stable value within ±10[%]. According to increase of the frequency as a functional of temperature, all specimens used in this study showed the dielectric relaxation, and the relaxation frequency was above 10<sup>6</sup>[Hz]. The capacitance is almost unchanged below about 20[V] but it decreases slowly over 20[V]. The voltage-current characteristics of specimens observed in the temperature range of 25~125[°C] as the current increased appears that it is due to space charge condensed to interface between grain and grain boundary.

**Key Words(중요용어)** : Reducing atmosphere(환원분위기), Metal oxides(금속산화물), Dielectric relaxation(유전완화), Relaxation frequency(완화주파수)

### 1. 서론

오늘날 반도체 산업의 급속한 발전에 따라 전기·전자회로의 부품소자로 사용되는 세라믹 캐패시터의 수요가 크게 증가하고 있으며, 이들 캐패시터는 소형화, 박막화, 고성능화 및 고신뢰화의 방향으로 연구개발이 꾸준히 진행되어 왔다. 이러한 전기·전자소자의 급속한 소형화에 따른 고용량성의 캐패시터를 개발하기 위하여 적층캐패시터(Multi layer capacitor, MLC), 입계층(Grain boundary layer, GBL) 캐패시터의 제작방법이 연구되어 왔다<sup>1)</sup>. 이들 중 입계층 캐패시터는 반도체성 세라믹의 입계에 표면으로부터 금속산화물을 열확산시킴으로써 유전층을 형성시키는 것으로 초기에는 유전상수가 큰 BaTiO<sub>3</sub>계 캐패시터가 주류를 이루었으나, 강유전성이 갖는 단점을 개선하기 위한 지속적인 연구결과 최근에는 대용량·저손실이며, 정전용량의 온도특성

이 양호한 상유전성 특성의 SrTiO<sub>3</sub>계 GBL 캐패시터의 개발이 활발히 진행되고 있다.

한편, GBL 세라믹의 입계특성을 제어하여 용량성 바리스터 기능을 갖는 캐패시터(복합기능소자: multi functional ceramics, MFC)에 대한 연구가 진행중에 있으며, 일부 실용화되고 있다. 이 MFC는 보통의 상태에서는 입계절연형 반도체 세라믹 캐패시터로서 기능을 가지며, 회로에 노이즈(noise)가 입력되면 순간적으로 바리스터 특성을 나타냄으로써 회로를 보호한다.<sup>2)</sup> MFC는 입계절연형의 구조를 적극적으로 이용하여 복수의 기능을 조합한 좋은 예라 할 수 있으며, 이와같은 소자는 각종 전자회로의 소형화 및 고신뢰성화에 기여할 것으로 생각된다.

따라서, 본 연구에서는 전자기기의 소형화, 고성능화에서 요구되는 높은 신뢰성을 충족시키기 위하여 유전율은 조금 낮으나 온도특성면에서 우수한 SrTiO<sub>3</sub>계 세라믹을 제작하여 유전특성, 정전용량-전압 특성 및 전압-전류 특성등 전기적인 특성을 고찰하였다.

\* : 광운대학교 공대 전기공학과(신기술연구소)

연락처:서울시 노원구 월계동 447-1

\*\* : 이리농공전문대학 전기과

접수일자 : 1997년 7월 29일

심사완료 : 1997년 9월 29일

### 2. 실험

## 2.1. 시편 제작

각 시료는 기본 조성식  $(Sr_{1-x}Ca_x)TiO_3 + 0.006 Nb_2O_5$  ( $0.05 \leq x \leq 0.2$ )에 따라 전자천평을 사용하여 칭량하였으며, 메칠 알콜을 분산매로 하여 알루미늄 유발에서 혼합한 후 1100[°C]에서 2시간 동안 하소하였다. 하소된 혼합물을 알루미늄 유발에서 분쇄한 후 유기 바인더(P.V.A)를 2[wt%] 혼합하여 원통형 금형( $\phi: 20$ [mm])에 3[g]씩 넣고 1500[kg/cm<sup>2</sup>]의 압력으로 성형하였다. 성형된 시편은 전기로에 넣어 1350[°C]에서 3시간 동안 N<sub>2</sub> 분위기에서 1차 소결하므로써 반도체 세라믹을 제작하였다. 이때 전기로의 온도상승률은 200[°C/hr]였다.

1차 소결로 부터 얻은 반도체 시편을 두께 1[mm]로 연마(polishing)하고 표면에 Terpeneol + Acetate의

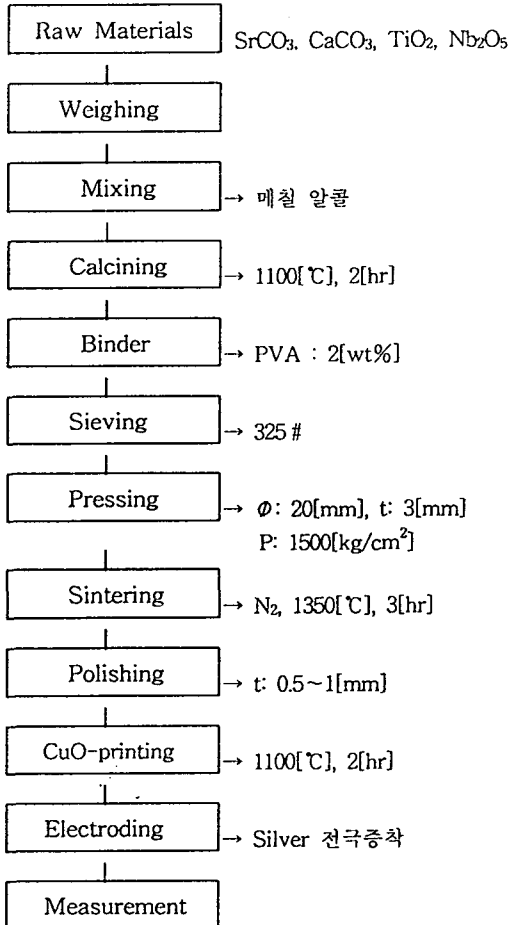


그림 1. 시편의 제작과정

Fig. 1. Manufacturing process of specimens

혼합물과 CuO를 2 : 1로 혼합하여 도포하였으며, 1100[°C]에서 2시간 동안 열확산 처리함으로써 입계를 절연화 시켰다. CuO의 열확산 처리된 시편의 양면에 은를 증착하여 전극으로 사용하였다. 그림 1에 시편의 제작 공정을 나타내었고, 표 1에 연구에 사용된 시편의 종류를 나타내었다.

표 1. 시편의 종류

Table 1. Kinds of specimen

		ABO <sub>3</sub>		
Sr : Ca	A : B	0.996 : 1	1 : 1	1.004 : 0.996
	0.95 : 0.05		SCT05	SCTN05
0.90 : 0.10		SCT10	SCTN10	SC10
0.85 : 0.15		SCT15	SCTN15	SC15
0.80 : 0.20		SCT20	SCTN20	SC20

## 2.2. 측정

반도체 세라믹 시편의 미세구조를 관찰하기 위하여 주사전자현미경(Scanning Electron Microscope, SEM)을 이용하였으며, 표면으로부터 금속 산화물을 열확산시킨 시편의 결정립과 입계에 형성되는 유전층( $t: 1 \sim 2 \mu m$ )과 그 원소를 확인하기 위하여 EDAX (Energy Dispersive Analysis Of X-ray)를 이용하여 분석하였다. 1차 소결된 반도체 세라믹의 비저항은 시편의 양면에 인듐(In) 전극을 증착한 후 Electrometer를 사용하여 DC 2단자법으로 측정하였다. CuO의 열확산 처리된 시편의 비저항은 은(silver paste) 전극을 증착하여 High Resistance Meter(HP 4329A)로 50[V] 인가후 측정하였다. CuO의 열확산 처리된 시편의 비유전율( $\epsilon_r$ )은 LCR Meter(HP 4194A)를 이용하여 온도범위  $-150[^\circ C] \sim +200[^\circ C]$ 에서 1[kHz], 1[V<sub>rms</sub>]의 교류전계하에서 정전용량을 측정후 식 (1)에 의하여 계산하였다.

$$\epsilon_r = \frac{Cd}{\epsilon_0 S} \quad (1)$$

여기서,  $\epsilon_r$ : 비유전율,  $\epsilon_0$ : 진공중에 유전율[F/m], C: 정전용량[F], S: 전극의 면적[m<sup>2</sup>], d: 시편의 두께[m]이다.

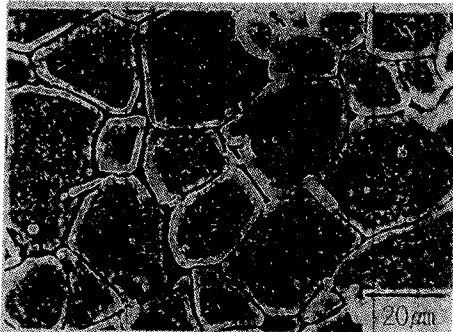
또한, 정전용량의 주파수 특성은 100[Hz]~10 [MHz]의 주파수 범위에서 측정하였으며, 전압인가에 따른 정전용량의 변화를 관측하기 위한 C-V특성은 직류전압(0~40V)을 인가하면서 LCR Meter로 정전용량을 측정하여 알아보았다. 제작된 시편의 전압-전류특성을 측정하기 위하여 온도제어장치로는 온도

조절이 가능한 항온조를 사용하였으며, 측정온도는 25~125[°C]이었고 각 온도에서 전압 인가 6분 경과 후에 전류값을 측정하였다.

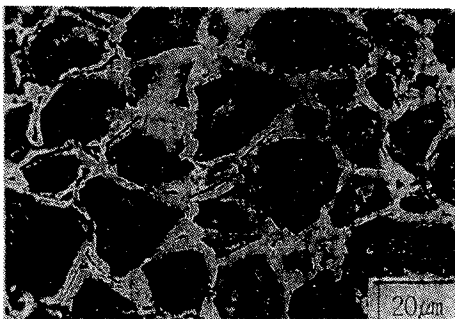
3. 실험결과 및 고찰

(1) 구조적인 특성

사진 1은 소결시편(a) 및 CuO를 도포하여 1100[°C]에서 열확산 처리한 시편(b)의 미세구조를 나타낸 것이다. 표면으로부터 열확산된 CuO가 결정립 사이의 입계에 얇은 입계상을 형성하고 있음을 알 수 있다. 사진 2에 CuO를 도포하여 1100[°C]에서 열확산 처리한 시편의 미세구조와 EDAX 분석결과를 나타내었으며, EDAX 분석결과 시편내부로 침투된 Cu는 결정입자(grain)에는 존재하지 않고 결정입계(grain boundary)에만 존재하였으며, 입계에 제 2상을 이루고 있음을 알 수 있다.



(a)



(b)

사진 1. 소결(a) 및 열확산 처리된 SCTN10 시편 (b)의 전자현미경 사진

Photo.1. SEM photograph of sintering(a) and fire-diffused SCTN10 specimen(b)

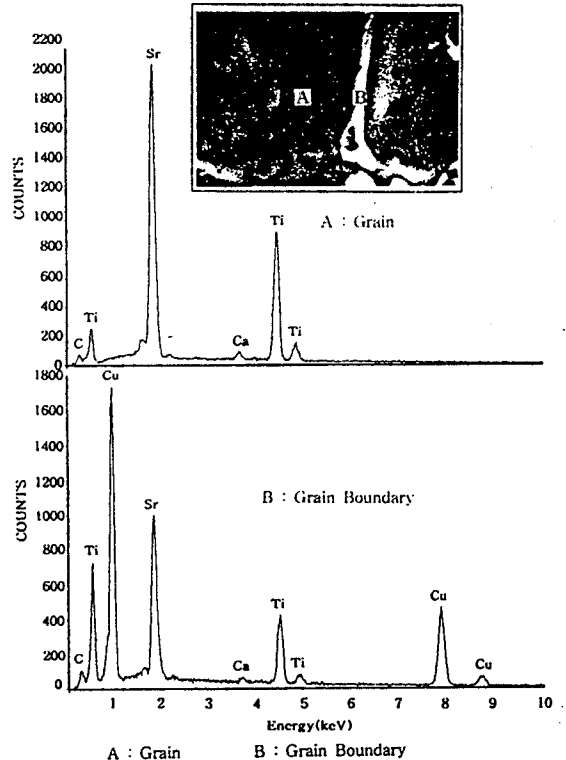


사진 2. 열확산 처리된 시편의 미세구조와 EDAX 분석

Photo. 2. Microstructure and EDAX analysis of fire-diffused specimen

그림 2은 Ca의 치환량에 따른 환원 및 열처리 시편의 비저항을 나타낸 것이며, 반도체 시편의 비저항은  $<10^3[\Omega\text{cm}]$ , 열처리한 시편의 비저항값은  $10^{10}\sim$

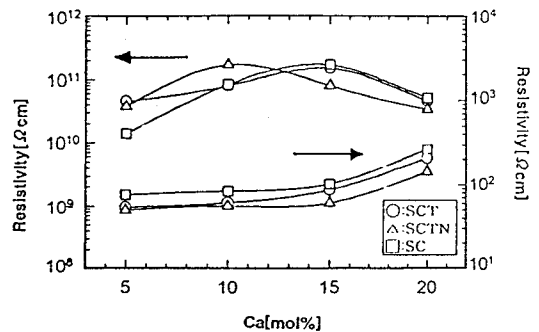


그림 2. Ca의 치환량에 따른 소결 및 열확산 처리된 시편의 비저항

Fig. 2. Resistivity of sintering and fire-diffused specimens with the content of Ca

10<sup>12</sup>[Ωcm]의 값을 나타내었다. SrTiO<sub>3</sub>계 세라믹을 반도체화제와 함께 환원분위기(H<sub>2</sub>/N<sub>2</sub>) 중에서 소성할 경우 10<sup>0</sup>~10<sup>1</sup>[Ωcm] 정도의 반도체 세라믹을 얻는 것으로 알려져 있으나, 본 연구에서 N<sub>2</sub>만의 환원분위기 중에서 소성한 결과 반도체 세라믹의 비저항은 10<sup>1</sup>~10<sup>2</sup>[Ωcm] 정도의 비저항을 얻었으며, 이것은 N<sub>2</sub>만의 분위기에서는 H<sub>2</sub>/N<sub>2</sub> 분위기보다 환원성이 약하다는 것을 의미한다.

(2) 유전율의 온도특성

그림 3은 CuO의 열확산 처리한후 시편의 Ca의 치환량에 따른 유전율 및 유전손실의 온도특성을 나타냈다. Ca의 치환량이 증가함에 따라 15[mol%]까지는 큰 변화가 없으나 그 이상 치환되면 유전상수가 급격히 감소하는 것으로 보아 양호한 특성을 얻을 수 있는 Ca의 치환 한계는 15[mol%] 이하라고 생각된다. 이와같은 현상은 Ca의 치환량에 따라 고용한계를 나타내는 상평형 그림에서도 알 수 있다.<sup>11)</sup> 또한 열처리시 시편의 표면으로 부터 열확산된 Cu 유리상과 입계에 존재하는 TiO<sub>2</sub>상과의 반응이 활발히 진행되어 입자 주위에 균일한 액상막이 형성되면서 제 2상에 의한 정전용량의 기여가 증가되어 유전상수가 커지게 되는 것으로 생각된다.<sup>3)</sup>

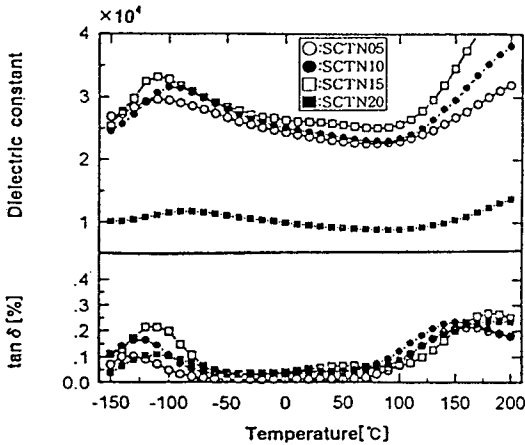


그림3. Ca의 변화량에 따른 유전상수의 온도 의존성  
Fig. 3. Temperature dependence of dielectric constants with contents of Ca

그림 4는 온도에 따른 정전용량의 변화를 나타내었다. 그림에서와 같이 시편의 정전용량의 온도계수는 -40~+90[°C]의 온도 범위에서 ±10[%]의 값으로 양호한 값을 나타내고 있다. 이것은 약 110[K]이상

에서 상유전상(paraelectric phase)을 갖는 순수한 SrTiO<sub>3</sub>는 그 이상 온도에서의 유전상수가 Curie-Weiss법칙에<sup>4)</sup> 의하여 온도가 증가함에 따라 직선적으로 감소하는 음의 온도계수(negative temperature coefficient)를 가지며, 입계에 제 2상을 형성하고 있는 액상은 온도에 따라 유전상수가 증가하는 양의 온도계수(positive temperature coefficient)를 갖기 때문에 이 두 성질 즉 제 2상과 확산층의 보상효과에 의해서 온도특성이 안정해지는 것으로 생각된다.

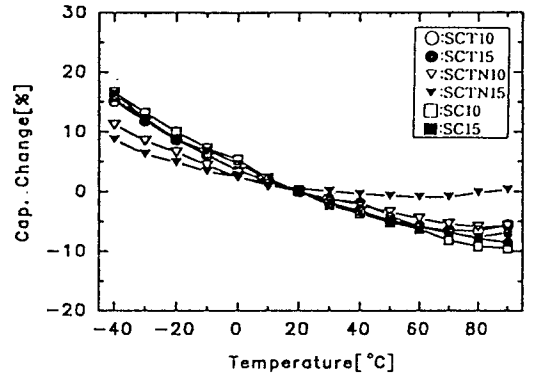


그림 4. 온도변화에 따른 정전용량의 변화  
Fig. 4. Capacitance Change with Temperature

(3) 유전율의 주파수 특성

그림 5는 정전용량의 주파수 의존성을 나타낸 것이다. 10<sup>6</sup>[Hz] 이상에서 정전용량의 완화(relaxation) 현상이 일어남을 알 수 있으며, 이는 여러물질로 이루어진 다층 유전체에 대한 Maxwell-Wagner 이론에 의하여 설명되어진다.<sup>4)5)</sup> 즉 반도체성 입자와 산화층 사이의 유전완화(dielectric relaxation) 시간 τ는 다음과 같다.

$$\tau = K_0 \epsilon_o \rho_g \cdot \frac{d_g}{d_o} \quad (2)$$

여기서, K<sub>0</sub>는 산화층의 유전상수, ε<sub>o</sub>는 진공중의 유전율, d<sub>g</sub>는 반도체성입자의 두께, d<sub>o</sub>는 산화층의 두께이며, ρ<sub>g</sub>는 반도체성입자의 비저항이다. 따라서 완화주파수 다음과 같다.

$$f_m = \frac{1}{K_0 \epsilon_o \rho_o} \cdot \frac{d_o}{d_g} \quad [\text{Hz}] \quad (3)$$

또한 BL구조에서의 주파수 특성의 주원인은 서로 다른 유전층에서의 유전완화(dielectric relaxation)에 의한 것으로 설명할 수 있으며, n형 반도체와 절연층으로 구성된 입계층 세라믹에서 완화주파수(f<sub>m</sub>)는

다음과 같이 반도체부의 비저항( $\rho$ )과 저주파수에서의 유전상수( $\epsilon$ )의 함수로 나타낼 수 있다.

$$f_m = 1.8 \times \frac{10^{12}}{\epsilon \rho} \text{ [Hz]} \quad (4)$$

즉 반도체부의 비저항이 증가하면 완화주파수는 감소하게 되며 본 연구에 사용된 환원시편의 비저항 측정결과와 잘 일치하고 있음을 알 수 있다.

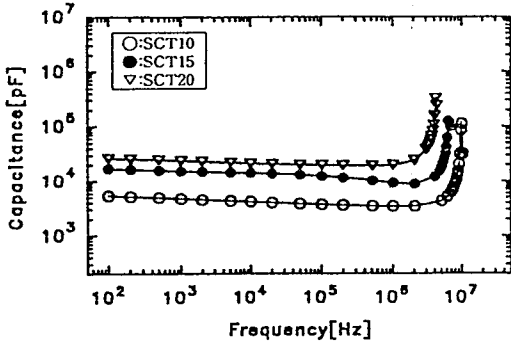


그림 5. 정전용량의 주파수 의존성  
Fig. 5. Frequency dependence of capacitance

본 연구에 사용된 유전체가 relaxor 즉, 유전율의 피크가 주파수 증가에 따라 고온쪽으로 이동하는 것인지를 알아보기 위하여 Ca=10[mol%] 시편에 대하여 1, 10, 20, 100[kHz]의 주파수에서 유전율의 온도특성을 측정하여 그림 6에 나타내었다. 그림으로

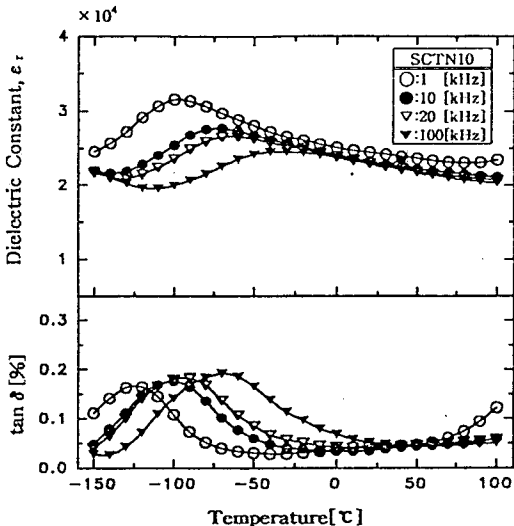


그림 6. 온도함수로서 유전상수의 주파수 의존성  
Fig. 6. Frequency dependence of dielectric constant as a function of temperature

부터 광범위한 상전이점을 갖는 relaxor임을 확인할 수 있었으며, 이러한 완화 현상은 Johnson 등이<sup>6)</sup> 제시한 바와 같이 Sr<sup>2+</sup>, Ca<sup>2+</sup> 등의 A-site 공공들의 구조적인 결함이 Nb<sup>5+</sup> 이온들로 치환된 결과라고 해석할 수 있다.

#### (4) 정전용량-전압 특성

그림 7는 C-V 특성을 나타내고 있다. 인가전압이 증가하여도 정전용량은 거의 변하지 않았으나, 20[V] 이후 전압이 증가함에 따라 약간의 감소를 나타내는데 이는 입계에 연속적으로 분포된 절연층이 존재하고 있기 때문이라고 생각된다.<sup>7)</sup> 또한 제 2 상의 입계층에는 전자포획중심(electron trap center)으로 작용하는 불순물이나 격자 결함이 존재할 것으로 생각된다.

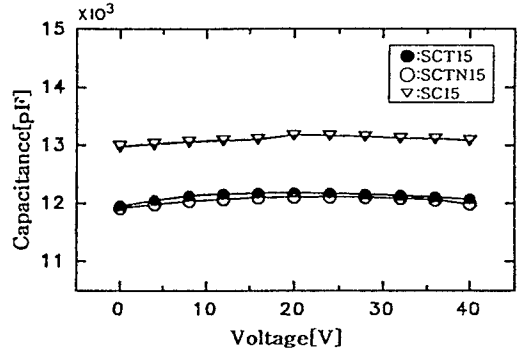


그림 7. 정전용량-전압 특성  
Fig. 7. Capacitance-Voltage Characteristic

#### (5) 전압-전류 특성

일반적으로 다결정체인 전자세라믹스의 입계에는 전위(dislocation)나 격자결함(lattice defects)이 많고, 불순물들의 편석도 일어나기 쉽기 때문에 트랩(trap)이나 불순물 준위가 형성된다. 따라서 반도체화한 입자가 접촉된 입계에는 이러한 트랩이나 불순물 준위에 의한 에너지 장벽이 형성되고 이들이 전도에 기여하고 있는 것으로 생각된다.

그림 8에 나타낸 것과같이 전압-전류특성은 측정 온도가 상승함에 따라 누설전류도 증가하고, 약 200[V/cm]이하 전계에서의 전류는 인가전계에 거의 비례하여 증가하며, 그 이상 전계에서의 전류는 비직선적으로 증가하여 파괴에 이르고 있음을 나타내고 있다.

이와같이 상유전 영역에서 파괴가 순간적으로 일어나지 않고 전류가 서서히 증가하여 파괴에 이르는

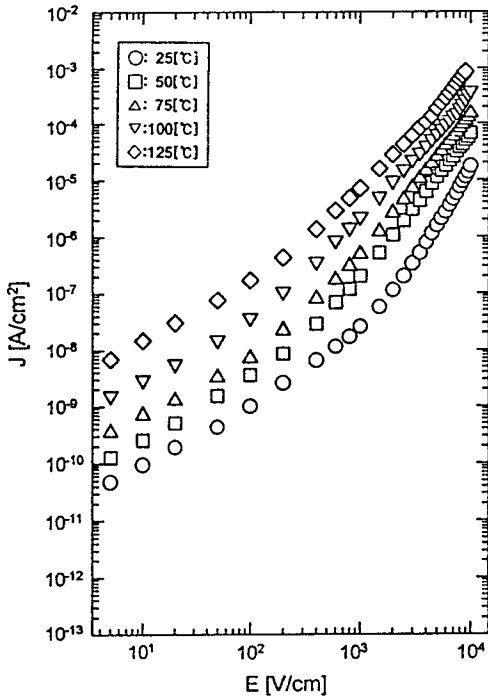


그림 8. 시편의 온도변화에 따른 전압-전류 특성  
Fig. 8. Voltage-Current characteristic of specimen with temperature variation

것을 岡崎満은<sup>8)</sup> 그림 9과 같이 설명하고 있다. 즉 T<sub>c</sub> 이하(강유전 영역)에서 결정립 내의 하전입자에 인가되는 유효전계는 그림 9(a)와 같이 P<sub>1</sub>(자발분극)에 의한 반전계에 의하여 인가전압 E<sub>p</sub>와 상쇄됨으로서 극히 작게되고, 그 때문에 P<sub>2</sub>(공간전하분극)는 생성되지 않는다. 따라서 T<sub>c</sub> 이하의 온도 영역에서의 파괴는 입계층의 상유전성 재료의 파괴가 지배적인 요인으로 된다고 하였다. 또한 T<sub>c</sub> 이상(상유전영역)에서의 절연파괴는 결정립 자체의 성질에 영향을 받는다. 즉 전계를 인가하면 강유전체와 같은 자발분극이 없기 때문에 인가된 전압은 그대로 결정립내의 하전입자에 가해지고 그림 9(b)에서와 같은 P<sub>2</sub>가 발생한다. 이때 결정립 내부의 표면층에 P<sub>2</sub>에 의한 공간전하층이 형성되고, P<sub>2</sub>가 어느 한계를 넘게되면 급격히 노화하여 파괴에 이르게 된다. 따라서 본 연구에 사용된 시편이 상유전재료임을 고려할때 그림 9에 나타난 파괴양상은 인가전압이 증가됨에 따라 결정립 내부의 표면에 형성된 공간전하에 의한 결정립 자체의 파괴이거나 입계층의 파괴에 그 원인이 있는 것으로 생각할 수 있으므로<sup>9)10)</sup> 그림 8의 전압-전류 특성을 이해할 수 있다.

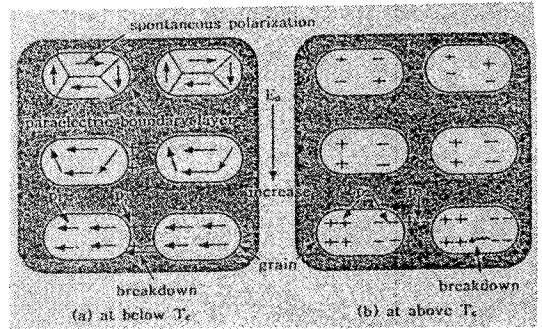


그림 9. 공간전하분극에 의한 절연파괴 모델  
Fig. 9. Models of breakdown at below curie temperature and above

#### 4. 결 론

(Sr<sub>1-x</sub>Ca<sub>x</sub>)TiO<sub>3</sub>+0.006Nb<sub>2</sub>O<sub>5</sub>(0.05≤X≤0.2) 세라믹을 제조하여 전기적인 특성을 측정된 결과는 다음과 같다.

- 1) CuO의 열확산 처리된 시편의 비저항은 Ca의 치환량이 증가함에 따라 15[mol%]까지는 증가하였으나 그 이상 치환시 약간 감소하였다.
- 2) 표면으로부터 열확산시킨 Cu가 형성하는 제 2상에 의해 유전율이 증가하였으며, Ca의 치환량이 20[mol%]이상에서는 급격히 감소하였다.
- 3) 정전용량의 변화율은 사용온도(-40~+90)에서 ±10[%]이하로 양호한 값을 나타냈으며, 분산주파수는 10<sup>6</sup>[Hz] 이상이였다.
- 4) C-V특성 분석결과 SrTiO<sub>3</sub> 산화층과 제 2상 사이에 공핍층이 존재하고 있으나 전체적인 정전용량에는 크게 기여하지 못하였다.
- 5) 전압-전류특성은 측정온도가 상승함에 따라 누설전류도 증가하여 저전계에서의 전류는 인가전계에 거의 비례하여 증가되며, 그 이상 전계에서의 전류는 비직선적으로 증가하여 파괴에 이르고 있음을 알 수 있었다.

#### 감사의 글

본 연구는 1997년도 광운대학교 교내연구비 지원에 의한 것임.

#### 참 고 문 헌

1. P.E.C.FRANKEN, M.P.A.VIEGERS, and A.P. GEHRING "Microstructure of SrTiO<sub>3</sub> Boun-

- dary-Layer Capacitor Materials", J.Am.Ceram. Soc., Vol.64, No.12, pp.687-690 (1981)
2. J. D. Levine, "Theory of varistor electronic properties", CRC Crit. Rev. Solid State Sci., Vol.5, pp.597 (1975)
  3. A. N. Gubkin, A. J. Kashtanova, G. I. Skanavi, "Dielectric Properties of Strontium Bismuth Titanates at Low Temperature", Tverd. Teia., Vol. 34, pp.1110~1116 (1961)
  4. Masayuki Fujimoto et al., "Microstructure of SrTiO<sub>3</sub> Internal Boundary Layer Capacitors During and After Processing and Resultant Electrical Properties", J. Am. Ceram. Soc., Vol. 68(4), pp.169~173 (1985)
  5. J. M. Herbert, "Ceramic Dielectrics and Capacitors", Gordon and Breach Science Publishers, pp.202~209 (1985)
  6. W. Johnson, L.E. Cross, F.A. Hummel, "Dielectric Relaxation in Strontium Titanates Containing Rare-Earth Ions", J. Appl. Phys., Vol. 41, pp.2828~2833 (1970)
  7. H. NEMOTO and I. ODA, "Direct Examinations of PTC Action of single Grain Boundaries in Semiconducting BaTiO<sub>3</sub> Ceramics", J. Am. Ceram. Soc., Vol.63, No.7-8, pp. 398~401 (1980)
  8. 岡崎 清, "セラミック誘電體工學", 學獻社, pp.200 ~ 203 (1992)
  9. Y.Inuishi, "Effect of Space Charge and Structure on Breakdown of Liquid and Solid", IEEE, Vol.EI-17, NO.6, pp.488-492 (1982)
  10. Kazuo Eda, Atsushi Iga, and Michio Matsuoka "Degradation mechanism of non-ohmic zinc oxide ceramic" J.Appl.Phys., Vol.51, No.5, pp. 2678-84 (1980)
  11. 金炳勳의 "세라믹스 總論" 半島出版社, pp.316-373 (1993)