

## AAL type 2의 CPS 기능 구현

추봉진\*, 김장복\*\*

\*SpurtComm(주)

\*\* 홍익대학교 전자공학과

전화 : 02)320-1619

### Implementation of CPS function for AAL type 2

Bong Jin Chu, Chang Bock Kim

Electronic Engineering Department of Hongik Univ.

e-mail : bjchu@channeli.net

#### Abstract

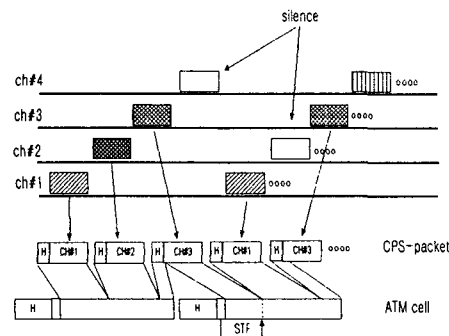
AAL type 2 provides for the bandwidth efficient transmission of low bit rate, short and variable packets in delay sensitive application. The service object for these networks ranges from POTS to multimedia conference. In this paper, we present one possible architecture which common part sublayer for new AAL type 2. The proposed CPS function has been achieved with on a FPGA. The proposed architecture is faithful to the standardization of ITU-T and ATM-forum recommendation. The proposed architecture applies to variable packet length from arbitrary CODECs for cellular network. It's maximum process capability is 155Mbps with 256 CIDs. The architecture has sync./async. interface to application block and UTOPIA interface is used for physical layer interface.

므로 음성 패킷의 서비스를 위해서는 추가적인 delay 가 발생하게된다. AAL 5의 경우는 가변적인 패킷의 길이를 지원하는 것은 마찬가지지만 PDU의 길이가 200 옥텟 이상일 경우에 효율적이며 짧은 패킷의 multiplexing에서는 효율이 떨어진다. AAL 3/4도 오버헤드에 있어서 근본적인 어려움이 있다. 물론 이런 문제점에 대한 해결방안이 없는 것은 아니지만 복잡도와 이에 따른 효율 고려해 보면 새로운 AAL의 필요성이 대두되었다.[2] AAL type 2는 그림1과 같이 저속의VBR 소스에서 입력되는 짧은 패킷들에 CPS 패킷 헤더를 부착하고, 이것을 다중화하여 STF를 조립한CPS-PDU를 생성하고, 여기에 ATM 셀 헤더를 추가하여 ATM 셀을 생성하게 된다. STF(Start Field)는 ATM 셀 내에서 처음으로 시작되는 패킷의 시작점을 가리키므로 1개의 패킷이 2개로 분할되어 셀에 다중화되어도 STF를 이용하여 다음 패킷의 시작점을 찾아내게 된다.

#### I. 서론

AAL type 2에서 처리하는 저속의 짧고 가변적인 길이를 갖는 패킷 서비스는 셀룰러, PCS, IMT2000 네트워크에서의 음성 패킷을 의미하며 일반적인 PCM 트렁크 구간, 인터넷 음성 서비스 등에도 적용되게 된다. 이러한 서비스를 ATM에서 수용하기 위하여 새로운 형태의 AAL이 필요하게 되었다. AAL type 2의 연구와 표준화 작업은 최근에 이루어지고 있으며 연구분야는 하드웨어적인 구현과 주요변수 (PDV, CPS timer\_CU)의 변경에 따른 QoS의 보장과 link utilization 영향분석으로 나누어진다. 본 연구에서는 FPGA를 이용한 하드웨어적인 CPS-function 구현의 한 방법을 제시하고 성능평가를 통하여 적용 가능성을 제시한다.

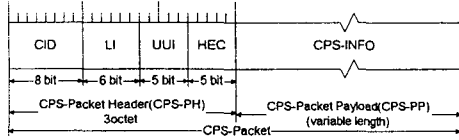
기존의 AAL들은 이런 특성을 갖는 voice 패킷 서비스의 효율적인 지원이 어렵다. 예를 들어 AAL 1의 경우는 CBR서비스로 대역폭의 낭비가 심하고, PDU가 1 옥텟으로 고정된 64Kbps \* n의 PDH를 기본목적으로 하기 때문에 voice 패킷을 처리하는데 여러 가지 제약이 있다. 또한 통계적 다중화 기능이 없으



[그림 1] Concept of AAL type 2

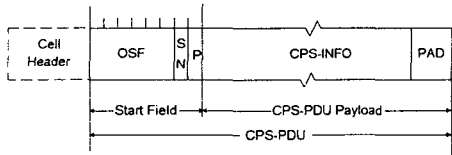
CPS-packet의 구성은 그림2와 같다. CPS-packet header는 CID, LI, UUI, HEC로 구성된다. 여기서 CID는 8bits으로 되어 있으며 한 개의 ATM VCC에 다중화되는 콘넥션의 ID를 나타낸다. LI는 6bits로 CPS-packet payload의 길이를 나타낸다. UUI는 5bits가 SSCS entities와 management plane에서 사용된다. HEC는 5bits로 header 내의 bit error를 검출하는데 사용된다.

## AAL type 2의 CPS 기능 구현



[그림 2] CPS-packet 구성

CPS-PDU는 그림3과 같이 STF와 CPS-PDU payload로 나누어지며 PDV(packet delay variation)의 분포와 CPS timer\_CU의 설정값에 따라서 PAD 데이터가 추가될 수 있다.



[그림 3] CPS-PDU 구성

STF는 OSF, SN, P로 구성되며 OSF는 6 bits로 CPS-PDU 내에서 첫 번째로 시작하는 CPS-packet의 시작점까지의 옥텟수를 가지고 있으며 SN은 1bit로 CPS-PDU sequence number를 나타내는 modulo 2이다. P는 1bit로 STF의 parity bit이다.[3]

AAL type 2의 표준화 동향을 보면 TIS1.5 위원회에서 1995년 9월에 처음으로 SMAAL(Short Multiplexed AAL)이란 명칭을 부여하였으며 ITU-T의 SG13에서 1996년 5월 제네바 회의에서 최초로 소개되었다. 이후 AAL type 2는 1997년 2월 서울에서 열린 ITU-T SG13회의에서 결정된 표준안 I.363.2에서 정의되었고 같은해 9월 토론토 회의에서 승인되었다. 이밖에도 AAL type 2에 대한 표준안은 I.366.1과 I.366.2가 있다. application block에서 입력되는 짧은 음성 패킷은 대부분 CELP(coded excited linear prediction) 알고리즘을 사용하여 압축을 하고 있으며 시간적으로 burst한 특성을 가지고 있는 이러한 저속의 음성 패킷들을 ATM cell에 assembly하는데는 필연적으로 delay가 발생하게 되며 AAL type 2의 CPS는 이를 최적화하기 위한 architecture를 가져야 한다. 8Kbps 이하의 표준 음성 CODEC들의 변수를 표1에 나타내었다.[1]

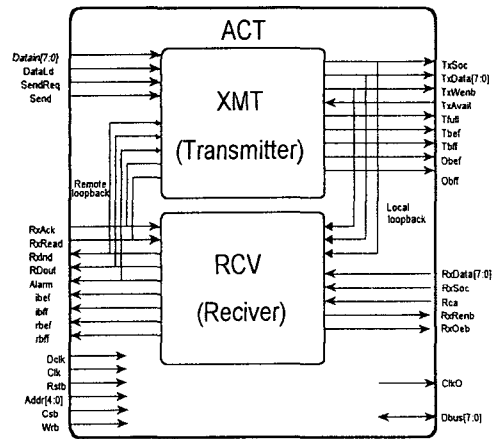
organization/standard	algorithm	bit-rate (kbps)	frame rate(ms)	bits per frame
ITU-T/G.729	CS-ACELP	8	10	80
ARIB/STD-27C	V-CELP	6.7	20	134
ITU-T/G.723	ACELP/MP-MLQ	5.3/6.3	30	158/189
ARIB/STD-27C	PSI-CELP	3.45	40	138

[표 1] 표준 음성 CODEC 비교

이후 이 논문은 다음과 같이 구성되어 있다. 제 2절에서는 ACT (AAL-2 CPS Transceiver) 구현방법의 concept과 구성에 대하여 설명하고, 제 3절에서는 상세 구성과 기능에 대하여 설명한다. 마지막으로 제 4절에서는 simulation 및 결론에 대하여 설명한다.

### II. 구현 방법의 concept과 구성

ACT의 구성은 그림4와 같이 송신부(XMT)와 수신부(RCV)로 나뉘어진다. 송신부는 응용 블럭으로부터 전송하고자 하는 AAL-2의 CPS packet을 수신하여 CPS-PDU를 구성하고 ATM cell header를 부착하여 ATM 물리 계층이나 ATM cell 다중화기로 전송한다. 수신부의 역할은 ATM 셀 역다중화기나 ATM 물리 계층으로부터 AAL-2의 CPS-PDU를 갖고 있는 ATM cell을 수신하여 CPS-PDU로부터 CPS-packet을 추출하여 application block으로 전송한다. FPGA는 ALTERA사의 10K50을 사용하였고 송수신 function을 한 개의 칩으로 구현하였고 256CID를 가지고 STM 1급까지 처리할 수 있다. ACT의 interface는 application block과 동기/비동기 FIFO 방식을 지원할 수 있도록 하였고 physical layer와의 interface는 UTOPIA를 적용하였다. ATM connection은 송수신 각각 한 개씩 지원된다.



[그림 4] ACT block diagram

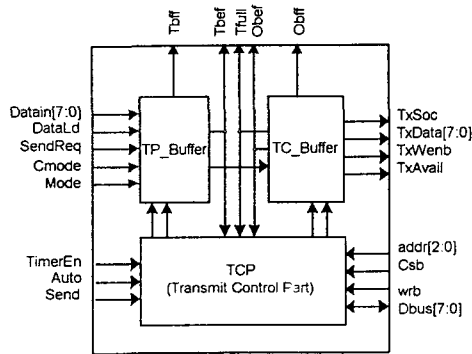
구현된 ACT의 기능개요는 다음과 같다.

- CPS-PH의 HEC 생성 및 검사
- CPS timer\_CU의 값을 application block에서 설정 (50nsec ~ 45msec)
- 내부 레지스터를 이용한 상태감시 및 설정

- 송수신 CPS-packet 카운터
- 송수신 ATM cell 카운터
- sync./async. FIFO방식의 응용 block interface
- 256 옥텟 크기의 송수신 버퍼
- 송신 ATM 연결 1개, 수신 ATM 연결 1개

### III. 상세구성 및 기능

송신부는 그림 5와 같이 송신 패킷 버퍼(TP\_Buffer)와 송신 셀 버퍼(TC\_Buffer), 그리고 송신 제어부(TCP)로 구성되어 있다. 또한 송신 제어부는 출력 VPI와 VCI를 저장하고 송신부의 상태를 나타내 주는 송신 레지스터를 가지고 있다.

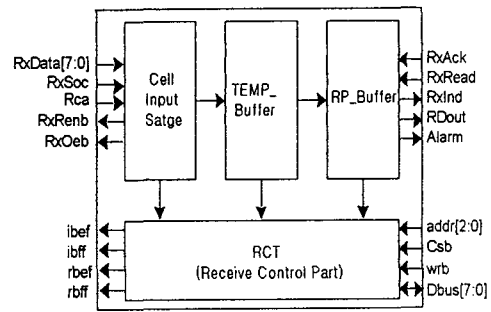


[그림 5] 송신부

송신 패킷 버퍼는 응용 블럭에서 입력되는 CPS-Packet을 저장하는 버퍼로 ACT 내부의 Embedded RAM을 이용한 FIFO로 구성되어 있다. 송신패킷 버퍼는 모드 설정에 따라서 동기/비동기 FIFO 방식의 입력이 가능하다. 송신 패킷 버퍼는 최대 256옥텟의 데이터를 write할 수 있다. 응용 블럭에서 송신 패킷 버퍼로 CPS-Packet을 전달하고 송신 요구 신호를 전달하면 송신 제어부는 CPS-Packet 카운터를 증가시킨 후 송신 패킷 버퍼의 CPS-packet을 전송 셀 버퍼에 전달한다. 이때 CPS-PH의 HEC를 계산하여 HEC field를 채워 넣는다. 송신 셀 버퍼는 송신 패킷 버퍼에서 데이터를 읽어 ATM 셀이 완성될 때까지 저장하는 버퍼로 만일 한 셀이 완성되기 전에 전송 요구가 있거나 마지막 CPS-Packet을 수신한 뒤 설정한 타이머가 종료되면 셀을 출력하게 된다. ATM 셀 출력 방식은 자동 및 수동방식이 있다. 또한, 송신 제어부에서는 ATM 셀을 출력할 때 부가되는 ATM Header를 저장하고, 각종 상태를 나타내는 Flag 레지스터, 그리고 송신 버퍼에 저장된 CPS-Packet의 수를 계수하는 레지스터와 전송된 ATM 셀의 수를 계수하는 카운터를 내

장하고 있어 응용 블럭에 이를 전달한다.

수신부는 그림6과 같이 ATM 계층으로부터 셀을 수신하는 셀 수신단과 수신한 셀로부터 CPS-packet을 추출하여 임시 저장하는 임시 버퍼(TEMP\_Buffer), 그리고 최종 완성된 CPS-packet을 저장하여 응용 블럭으로 전달하는 수신 패킷 버퍼(RP\_Buffer), 그리고 수신부의 상태를 관리하는 수신 제어부로 구성된다.



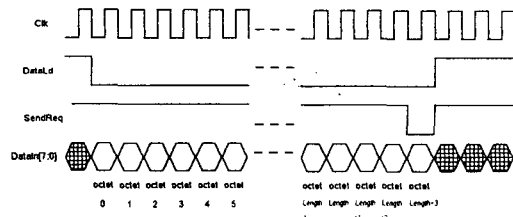
[그림 6] 수신부

셀 수신단에서는 ATM 계층으로부터 셀 수신 통보 신호를 받으면 ATM 계층으로 셀 읽기 신호를 출력하여 ATM 계층으로부터 셀을 읽어 온다. 셀이 입력되면 VPI/VCI를 검출하여 등록된 VPI/VCI와 비교하여 오십입 셀을 검사한다. 등록되지 않은 연결의 셀이 입력되었으면 오삽입(mis-insertion) 플래그를 세트하고 등록되지 않은 연결의 셀이 입력되었음을 AAL-2 관리 블럭으로 전달하고 셀을 폐기한다. 정상적으로 등록된 셀이 입력되었으면 STF의 패리티 검사와 순차 번호 검사를 수행한다. 각각 오류가 검출되면 해당 플래그를 세트하고 셀을 폐기한다. 패리티와 순차 번호가 정상인 경우에는 OSF를 검사한다. 이 때 이전 셀이 오류가 있는 셀이었다면 OSF 오류를 검사하지 않고 OSF에 있는 값을 이용하여 CPS 패킷을 추출하고, 오류가 없었던 셀이라면 OSF 값의 검사를 수행하여 split 되었거나 part 상태로 입력된 셀의 남아 있는 데이터 크기와 OSF가 일치하는 지를 검사한다. OSF 검사 결과 오류가 발견되면 OSF 에러임을 출력하고 셀을 폐기한다. OSF 검사 결과까지 정상이면 해당 셀에서 CPS-packet을 추출하여 CPS-packet 헤더의 HEC 검사를 수행한다. 패킷의 HEC 검사결과가 오류이면 HEC 오류임을 출력하고 해당 CPS 패킷을 폐기한다. 패킷의 HEC 검사 결과 오류가 없을 때는 해당 CPS-packet 을 임시 버퍼에 저장한다. 임시 버퍼는 셀 입력단에서 출력되는 CPS-packet을 저장한다. 패킷의 끝 부분까지 정상적으로 저장되었을 때만 CPS-packet을 수신 패킷

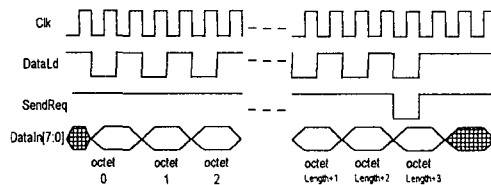
버퍼로 전달하고, 패킷이 완성되지 않고 다음 패킷의 시작점을 검출하였을 때 이전에 저장된 패킷 데이터는 폐기한다. 수신 패킷 버퍼는 임시 버퍼에서 출력되는 CPS 패킷을 내부 버퍼에 저장하고 응용블럭과 interface 한다. 이때 수신 패킷 버퍼와 응용블럭과의 interface는 CPS-packet 송신 버퍼와 동일한 동기/비동기 방식의 FIFO interface이다. 수신 제어부는 수신부의 상태를 관리하고 AAL2 관리블럭에서 수신한 VPI/VCI를 등록할 수 있는 레지스터와 각종 통계 데이터와 수신 상태를 나타내는 레지스터를 갖는다. 통계 데이터 수집은 셀 레벨과, CPS-packet 레벨의 통계를 수집한다. 셀 레벨에서는 수신 셀 수, 오삽입 셀 수, 수신 셀의 셀 동기 에러 수, STF의 패리티 에러가 발생한 셀의 수, STF의 순차 번호가 틀린 셀의 수, OSF 에러 셀 수의 정보를 수집한다. CPS-packet 레벨에서는 수신 CPS 패킷의 수, 패킷의 HEC 에러가 발생한 CPS 패킷 수등을 수집한다. 상태 레지스터로는 버퍼의 오버플로우 상태, 수신 셀의 셀 동기 에러 상태, 오삽입 셀의 수신 상태, 패리티 에러 상태, 순차 번호 에러 상태, OSF 에러 상태, HEC 에러 상태 등을 나타내는 레지스터가 있다.

IV. simulation 및 결론

설계한 FPGA 동작 주파수는 20MHz이상으로 8bits 병렬 interface를 적용하면 STM-1급까지의 처리가 가능하며 기능별 타이밍 차트는 그림7과 그림8에 나타내었다. 그림 7은 응용블럭과의 interface로 동기식은 DataLd 신호가 low인 상태에서 clk의 상승 에지에서 패킷 데이터를 load하고 SendReq신호로 데이터의 끝을 알린다. 비동기식은 DataLd의 상승 에지에서 데이터를 load한다. 설계한 칩의 구성 중 수신단에서의 패킷 추출, partial 패킷 검사, 패킷 저장 효율적으로 제어하기 위하여 패킷 시작 포인터를 패킷 포인터 레지스터에 저장하고 정상 패킷 수신 완료 검출하면 이를 정상 수신 패킷 포인터 버퍼에 저장하여 이를 이용하여 에러가 없는 패킷만을 임시 버퍼에서 수신 패킷 버퍼로 저장할 수 있는 버퍼 management scheme을 가지고 있다. 그림 8은 ATM 계층 interface로 동기 방식의 FIFO interface인 UTOPIA level 1의 규격을 따른다. 본 연구는 AAL type 2의 단순한 기능구현을 넘어 산업현장에서 활용 할 수 있도록 하였으며 이 칩의 실제 테스트를 통한 칩의 성능을 개선하고 평가하는 연구와 VCC의 수를 늘이도록 하는 연구가 진행 중이다.

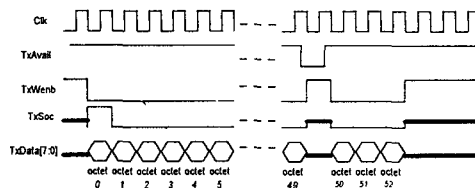


(a) 동기방식

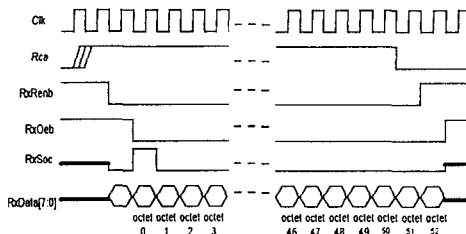


(b) 비동기방식

[그림 7] 응용 블럭과의 interface timing



(a) 송신부



(b) 수신부

[그림 8] ATM 계층 interface timing

참고논문

- [1] Yoshihiro K, et al "Implementation of AAL2 for low bit-rate voice over ATM" Proc. world telecom congress, 1997
- [2] Goran E, et al "ATM transport in cellular networks" Proc. world telecom congress, 1997
- [3] "B-ISDN ATM adaptation layer type 2 specification" ITU-T Recommendation I.363.2, Feb, 1997